技 术 文 件

技术文件名称：可编程逻辑系统方案

技术文件编号：

版 本：V1.0

文件质量等级：

共 <小四Arial及宋体>页

(包括封面)

拟 制

审 核

会 签

标准化

批 准

XJTU-IAIR-CAG

修改记录

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 文件编号 | | 版本号 | | 拟制人/  修改人 | | 拟制/修改日期 | | 更改理由 | | 主要更改内容  （写要点即可） | |
| <XXX> | | <V1.0> | | <XXX> | | <2018/07/11> | | <XXX> | | <XXX> | |
|  | |  | |  | |  | |  | |  | |
|  | |  | |  | |  | |  | |  | |
| 注1：文件第一次归档时，“更改理由”、“主要更改内容”栏写“无”。  注2：每次更改归档文件时，需填写此表。 | | | | | | | | | | | |

*<特别提醒：*

*本模板中尖括号中的蓝色字体内容（包括本段），是编写指导，在最终的文档中应予以删除。其它内容应予以保留。*

*如果某节内容无需填写，则在该节下写“无”，而不要将该节删除或不填写任何内容。*

*本文使用到的图片一律“嵌入”于需求描述正文中，而非“浮于文字上方”。>*

目 录

[1 范围 4](#_Toc452992263)

[2 设计依据 4](#_Toc452992264)

[2.1 列出系统设计的依据 4](#_Toc452992265)

[2.2 输入文档 4](#_Toc452992266)

[3 定义和缩略语 4](#_Toc452992267)

[3.1 定义 4](#_Toc452992268)

[3.2 缩略语 4](#_Toc452992269)

[4 系统原理 5](#_Toc452992270)

[4.1 操作场景 5](#_Toc452992271)

[4.2 FPGA基本工作原理 5](#_Toc452992272)

[5 系统划分及其详细描述 5](#_Toc452992273)

[5.1 系统划分和框图 5](#_Toc452992274)

[5.2 软硬件划分 5](#_Toc452992275)

[5.3 方案描述 5](#_Toc452992276)

[5.3.1 方案原理 6](#_Toc452992277)

[5.3.2 子系统之间关系和接口信号 6](#_Toc452992278)

[5.4 时钟方案 6](#_Toc452992279)

[5.4.1 时钟框图 6](#_Toc452992280)

[5.4.2 端口时序约束 6](#_Toc452992281)

[6 寄存器功能描述及编址 6](#_Toc452992282)

[7 系统设计方法 7](#_Toc452992283)

[8 可测试性设计方法 7](#_Toc452992284)

[9 可靠性设计方法 7](#_Toc452992285)

[10 性能指标要求 7](#_Toc452992286)

[11 FPGA规模的估算 7](#_Toc452992287)

[12 关键技术说明 7](#_Toc452992288)

[12.1 确定关键技术 7](#_Toc452992289)

[12.2 关键技术的解决方案 7](#_Toc452992290)

[12.3 关键技术的限制 8](#_Toc452992291)

[13 系统备选方案 8](#_Toc452992292)

[13.1 选择准则 8](#_Toc452992293)

[13.2 备选方案 8](#_Toc452992294)

[13.3 结论 8](#_Toc452992295)

**第一篇 概述**

# 范围

本文件制定了XXX FPGA的系统原理、系统方案、设计方法、FPGA规模、关键技术及备选方案。

# 设计依据

## 列出系统设计的依据

*<列出系统设计的依据，如有关的国际标准（例如：ITU-T的建议）、行业标准、企标和有关的法规及文件，参考文献、专利等。>*

表2.1

|  |  |
| --- | --- |
| **类型** | **描述** |
| 国际标准 |  |
| 国内标准 |  |
| 行业标准 |  |
| 企业标准 |  |
| 相关法规和文件 |  |
| 参考文件 |  |
| 专利 |  |

## 输入文档

*<逐条列出本规范中所涉及文档>*

# 定义和缩略语

## 定义

*<逐条列出本规范中所涉及定义的名称和含义>*

表3.1

| **定义** | **描述** |
| --- | --- |
|  |  |

## 缩略语

本文件应用了以下缩略语：

*<逐项列出本规范中所涉及的缩略语及其对应的汉语含义>*

表3.2

| **缩略语** | **描述** |
| --- | --- |
|  |  |

**第二篇 系统原理和算法**

# 系统原理

## 操作场景

*<本产品在整个系统或整个环境中的位置。应使用上下文图(context diagram) 或其它形式的图说明本产品（必须用文字及不同的颜色明确标识出来）与外界（可能包括整个系统外的实体）之间的联系。图形应能清晰地表达产品与外部环境的边界，及产品与外部环境的关系，以帮助读者更好、更快地理解被描述的系统。*

*描述FPGA在对应不同应用场时的功能，性能，和外界的特定的接口关系，FPGA的大致工作流程以及和外界的交互过程，同时指明需要对FPGA所采用的配置方法。>*

## FPGA基本工作原理

*<详细描述FPGA的基本工作原理。>*

**第三篇 系统方案**

# 系统划分及其详细描述

## 系统划分和框图

*<按照FPGA所要实现的功能，进行系统划分。以功能块为主要单元，画出各个单元的连接关系以及关键的逻辑关系；支撑整个电路的主要信号线或引出线。>*

*<系统框图层次要求：只要求到顶层，不要求往下划分，以子系统为主要单元>*

*<说明各信号间的关系、要求、限制等>*

## 软硬件划分

*<如果有软件、硬件同时构成系统，需要划分出软件和硬件部分，并说明软件和硬件的接口关系，软件部分具体说明由软件开发活动进行定义，本方案不需要具体说明软件方案，硬件方案由下面方案描述进行说明。*

*软件需要完成什么功能，软硬件的接口描述，软硬件之间如何交互完成系统功能的，系统对软件部分的总体要求等等。>*

## 方案描述

*<对每个功能块所要完成的功能进行详细的描述。>*

### 方案原理

*<结合系统框图进行描述。建议以一定逻辑顺序进行描述系统功能，如数据流向、时钟流向等。>*

### 子系统之间关系和接口信号

*<对每个子系统所要完成的功能进行详细的描述。并需要描述其与其他子系统之间的关系和接口信号进行描述>*

## 时钟方案

*<说明本设计中所涉及的时钟的产生方法以及其如何实现。>*

### 时钟框图

*<简要描述时钟总体情况,频率，来自哪里。内部时钟还是外部时钟。画出时钟结构示意图，各个异步时钟的关系，去各个模块的时钟，结合框图进行描述。不限定描述的方式，但应当能体现时钟树结构和时钟之间的相互关系。*

*如存在门控时钟，应说明门控信号如何产生，如何与受控时钟同步的，时序分析注意事项等>*

*复位电路方案*

*<介绍FPGA的复位电路方案，包括同步复位方式等>*

### 端口时序约束

*<说明各个端口时序的来源以备后端设计追溯，本文档可以略去相关细节，但需要描述各个端口时序的来源于何处，未明确定义的时序需要说明应用场景。在说明详细的时序信息时，需要指明对应的负载大小>*

# 寄存器功能描述及编址

*<对本设计中所使用到的寄存器按照所属子系统顺序进行详细的描述。软硬件接口部分,内容包括接口配置功能描述,寄存器和Memory描述等部分>*

表6

| **名称** | **所属子系统** | **类型** | **地址范围** | **功能和描述** |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**第四篇 设计方法**

# 系统设计方法

*<各功能块的设计方法是自行设计还是IP（硬核、软核）**；FPGA整体的仿真方法，如简单常规仿真、软硬件协同仿真、硬件加速器**等；综合方法>*

# 可测试性设计方法

*<说明FPGA的可测性方案，包含怎样的测试电路和扫描电路，是否加JTAG测试。保证FPGA的故障覆盖率。>*

# 可靠性设计方法

*<说明FPGA的可靠性方案设计方法，包含ESD/EMC/LATCH UP如何设计。>*

# 性能指标要求

*<提出系统整体需要满足那些性能指标，性能指标要求，如工作频率容差、抖动容限等>*

**第五篇 FPGA规模的估算**

# FPGA规模的估算

*<按照设计中模块的具体划分和使用的寄存器的数目，以及FPGA所要采用的加工工艺对FPGA的规模进行估算、子系统的规模估算。>*

**第六篇** **关键技术和备选方案说明**

# 关键技术说明

## 确定关键技术

*<关键技术就是本FPGA涉及的技术中最难设计的一项或者多项技术。>*

*<说明FPGA在设计和开发过程中，需掌握哪些关键技术（包括关键模块的获得等），说明确定当前需要使用的新的关键技术的目的是否为了获取竞争优势，并说明采用新的关键技术对获取竞争优势的的好处。>*

*<说明有哪些技术难点和不确定的技术问题。>*

## 关键技术的解决方案

*<说明对这些关键技术的解决方案，可以采用框图、流程图、表达式以及图表等方式，并对其进行详细的描述和分析。>*

## 关键技术的限制

*<是否有专利限制，获得技术专利的费用等。>*

# 系统备选方案

## 选择准则

表13.1

|  |  |
| --- | --- |
| **因素** | **选择原因** |
| 1（highest） |  |
| 2 |  |
| 3 |  |
| 4 |  |
| 5 |  |
| 6 |  |
|  |  |

## 备选方案

*<采用关键技术的备选技术做为本FPGA的系统备选方案，说明备选方案与主方案之间的重要区别（如实现的方式、难易程度、技术水平、前景、应用的广泛性、进度、成本等比较）。 >*

## 结论

*<根据选择准则，本FPGA采用那种方案（备选方案与主方案），并描述在什么情况下，采用备选方案>*