



# دانشگاه تهران

## دانشکده مهندسی برق و کامپیوتر

طراحی کامپیوتری سیستم‌های دیجیتال  
پاییز ۱۴۰۰

### CA3: Review on logic design and introduction to FPGA bit-stream generation

#### توضیحات پروژه

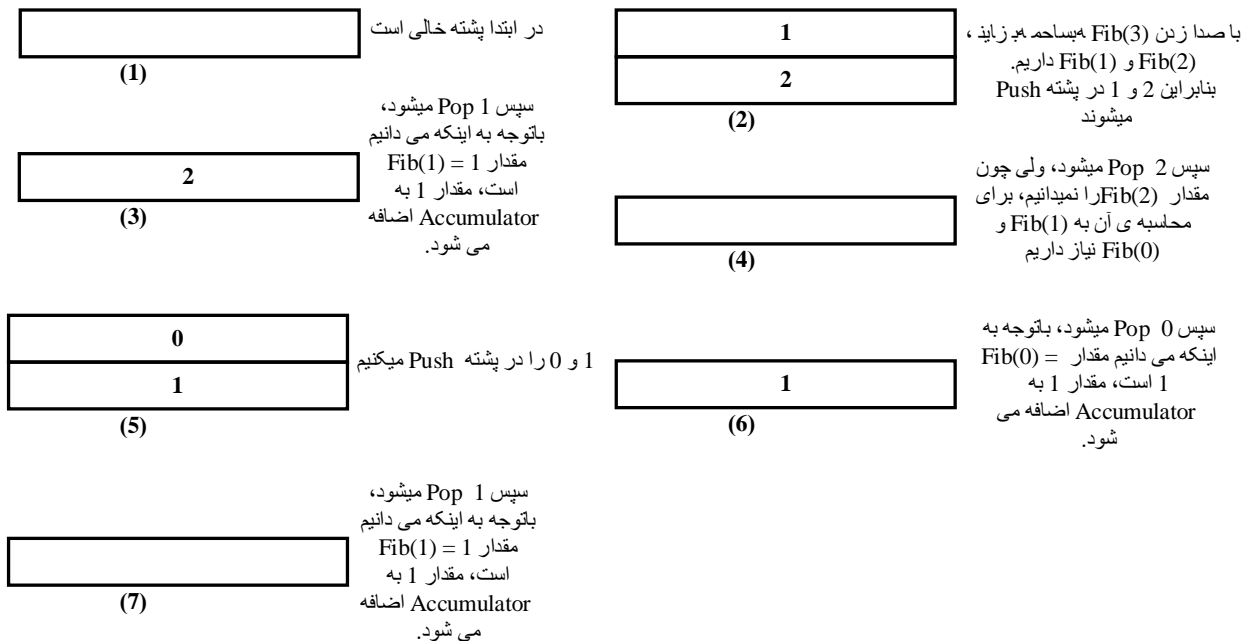
در تمرین‌های یک و دو، ماژولی برای پیاده‌سازی یک مدل خاص از دنباله‌ی فیبوناچی، طراحی و پیاده‌سازی کردید. در این تمرین قصد داریم بجای یک مدل پیچیده از دنباله‌ی فیبوناچی، ساده‌ترین مدل آن را در نظر گرفته و مسیر داده و کنترل را برای این مدل، در سطح گیت، طراحی و پیاده‌سازی کنیم. این تمرین دو فاز دارد، در فاز اول، مدار خود را بر روی کاغذ طراحی کرده و در فاز دوم، مدار طراحی شده را با استفاده از وریلاگ پیاده‌سازی کرده و شبیه‌سازی می‌کنید.

مهلت تحویل این تمرین در مجموع دو هفته در نظر گرفته شده است. در انتهای هفته‌ی اول بایستی فاز اول و در انتهای هفته‌ی دوم، فاز دوم را آپلود کنید.

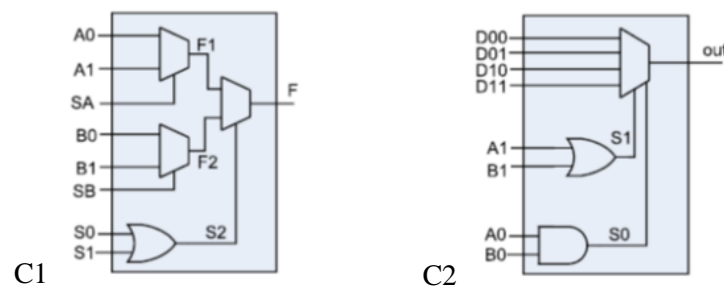
در قطعه کد زیر، می‌توانید مدل ساده‌ی سری فیبوناچی که قصد پیاده‌سازی آن را داریم، مشاهده کنید.

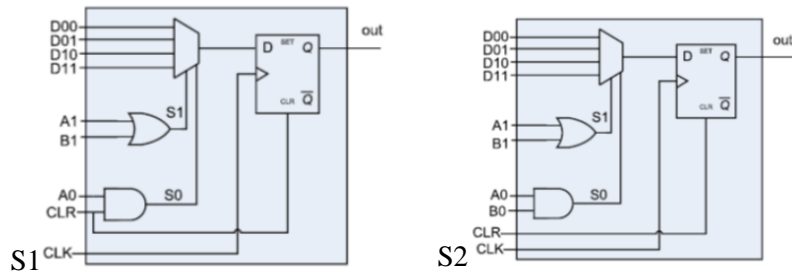
```
Int fib(int n)
{
    If( n <= 1)      return 1;
    return fib(n-1) + fib(n-2);
}
```

توجه کنید که برای طراحی این تابع نیز همانند تمرین‌های یک و دو، باید از پشته استفاده کنید ولی به منظور ساده‌سازی در پیاده‌سازی، نحوه‌ی عملکرد پشته متفاوت خواهد بود. در دنباله شکل‌های زیر، می‌توانید نحوه‌ی عملکرد پشته به ازای fib(3) را مشاهده کنید.



هدف این تمرین، پیاده‌سازی طراحی نهایی بر روی بخش‌های قابل برنامه‌ریزی FPGA می‌باشد. بنابراین ضروری است تا مسیرهای داده و کنترل را در سطح گیت طراحی کرده و آن‌ها را بر روی سلول‌های منطقی قابل برنامه‌ریزی یک FPGA، سنتز کنید. سلول‌های منطقی در شکل ۱ نشان داده شده‌اند.





شکل ۱: سلول‌های منطقی قابل برنامه‌ریزی مربوط به ماژول منطقی Actel

دقت کنید که برای طراحی مسیرهاده و کنترلر (FSM) شما تنها مجاز به استفاده از سلول‌های C1، C2، S1 و S2 هستید.

چنانچه عملکرد ماژول ذکر شده صحیح باشد، نمره کامل به شما تعلق خواهد گرفت (البته عملکرد صحیح در نهایت با استفاده از فاز دوم تمرین سنجیده خواهد شد). با این حال، در این فاز، برای گروه‌هایی که مدار را از نظر حاصل ضرب مساحت<sup>۱</sup> در زمان اجرا، بهینه کنند، نمره امتیازی در نظر گرفته خواهد شد.

برای بدست آوردن مساحت کل کافی است مساحت تمام ماژول‌ها را با یکدیگر جمع کنید. مساحت هر ماژول در جدول زیر نشان داده شده است. برای بهینه کردن طرح، تا حد امکان باید از ماژول‌ها بیشترین استفاده را بکنید، بنابراین سعی کنید با توجه به معماری ماژول‌ها، به طور کارآمدی از این ماژول‌ها استفاده کنید.

Module	C1	C2	S1	S2
Area	7	8	15	15

برای بدست آوردن زمان اجرا، کافی است براساس رابطه‌ی زیر عمل کنید.

تعداد کلاک مورد نیاز برای بدست آوردن  $\text{fib}(n) * \text{زمان مسیر بحرانی} = \text{زمان اجرا}$

در جدول زیر می‌توانید تاخیرهای مربوط به هر یک از اجزای مدار را مشاهده کنید.

Module	Gates	Mux2:1	Mux4:1	FF
Delay	0.5	1	2	0

نمره امتیازی ۵ گروه برتر براساس جدول زیر محاسبه می‌شود.

Rank	1	2	3	4	5
Bonous	+15%	+8%	+4%	+2%	+1%

مواردی که در حین پیاده‌سازی باید در نظر بگیرید:

- ۱- ورودی باید سه بیتی باشد.
- ۲- رجیسترها را متناسب با نیاز خود، با حداقل بیت مورد نیاز تعریف کنید.
- ۳- پیاده‌سازی پشته به صورت behavioral خواهد بود (بنابراین نیازی به دخیل کردن پشته در محاسبات نخواهید داشت). سیگنال‌های ورودی و خروجی پشته، می‌تواند شامل pop, push, data\_in, data\_out, empty, top باشد.
- ۴- بهتر است طراحی به صورت سلسله‌مراتبی انجام شود. (ابتدا هر یک از بلوک‌های C1, C2, S1, S2 را به صورت یک ماژول تعریف کرده و سپس با استفاده از آن‌ها سایر ماژول‌ها را به صورت سلسله‌مراتبی پیاده‌سازی کنید).
- ۵- تا جای ممکن کنترلر خود را ساده تعریف کنید تا در ساده کردن جدول کارنوی مربوطه به مشکل نخورید.

مواردی که باید در فاز اول تحویل دهید:

- ۱- طراحی کنترلر و مسیرهاده بر روی کاغذ
- ۲- مسیر بحرانی مدار (می‌توانید از شکل مناسب برای نشان دادن آن استفاده کنید و دنباله‌ی گیت‌هایی که در این مسیر قرار می‌گیرند نیز لیست کنید)

۳- محاسبات مربوط به بهینه‌سازی ذکر شده (مساحت و زمان اجرا)، به ازای  $N=7$ . دقت کنید که گزارش این موارد باید به طور دقیق و با جزئیات کامل باشد.

مواردی که باید در فاز دوم تحویل دهید:

۱- کدهای مربوطه به زبان وریلاگ (تمامی ماژول‌ها)

۲- یک testbench که تمامی مقادیر بین ۰ تا ۷ را دریافت کرده، خروجی را با خروجی مورد انتظار مقایسه کند و نتایج مقایسه را در یک فایل تکست ذخیره کند. در هر ردیف این فایل، ۴ مقدار وجود خواهد داشت که به فرم زیر خواهد بود:

$N$ , real output, expected output, compared result(true/false)

با استفاده از اسکریپت شبیه‌سازی کنید.

۳- مشابه تمرین دوم، متناسب با پوشه‌ی trunk، فایل‌های گزارش و کدها و... را در پوشه‌ی متناظر آن قرار دهید.

توجه: انجام این تمرین به صورت گروه‌های دونفره خواهد بود.