
CS 61C RISC-V单周期数据路径2020年秋季讨论

7：2020年10月12日

1 预检查

本节旨在对您进行概念性检查，以确定您是否从概念上理解此主题以及是否对此主题有任何误解。请回答以下问题的对/错，并附上解释：

- 1.1 单周期数据路径利用每个指令的所有硬件单元。
- 1.2 可以并行执行单周期数据路径的各级以加速单指令的执行。
- 1.3 组合逻辑仅用于指令解码阶段。

2 单周期CPU

- 2.1 对于本工作表，我们将使用最后一页的单周期CPU数据路径。
 - (a) 在数据路径上，用数据路径组件的名称填入每个圆框，用控制信号的名称填入每个方框。
 - (b) 解释每个数据路径阶段发生的情况。

IF 指令提取 ID 指令

解码EX 执行

MEM存储器

WB 回写

2.2 根据上一页的数据路径，用每条指令的控制信号填写下表。在可能的情况下，使用 * 表示此信号是什么无关紧要（例如，让值成为它想要的任何值不会影响指令的执行）。如果信号的值对正确执行很重要，但可以变化，请列出所有值（例如，对于可能具有0和1值的信号，写入0/1）。

	BrEq	BrLT	PCCsel ImmSel	BrUn A Sel	B Sel ALU Sel MemRW RegWEn WBSel		
加上ori lw sw beq jal							

2.3 计时方法

- 状态元素是连接到时钟的元素（由底部的三角形表示）。每个状态元件的输入信号必须在每个上升沿之前稳定。
- 关键路径是电路中状态元件之间的最长延迟路径。电路的时钟不能比这更快，因为任何更快的速度都意味着不能保证正确值在分配的时间内到达状态元件。如果我们将寄存器放置在关键路径中，则可以通过减少寄存器之间的逻辑数量来缩短周期。

在本练习中，假设数据路径中每个阶段的延迟如下：

如果：200 ps ID：100 ps EX：200 ps MEM：200 ps WB：100磅/秒

(a) 标记以下指令使用的数据路径的阶段，并计算执行该指令所需的总时间。

	如	编	出	内存	全	总时间
加						
上						
ori						
lw						
sw						
beq						
jal						

- (b) 哪些指令执行关键路径?
- (c) 这条单周期数据路径的最快时钟是多少?
- (d) 为什么单周期数据路径效率低下?
- (e) 如何提高其性能?流水线的目的是什么?

4 RISC-V单周期数据路径

