|  |
| --- |
| **北 京 邮 电 大 学**  **实 验 报 告**  **课程名称\_\_\_数字逻辑实验\_\_\_\_\_**  **实验名称\_在系统可编程实验\_\_\_**  **计算机学院2023211301班 姓名王书翰**  **教师靳秀国 成绩\_\_\_\_\_\_**  **2024年12月2日** |

|  |
| --- |
| **一、实验目的**  **学习使用Quartus II软件及应用。**  **学习EPM7128的编程和下载。**  **二、实验器件与设备**  **EPM 7128**  **TEC-8数字电路实验系统**  **逻辑笔**  **双踪示波器**  **下载线**  **三、实验内容**  **1.用Verilog语言设计一个8421码十进制计数器及七段数码管显示系统，在Quartus II环境下，输入多种设计方案，并进行编译、连接、器件适配和下载。TEC-8实验台上，使用单脉冲作计数器时钟，复位信号接电平开关。输出接最右边的数码管进行验证，检查设计的正确性。**  **（1）设计思路**  **为实现8421码十进制计数器，考虑设计一个4位的输出端口a，初始化为4b0000，之后设计一个循环语句，当接收到时钟信号或置零信号后将a加1，直到a为4b1001（即十进制为9）,之后再将a初始化为1。为实现七段数码管，考虑设计一个7位的输出端口b，在8421码十进制计数器的基础上将每个a的值设置每个b的值，最后输出b即可。**  **1733911213886（2）代码实现**  **8421码十进制计数器**  **1733904455936**  **8421码十进制计数器模拟波形** |

|  |
| --- |
| **1733911137995**  **七段数码管显示系统**  **1733905118622**  **七段数码管显示系统模拟波形**  **（3）输出结果**  **将程序接好引脚后执行输出，用开关QD作为时钟脉冲clk，开关K0作为置零开关clr，连续摁下开关QD，观察到数码管正确输出了0到9，同时在9之后正确回到了0，摁下置零开关K0，数码管立刻回到了0，说明这个程序正确实现了预定的功能。**  **2.用Verilog语言设计一个秒表，计数从00到59，以两个数码管显示输出**  **（1）设计思路**  **为实现秒表的功能，考虑在第一个实验的基础上构造一个模60的计数器，但由于针脚数量不够故计数器的个位用7段译码器实现，十位用8421码直接输出。之后在每次时钟脉冲中先检验个位是否为9（即需要进位），若为9在进一步检验十位是否为5（即计数完成），若为5则将十位与个位都置为0，若不为5则将十位加一，个位置零，若都满足则执行个位加一的结果。**  **（2）代码实现** |

|  |
| --- |
| **1733911010675**  **模60计数器**  **1733905576778**  **模60计数器模拟波形**  **（3）输出结果**  **将程序接好引脚后执行输出，用开关QD作为时钟脉冲clk，开关K0作为置零开关clr，连续摁下开关QD，观察到数码管正确从00到59输出，同时在59之后正确回到了00，摁下置零开关K0，数码管立刻回到了0，说明这个程序正确实现了预定的功能。**  **3.用Verilog语言设计简易电子琴。采用TEC-8实验台上的8个开关做琴键，电平开关输出为高电平时相当于琴键按下，电平开关输出为低电平时相当于琴键松开，电子琴共有C调的8个音：1、2、3、4、5、6、7、i.任何时候中允许开关中的一个处于向上位置。**  **（1）设计思路**  **为实现电子琴的功能，首先确定输入与输出。输入为8个开关以及一个置0开关，输出为一个01信号。为实现输出的信号能发出对应音符的声音，要确定其周期，之后通过构造一个模计时器，当计数半个周期时反转输出信号，这样就能实现输出一个指定的音频信号的功能。又8个音调的频率已知，故通过公式M=100000/2/f，可以计算构造的模计数器的模的值最后构造模计数器即可。**  **（2）代码实现** |

|  |
| --- |
| **1733911476852**  **简易电子琴**  **1733906414839**  **简易电子琴模拟波形**  **（3）输出结果**  **将程序接好引脚后执行输出，用开关K1到K8作为8个琴键，开关K0作为静音开关，摁下从K1到K8中的开关，立刻听到扬声器发出了正确的音调声。摁下置零开关K0，声音立刻停止，说明这个程序正确实现了预定的功能。**  **五、实验总结**  **本次1733906320387实验为数字逻辑与数字系统实验课程的最后一次课，通过这几次实验的学习我不仅亲自体验到将课本上的知识用电路搭建起来的乐趣，更获得了通过自己的思考设计电路或是编程出电路最后完美地实现想要的功能的成就感。这次的实验加深了我对Verilog系统可编程语言的理解，同时从头至尾完整地认识了从得到要求—设计功能—编辑代码—烧录硬件—实现功能这一过程的内容。这次实验也激发了我对系统可编程这种模式的兴趣，让我能够通过Verilog语言与系统可编程硬件实现想要实现的具体功能。总而言之，这次的实验让我受益匪浅，感谢实验指导老师靳秀国老师在这几次实验课堂上对我的指导，让我遇到问题时不仅仅是解决这个问题，而且是深入探索这个问题出现的原因以及如何避免再次出现，同时给予我鼓励与赞许，激发了我相信自己能够完成的自信与对系统可编程语言继续深入学习的兴趣。再次感谢靳秀国老师和给予我各种帮助的同学们！** |