

PCF8591

8位A/D和D/A转换器

1、特性

- z 单电源供电
- z 工作电压：2.5 V ~ 6 V
- z 待机电流低
- z I2C 总线串行输入/输出
- z 通过 3 个硬件地址引脚编址
- z 采样速率取决于 I2C 总线速度
- z 4 个模拟输入可编程为单端或差分输入
- z 自动增量通道选择
- z 模拟电压范围：VSS~VDD
- z 片上跟踪与保持电路
- z 8 位逐次逼近式 A/D 转换
- z 带一个模拟输出的乘法 DAC

2、应用

- z 闭环控制系统
- z 用于远程数据采集的低功耗转换器
- z 电池供电设备
- z 在汽车、音响和 TV 应用方面的模拟数据采集

3、概述

PCF8591是单片、单电源低功耗 8 位 CMOS 数据采集器件，具有 4 个模拟输入、一个输出和一个串行 I2C 总线接口。3 个地址引脚 A0、A1 和 A2 用于编程硬件地址，允许将最多 8 个器件连接至 I2C 总线而不需要额外硬件。器件的地址、控制和数据通过两线双向 I2C 总线传输。

器件功能包括多路复用模拟输入、片上跟踪和保持功能、8 位模数转换和 8 位数模拟转换。最大转换速率取决于 I2C 总线的最高速率。

4、订货信息

TYPE NUMBER	PACKAGE		
	NAME	DESCRIPTION	VERSION
PCF8591P	DIP16	plastic dual in-line package; 16 leads (300 mil)	SOT38-4
PCF8591T	SO16	plastic small outline package; 16 leads; body width 7.5 mm	SOT162-1

5、内部框图

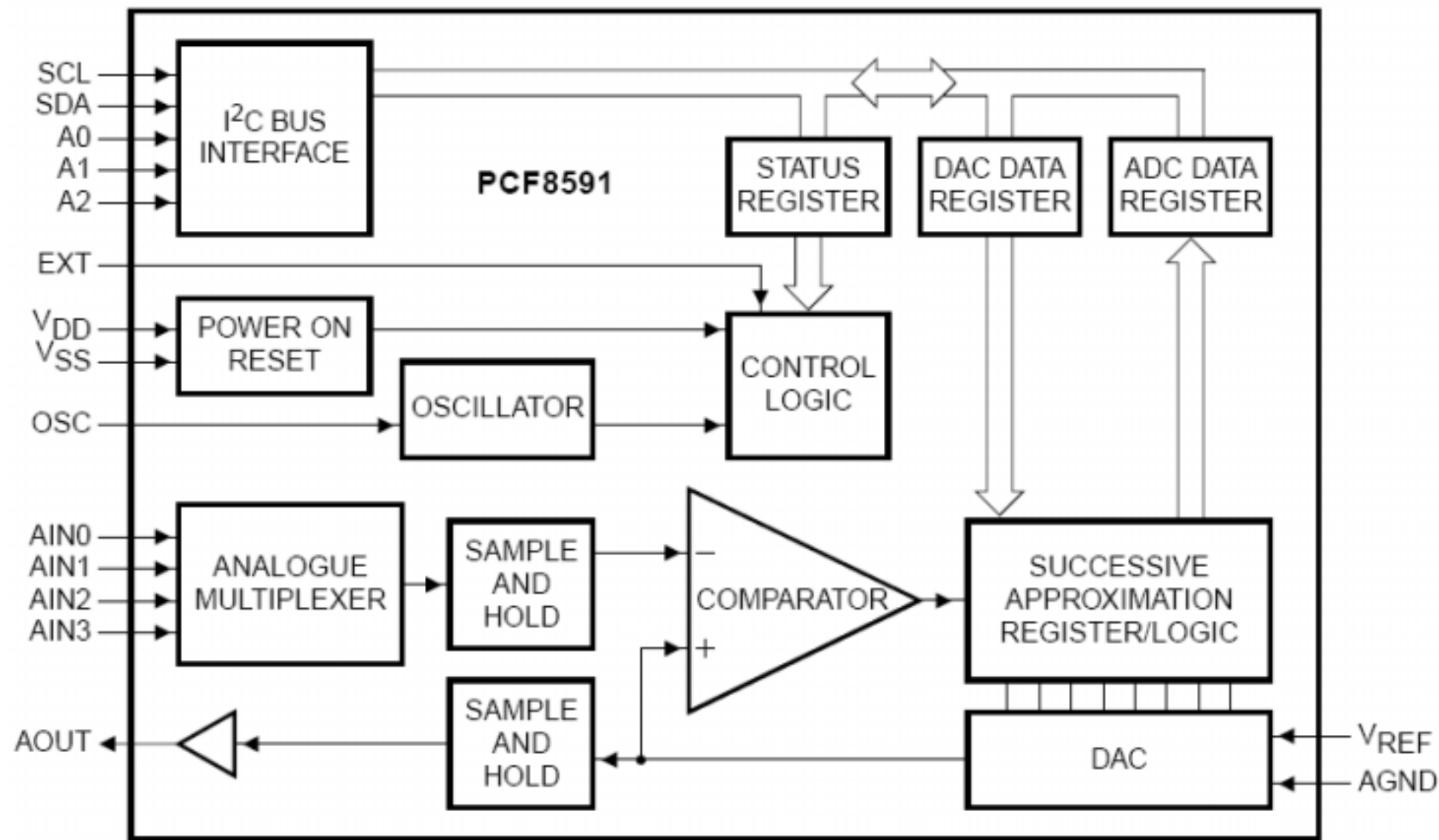


图 1 内部框图

6、引脚

SYMBOL	PIN	DESCRIPTION
AIN0	1	analog inputs (A/D converter)
AIN1	2	
AIN2	3	
AIN3	4	
A0	5	hardware address
A1	6	
A2	7	
VSS	8	negative supply voltage
SDA	9	I ² C-bus data input/output
SCL	10	I ² C-bus clock input
OSC	11	oscillator input/output
EXT	12	external/internal switch for oscillator input
AGND	13	analog ground
VREF	14	voltage reference input
AOUT	15	analog output (D/A converter)
VDD	16	positive supply voltage

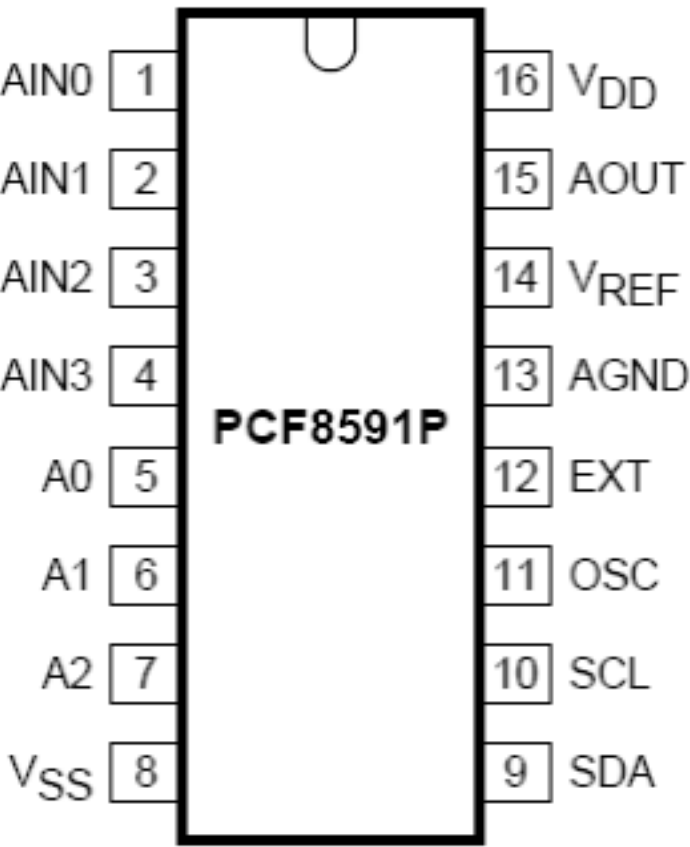


图 2 引脚图 (DIP16).

7、功能描述

7.1 地址

I2C 总线系统中的每一片 PCF8591通过发送有效地址到该器件来激活。该地址包括固定部分和可编程部分。可编程部分必须根据地址引脚 A0、A1 和 A2 来设置。在 I2C 总线协议中地址必须是起始条件后作为第一个字节发送。地址字节的最后一位是用于设置以后数据传输方向的读写位。（见图 4、16、17）



图 4 地址

7.2 控制字

发送到 PCF8591的第二个字节将被存储在控制寄存器，用于控制器件功能。控制寄存器的高半字节用于允许模拟输出，和将模拟输入编程为单端或差分输入。低半字节选择一个由高半字节定义的模拟输入通道（见图 5）。如果自动增量（auto-increment）标志置 1，每次 A/D 转换后通道号将自动增加。

如果自动增量（auto-increment）模式是使用内部振荡器的应用中所需要的，那么控制字中模拟输出允许标志应置 1。这要求内部振荡器持续运行，因此要防止振荡器启动延时的转换错误结果。模拟输出允许标志可以在其他时候复位以减少静态功耗。

选择一个不存在的输入通道将导致分配最高可用的通道号。所以，如果自动增量（auto-increment）被置 1，下一个被选择的通道将总是通道 0。两个半字节的最高有效位（即 bit 7和 bit 3）是留给未来的功能，必须设置为逻辑 0。控制寄存器的所有位在上电复位后被复位为逻辑 0。D/A 转换器和振荡器在节能时被禁止。模拟输出被切换到高阻态。

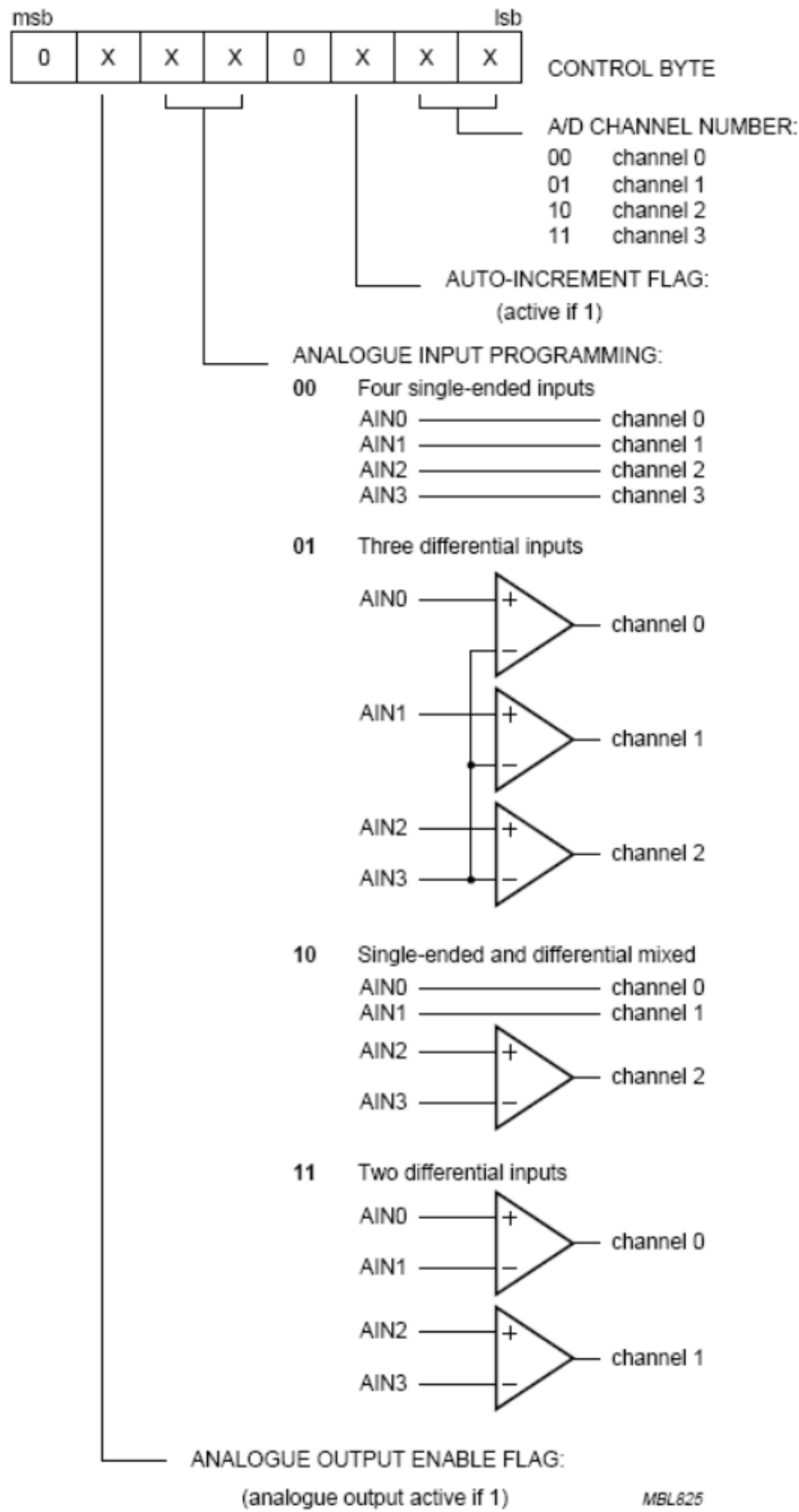


图 5 控制字

7.3 D/A 转换

发送给 PCF8591的第三个字节被存储到 DAC 数据寄存器，并使用片上 D/A 转换器转换成对应的模

拟电压。这个 D/A 转换器由连接至外部参考电压的具有 256 个接头的电阻分压电路和选择开关组成。接头译码器切换一个接头至 DAC 输出线（见图 6）。

模拟输出电压由自动清零单位增益放大器缓冲。这个缓冲放大器可通过设置控制寄存器的模拟输出允许标志来开户或关闭。在激活状态，输出电压将保持到新的数据字节被发送。

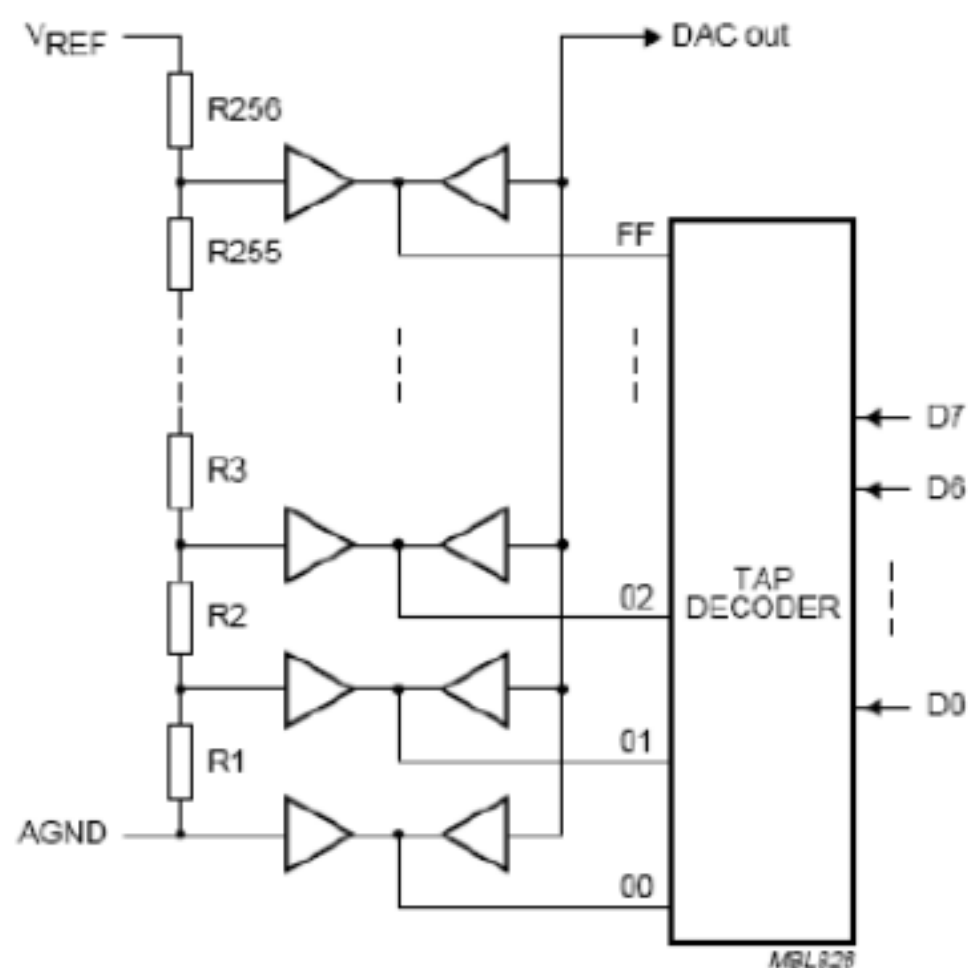


图 6 DAC 电阻电路

片上 D/A 转换器也可用于逐次逼近 A / D 转换（successive approximation A/D conversion）或为释放用于 A/D 转换周期的 DAC，单位增益放大器还配备了一个跟踪和保持电路。在执行 A/D 转换时该电路保持输出电压。

提供给模拟输出 AOUT 的输出电压由图 7 中的公式给出。D/A 转换顺序的波形见图 8。

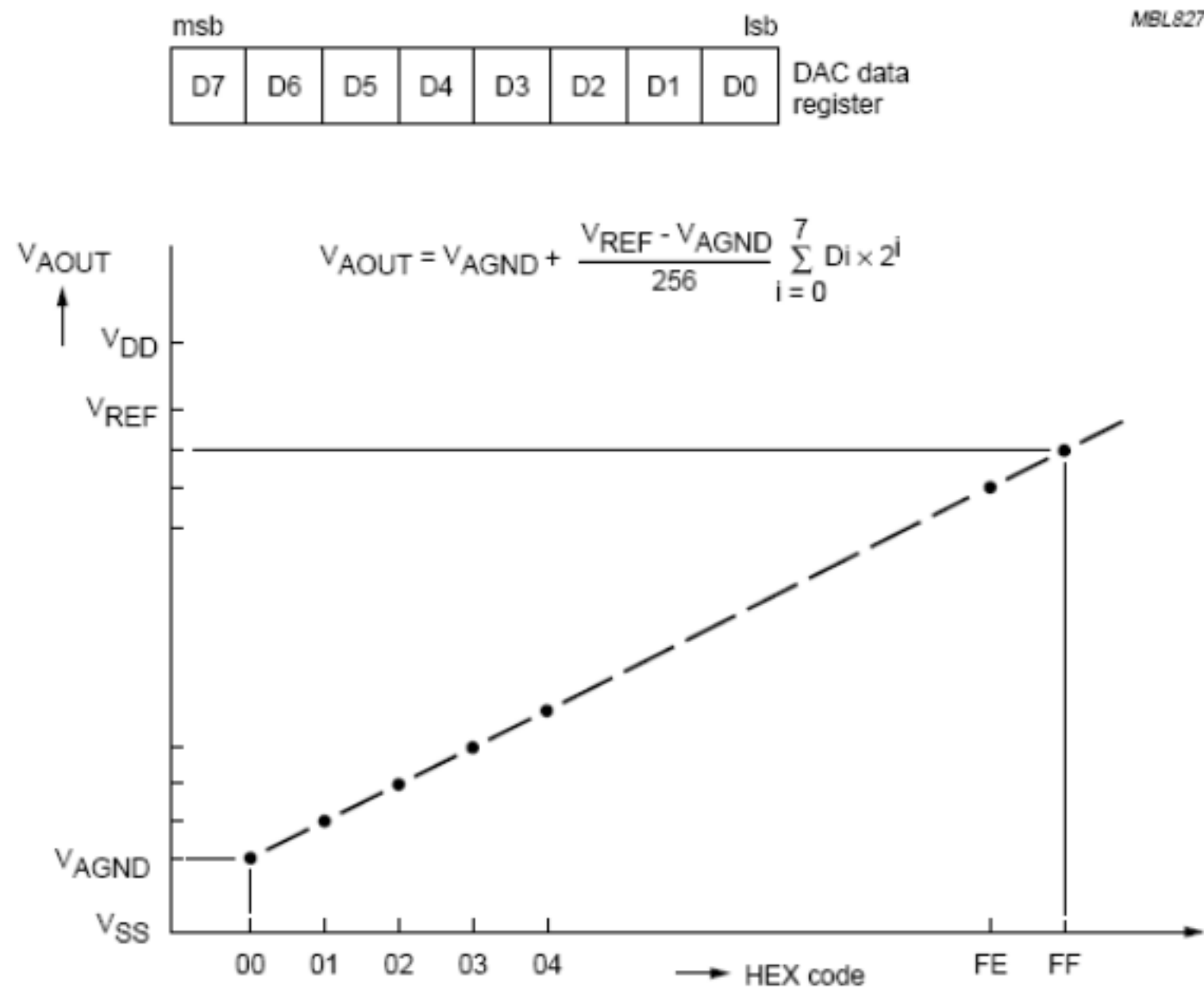


图 7 DAC 数据寄存器和 D/A 转换特性

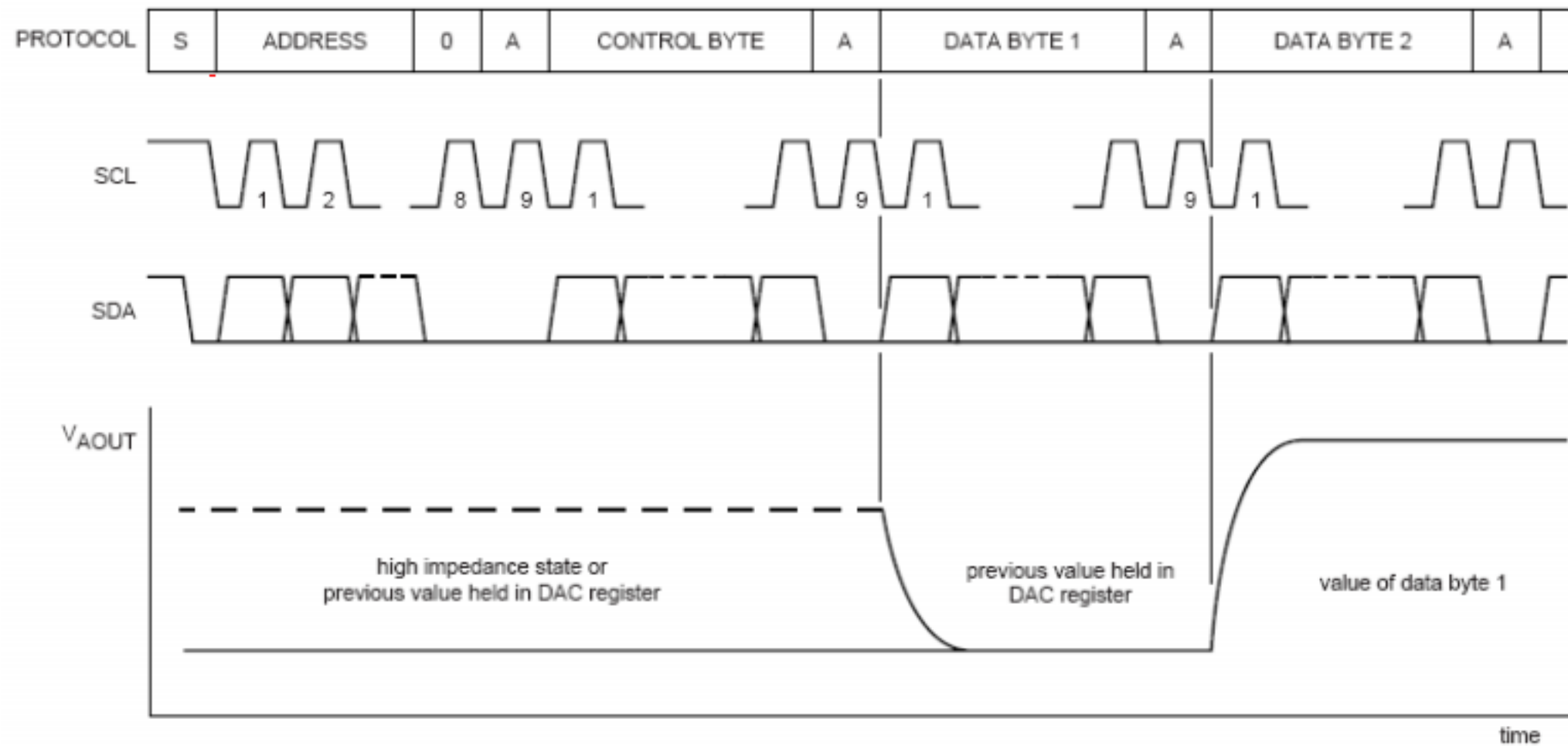


图 8 D/A 转换顺序

7.4 A/D 转换

A/D 转换器采用逐次逼近转换技术。在 A/D 转换周期将临时使用片上 D/A 转换器和高增益比较器。一个 A/D 转换周期总是开始于发送一个有效读模式地址给 PCF8591 之后。A/D 转换周期在应答时钟脉冲的后沿被触发，并在传输前一次转换结果时执行（见图 9）。一旦一个转换周期被触发，所选通道的输入电压采样将保存到芯片并被转换为对应的 8 位二进制码。

取自差分输入的采样将被转换为 8 位二进制补码。(见图 10和图 11)

转换结果被保存在 ADC 数据寄存器等待传输。如果自动增量标志被置 1，将选择下一个通道。

在读周期传输的第一个字节包含前一次读周期的转换结果代码。以上电复位之后读取的第一个字节是 0x80。I2C 总线协议的读周期如图 8、图 16和图 17。

最高 A/D 转换速率取决于实际的 I2C 总线速度。

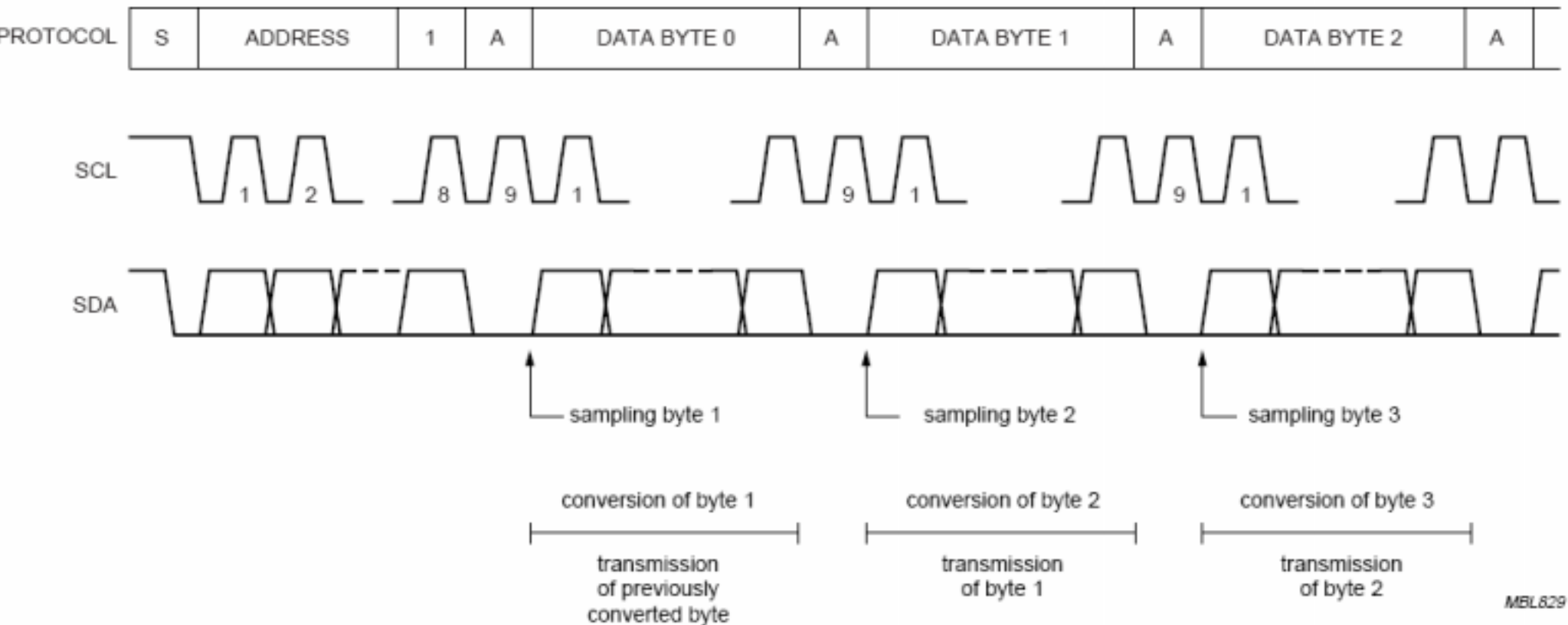


图 9 A/D 转换顺序

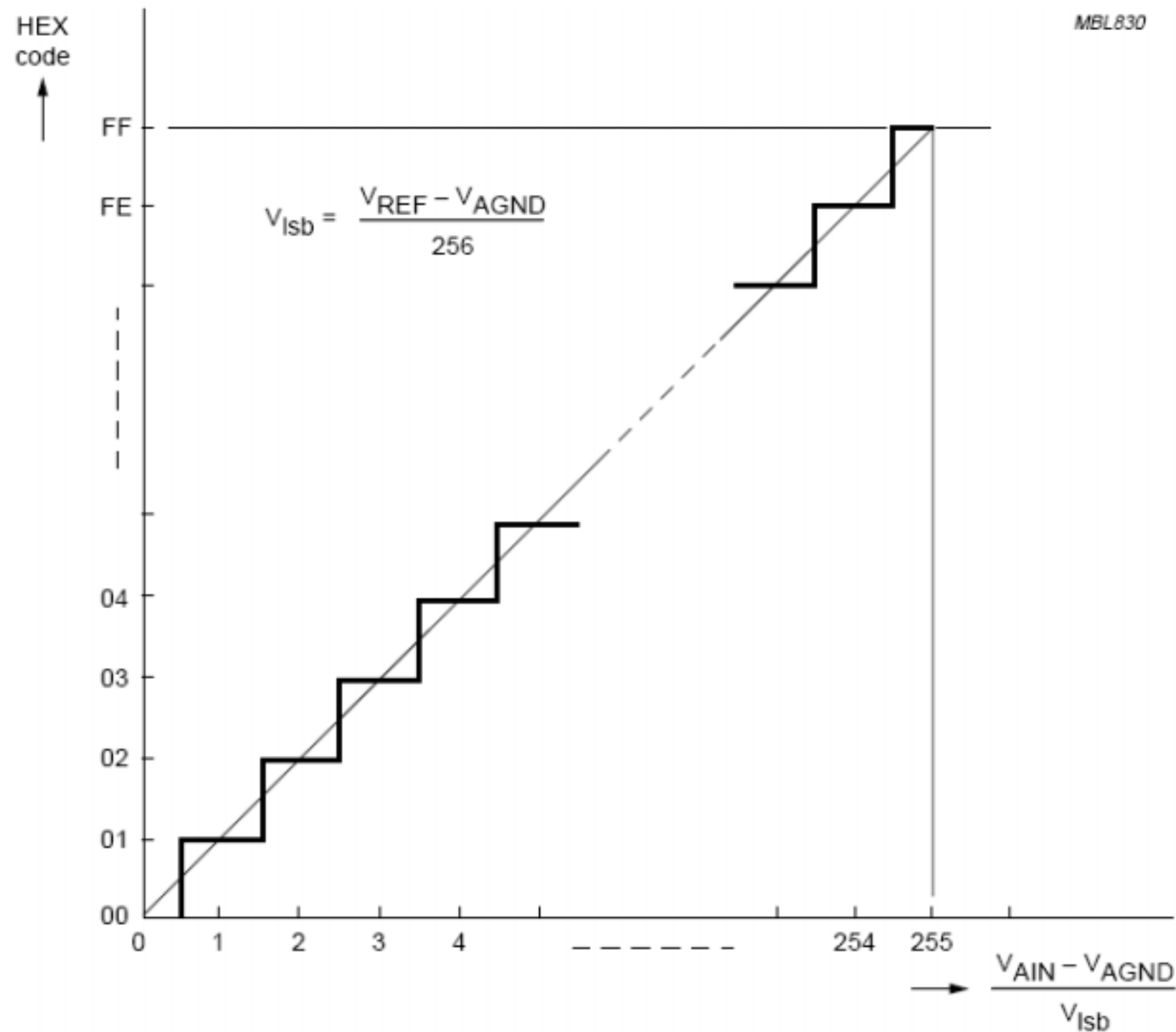


图 10 单端输入的 A/D 转换特性

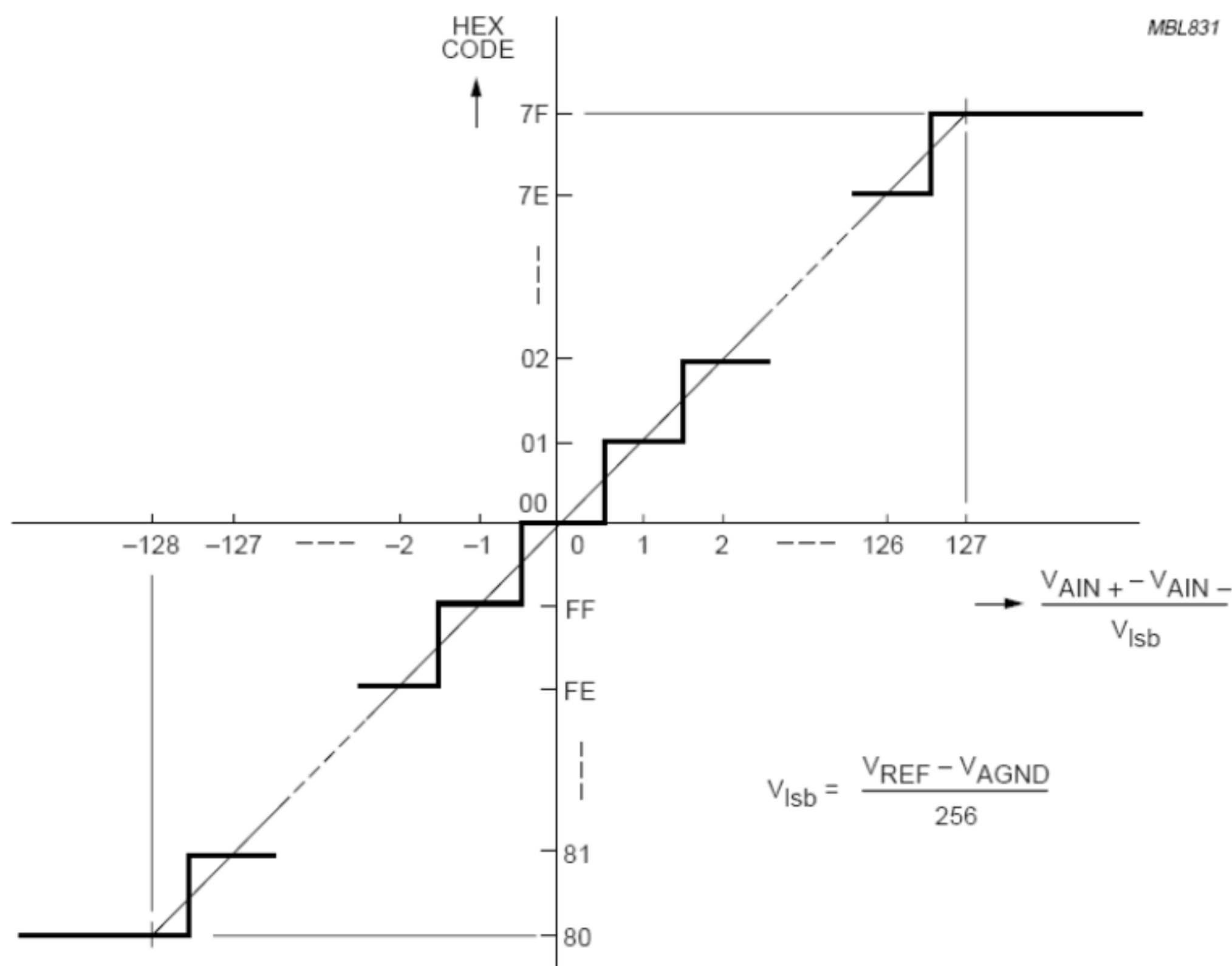


图 11 差分输入的 A/D 转换特性

7.5 参考电压

对 D/A 和 A/D 转换,稳定的参考电压和电源电压必须提供给电阻分压电路(引脚 VREF 和 AGND)。

AGND 引脚必须连接到系统模拟地,并应该有一个参考 VSS 的直流偏置。

低频可应用于 VREF 和 AGND 引脚。这允许 D/A 转换器作为一象限乘法器使用;见第 15 章和图 7。

A/D 转换器也可以用作一个或两个象限模拟除法。模拟输入电压除以参考电压。其结果被转换为二进制码。在这种应用中,用户必须保持在转换周期的参考电压稳定。

7.6 振荡器

片上振荡器产生 A/D 转换周期和刷新自动清零缓冲放大器需要的时钟信号。在使用这个振荡器时 EXT 引脚必须连接到 VSS。在 OSC 引脚振荡频率是可用的。

如果 EXT 引脚被连接到 VDD,振荡输出 OSC 将切换到高阻态以允许用户连接外部时钟信号至 OSC。

8、I2C 总线特性

I2C 总线是不同的 IC 或模块之间的双向两线通信。这两条线是串行数据线（SDA）和串行时钟线（SCL）。这两条线必须通过上拉电路连接至正电源。数据传输只能在总线不忙时启动。

8.1 位传输

一个数据位在每一个时钟脉冲期间传输。SDA 线上的数据必须在时钟脉冲的高电压期间保持稳定，这个期间数据线上的改变将被当作控制信号。

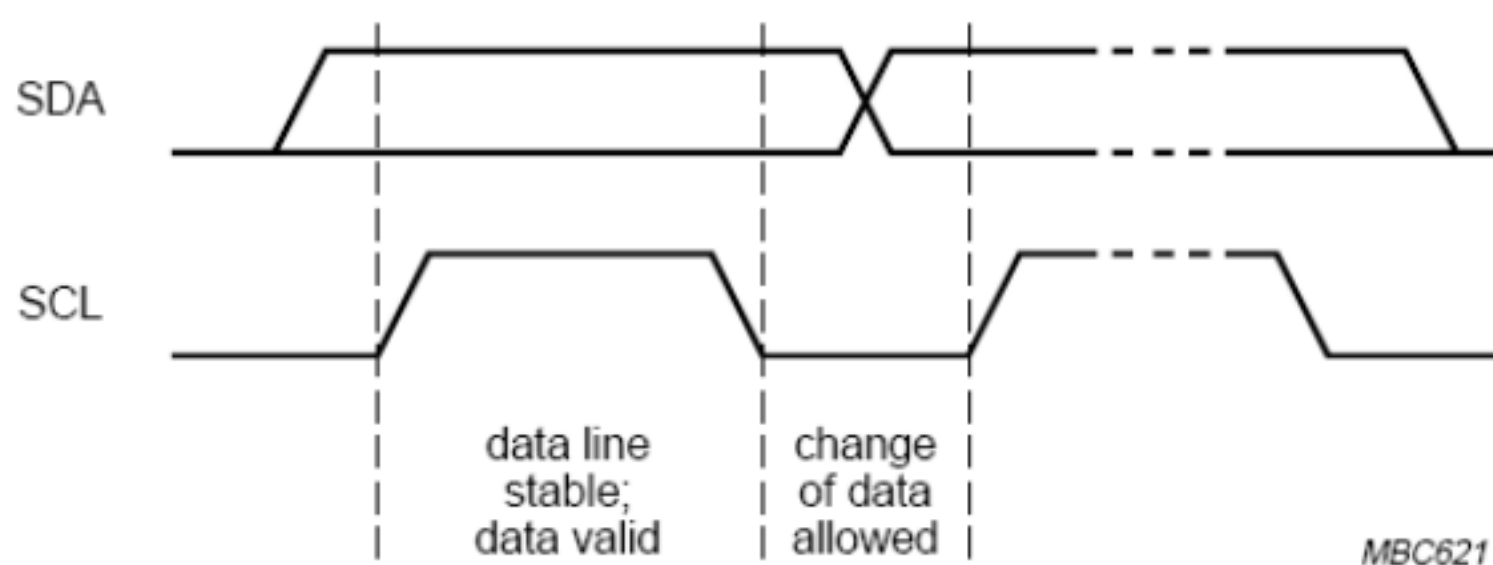


图 12 位传输

8.2 开始或停止条件

数据和时钟线在总不忙时保持高电平。在时钟为高电平时，数据线上的一个由高到低的变化被定义为开始条件。时钟为高电平时，数据线上的一个由低到高的变化被定义为停止条件。

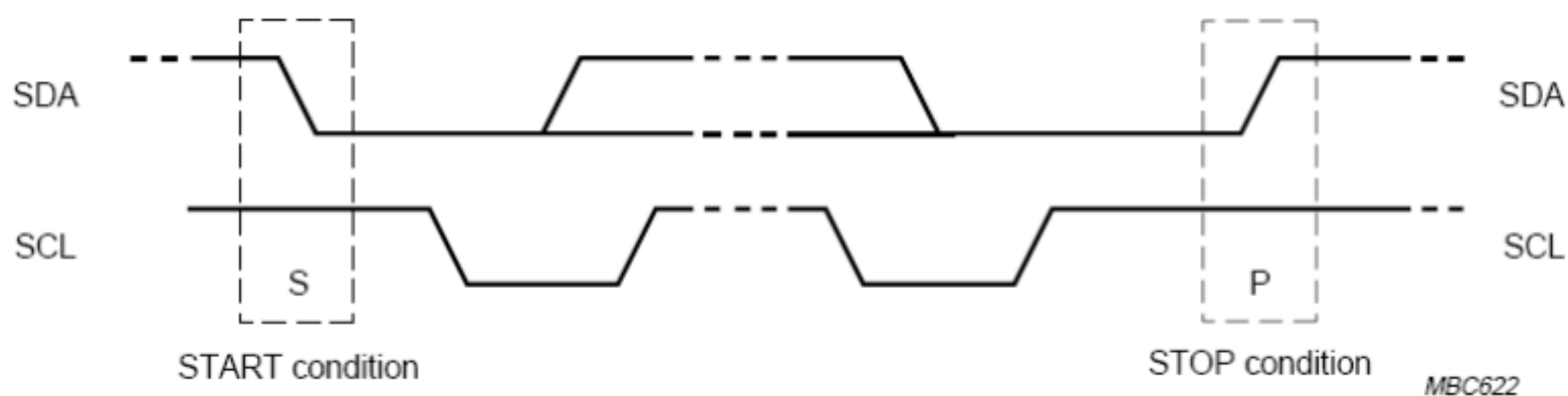


图 13 开始和停止条件定义

8.3 系统配置

产生信息的器件称作“发送机”，接收信息的器件称作“接收机”。控制信息的器件称作“主机”，被控制的器件称作“从机”。

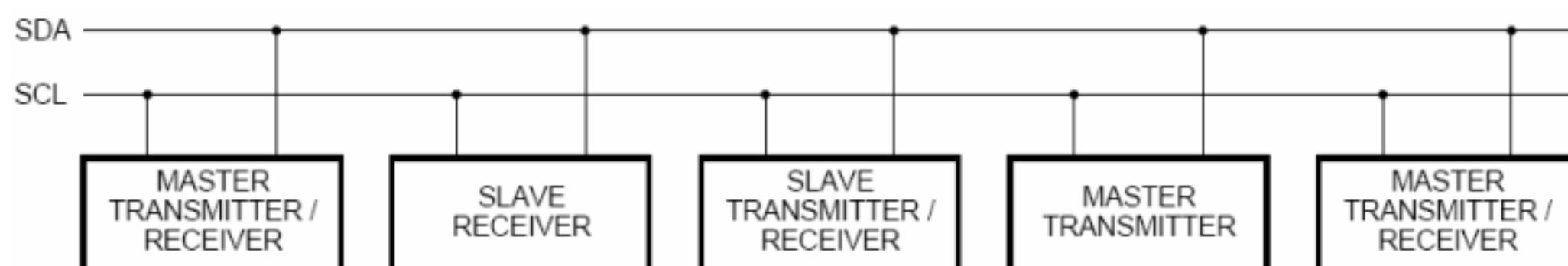


图 14 系统配置

8.4 应答

在开始和停止条件之间从发送机传输到接收机的数据字节数是没有限制的。每个 8 位数据字节之后紧跟着一个应答位。应答位是由发送机放在总线的一个高电平，而主机也产生一个额外的与应答有关的时钟脉冲。地址匹配的从接收机必须在接收每个字节后产生一个应答。然而主机在接收到每个已经被从发送机终止的字节后必须产生一个应答。在应答时钟脉冲期间，应答的器件必须将 SDA 线拉低，因此在应答相应的时钟脉冲的高电平期间，SDA 线必须保持稳定的低电平。在由从机终止的最后一个字节，主接收机必须通过产生一个低电平应答向发送机发出一个数据结束信号，这样发送机必须将数据线拉高以允许主机产生停止条件。

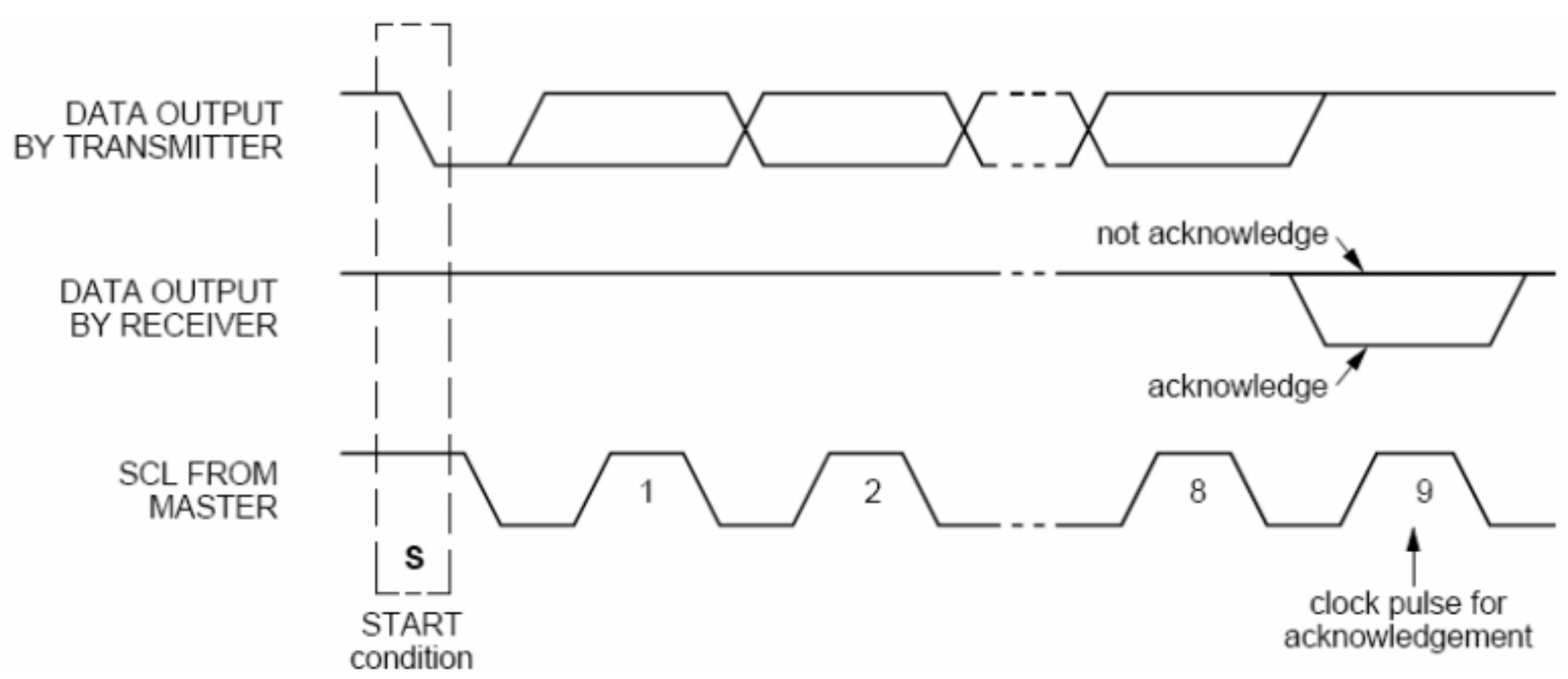


图 15 I2C 总线应答

8.5 I2C总线协议

在开始条件后一个有效的硬件地址必须发送至 PCF8591。读/写位定义了以后单个或多个字节数据传输的方向。开始条件、停止条件和应答位的格式和定时参考 I2C 总线特性。在写模式，数据传输通过发送下一个数据传输的停止条件或开始条件来结束。

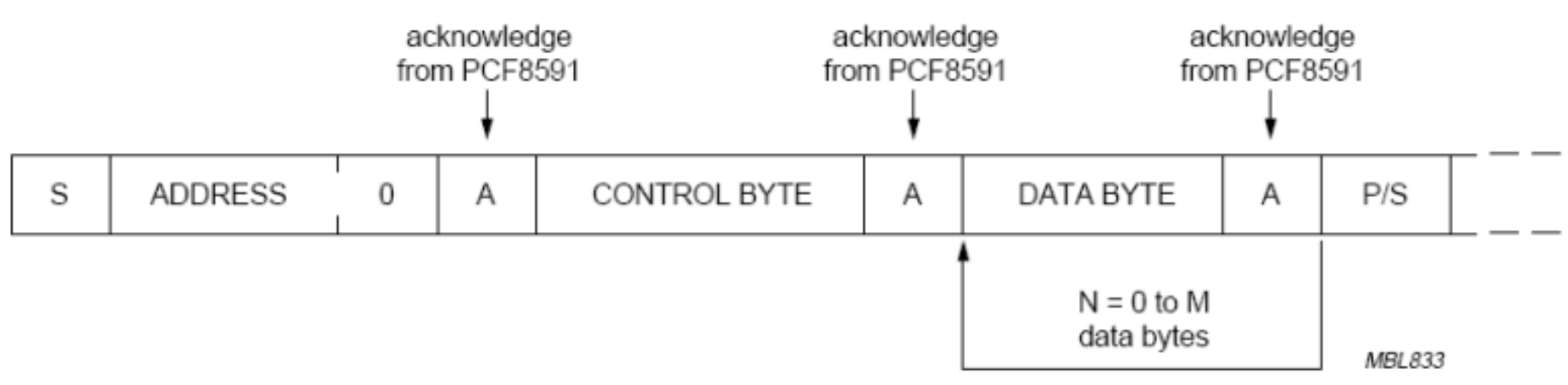


图 16 写模式的总线协议，D/A 转换

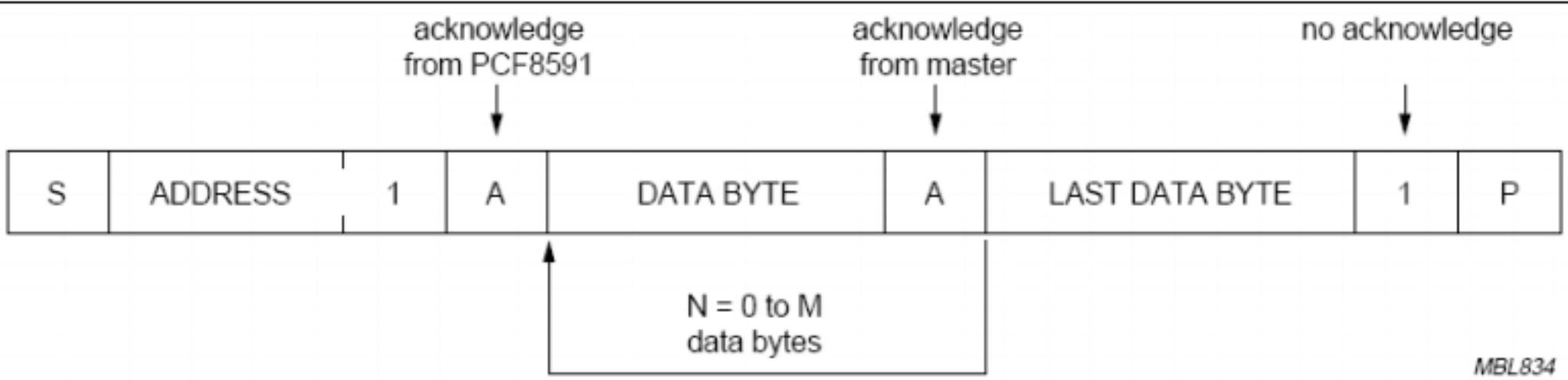


图 17 读模式的总线协议，A/D 转换

15 、应用信息

输入未用时必须连接至 VSS 或 VDD。模拟输入也可以连接至 AGND 或 VREF。

为了防止额外的地线和电源噪声，以及减小数字信号对模拟信号路径的串扰，用户在必须要非常仔细地设计 PCB。从电源到 PCF8591 器件、到噪声数字电路、到地的环路应该避免。建议在电源和参考电压输入端加上耦合电容 ($10\mu F$)。

