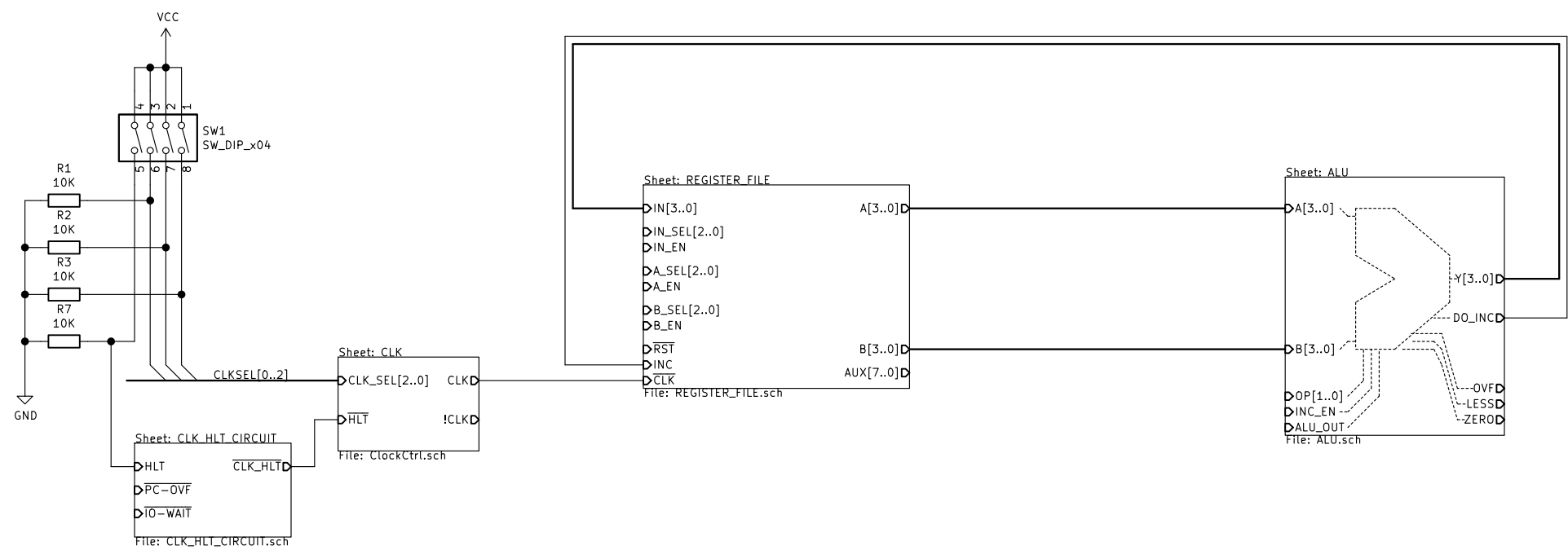


Progetto TTL

IEEE Student Branch 1019, University of Brescia

Rev.	Date	Revision Description
0	10/11	Creazione progetto, Prima progettazione del generatore di clock e clk multiplexer
1	24/11	Aggiunta contatore per divisore frequenza. modifica input pushbutton in CLK_GEN. Creazione circuito HLT, Aggiunta bit a CLK_SELECT. Aggiunta registri
2	29/11	Fix convenzione dei nomi, register selection and I/O logic
3	15/12	Alu e interconnessione con i registri. Logo nel cartiglio e fix minori



General Structure

IEEE Student Branch 1019

Sheet: /Hierarchy/
File: BlockDiagram.sch

Size: A3	Date:	Rev: 1
KiCad E.D.A. eeschema 5.1.10	Id: 2/13	

