

Clock Generator

IEEE Student Branch 1019

Sheet: /Hierarchy/CLK/

File: ClockCtrl.sch

Size: A4

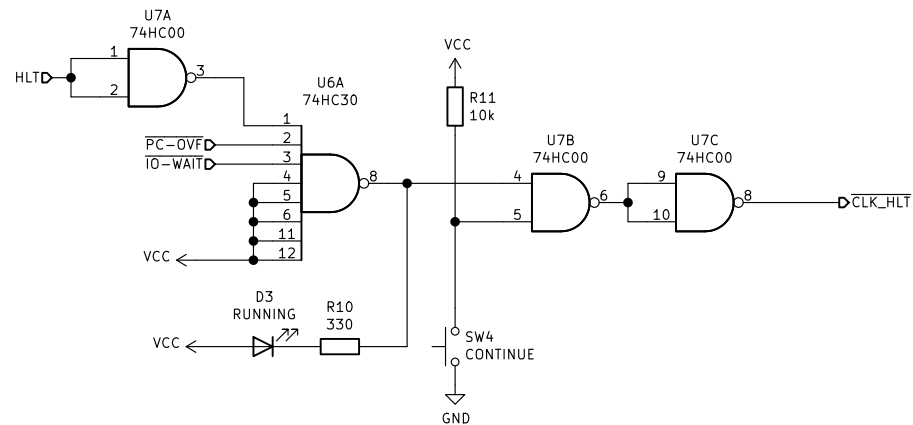
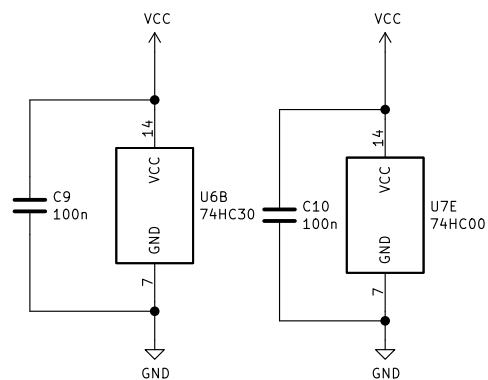
Date: 2021-11-10

Rev: 2

KiCad E.D.A. eeschema 5.1.10

Id: 3/13





Clock Management

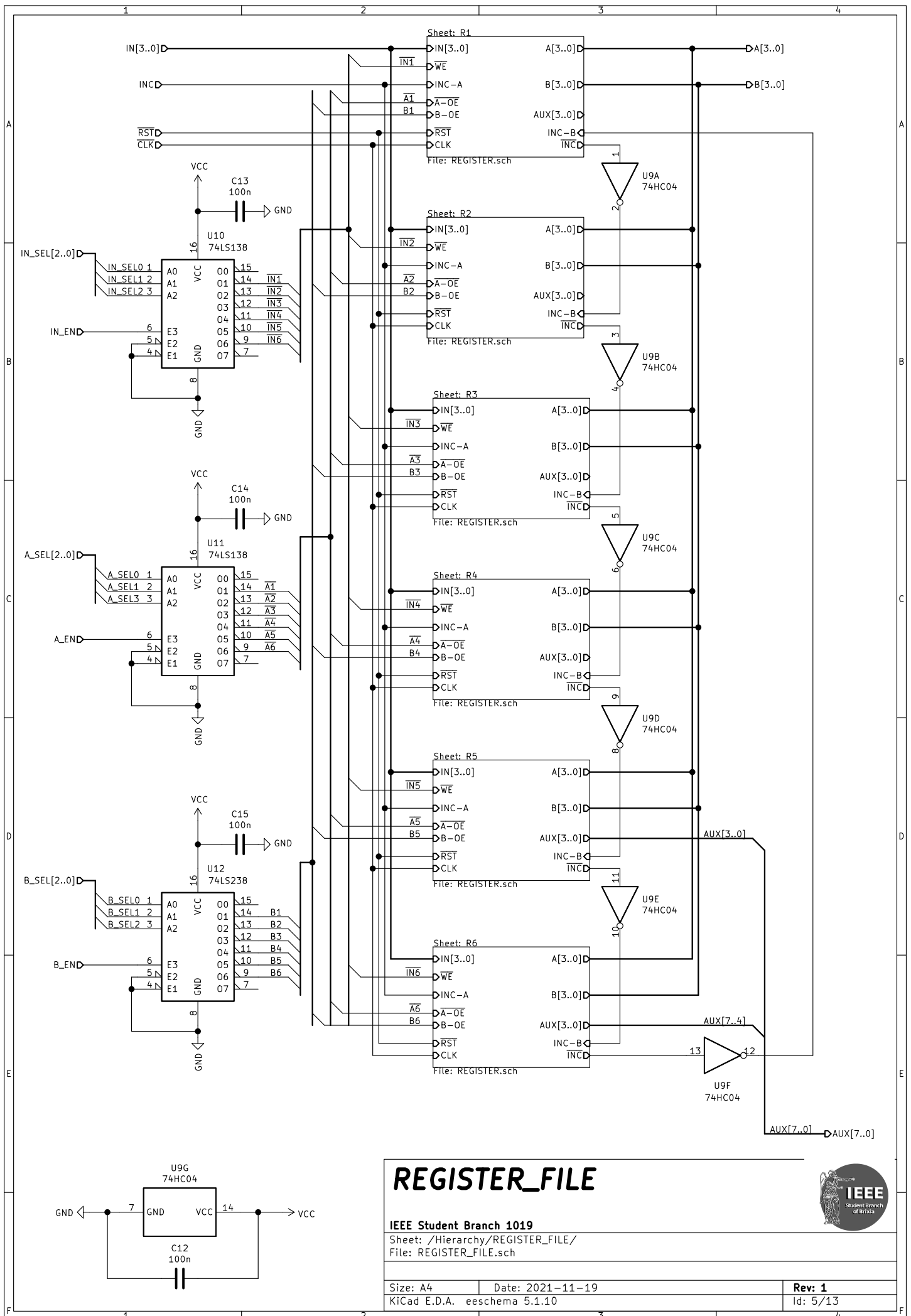
IEEE Student Branch 1019

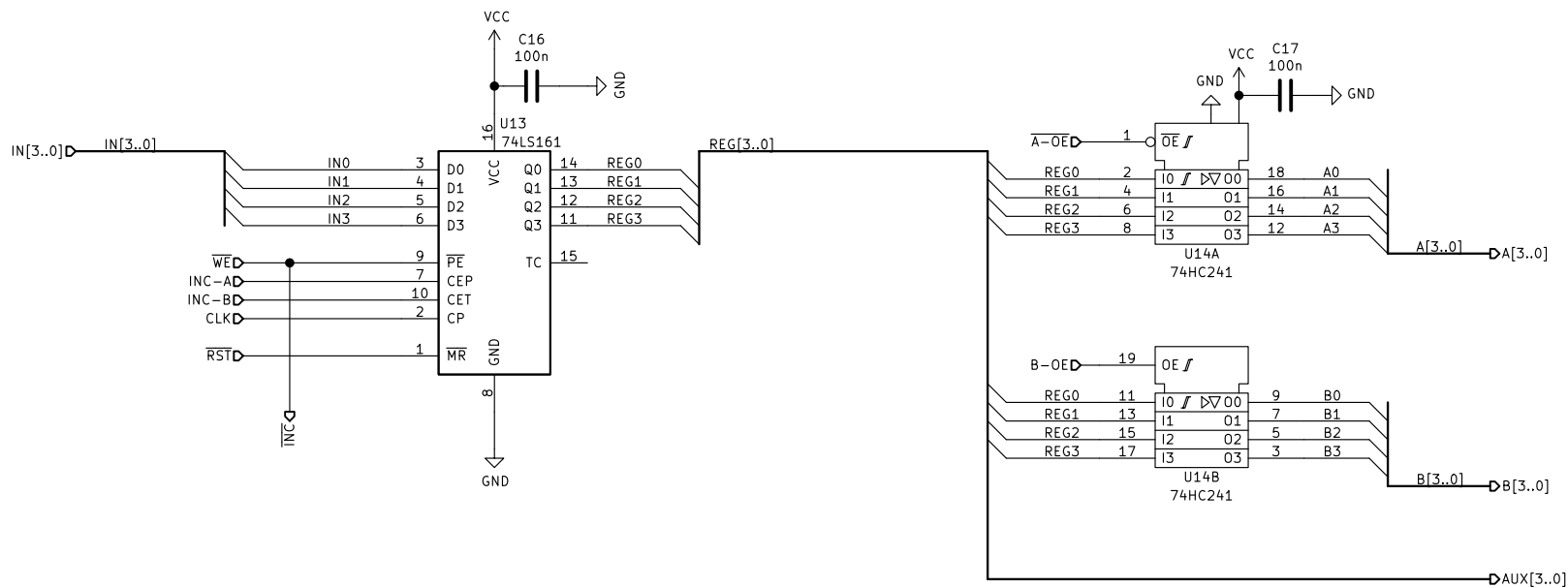
Sheet: /Hierarchy/CLK_HLT_CIRCUIT/
File: CLK_HLT_CIRCUIT.sch

Size: A4 Date: 2021-11-18
KiCad E.D.A. eeschema 5.1.10

Rev: 1
Id: 4/13







REGISTER

IEEE Student Branch 1019

Sheet: /Hierarchy/REGISTER_FILE/R1/

File: REGISTER.sch

Size: A4

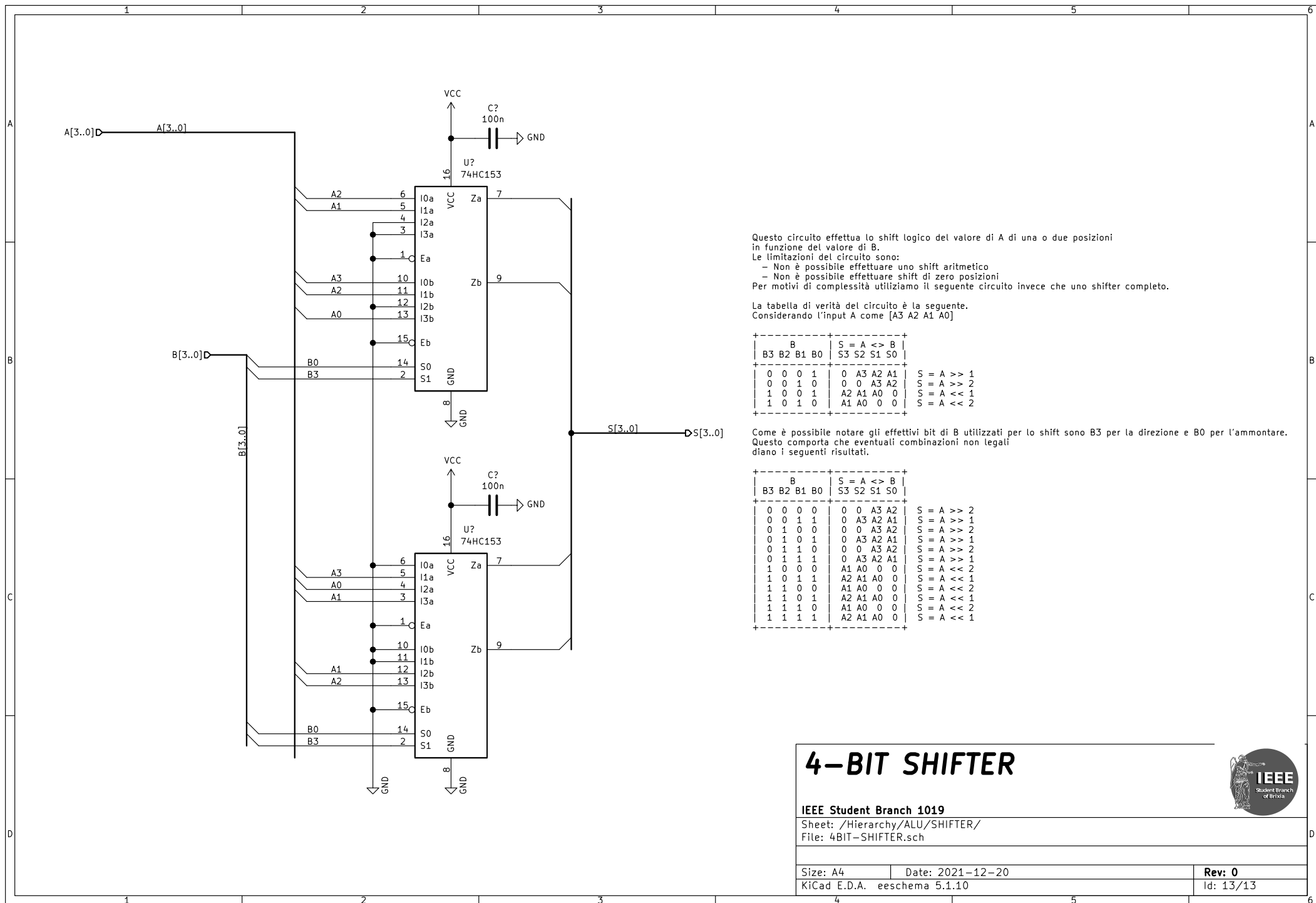
Date: 2021-11-19

KiCad E.D.A. eeschema 5.1.10

Rev:

Id: 6/13





Questo circuito effettua lo shift logico del valore di A di una o due posizioni in funzione del valore di B.

Le limitazioni del circuito sono:

- Non è possibile effettuare uno shift aritmetico
- Non è possibile effettuare shift di zero posizioni

Per motivi di complessità utilizziamo il seguente circuito invece che uno shifter completo.

La tabella di verità del circuito è la seguente.
Considerando l'input A come [A3 A2 A1 A0]

B				S = A <> B			
B3	B2	B1	B0	S3	S2	S1	S0
0	0	0	1	0	A3	A2	A1
0	0	1	0	0	0	A3	A2
1	0	0	1	A2	A1	A0	0
1	0	1	0	A1	A0	0	0

Come è possibile notare gli effettivi bit di B utilizzati per lo shift sono B3 per la direzione e B0 per l'ammontare. Questo comporta che eventuali combinazioni non legali diano i seguenti risultati.

B				S = A <> B			
B3	B2	B1	B0	S3	S2	S1	S0
0	0	0	0	0	0	A3	A2
0	0	1	1	0	A3	A2	A1
0	1	0	0	0	0	A3	A2
0	1	0	1	0	A3	A2	A1
0	1	1	0	0	0	A3	A2
0	1	1	1	0	A3	A2	A1
1	0	0	0	A1	A0	0	0
1	0	1	1	A2	A1	A0	0
1	1	0	0	A1	A0	0	0
1	1	0	1	A2	A1	A0	0
1	1	1	0	A1	A0	0	0
1	1	1	1	A2	A1	A0	0

4-BIT SHIFTER

IEEE Student Branch 1019

Sheet: /Hierarchy/ALU/SHIFTER/

File: 4BIT-SHIFTER.sch

Size: A4

Date: 2021-12-20

Rev: 0

KiCad E.D.A. eeschema 5.1.10

Id: 13/13

