

京都大学大学院情報学研究科  
通信情報システム専攻 修士課程入学選抜試験問題  
(平成30年度10月期入学・平成31年度4月期入学)

Admissions for October 2018 and for April 2019

Entrance Examination for Master's Program

Department of Communications and Computer Engineering

Graduate School of Informatics, Kyoto University

平成30年8月6日 13:00 - 16:00

August 6, 2018 13:00 - 16:00

専門基礎B  
**Problem Set B**

**注意 (NOTES)**

1. 解答開始の合図があるまで中を見てはいけない。
  2. これは「**専門基礎B**」の問題用紙で、表紙共に20枚ある。解答開始の合図があった後、枚数を確認、落丁または不鮮明なものがあれば直ちに申し出ること。
  3. 問題は10問(B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, B-10)ある。**4問を選択して解答すること。** 答案用紙の問題番号欄に問題番号を記入すること。
  4. 解答は問題ごとに答案用紙1枚を使うこと。答案用紙1枚に2問以上の解答もしくは1問の解答を2枚以上の答案用紙に書いた場合は無効にすることがある。なお、必要な場合「裏に続く」と明記した上で裏面を使用してもよい。
  5. 答案用紙は4枚綴じたまま使用し、切り離さないこと。
  6. 答案用紙の綴じ込みがはずれた場合は、直ちに申し出ること。
  7. 解答は日本語または英語で行うこと。
- 
1. Do not open the pages before a call for starting.
  2. This is the “**Problem Set B**” in 20 pages including this front cover.  
After the call of starting, check all pages are in order and notify proctors (professors) immediately if missing pages or with unclear printings are found.
  3. **Answer 4 of the following 10 questions;** B-1, B-2, B-3, B-4, B-5, B-6, B-7, B-8, B-9, and B-10. State the Question Numbers you choose on the Answer Sheet.
  4. Use one sheet for each question. If required, the reverse side may be used, stating “Over” at the end of the page. Note that in case two or more questions are answered in one sheet or two or more sheets are used for one question, they may be regarded as no answers.
  5. Do not separate the pages of answer sheets; keep them bound.
  6. Notify proctors (professors) immediately if the pages are separated for some reason.
  7. Answer the questions either in Japanese or English.

## 専門基礎B

**B-1**, **B-2**, **B-3**, **B-4**, **B-5**, **B-6**, **B-7**, **B-8**, **B-9**, **B-10**の10問から4問を選択して解答せよ。

### Problem Set B

Choose and answer 4 questions out of **B-1**, **B-2**, **B-3**, **B-4**, **B-5**, **B-6**, **B-7**, **B-8**, **B-9**, and **B-10**.

#### **B-1**

下記のすべての問に答えよ。

(English translation is given on the next page.)

(1) 符号無し2進整数の大小比較をする回路に関する以下の問に答えよ。

- (a) 2つの1ビット入力  $x$  と  $y$  により表現される1桁の2進整数  $X = (x)_2$  と  $Y = (y)_2$  の大小比較を行う論理関数  $g(x, y)$  と  $l(x, y)$  を考える。 $X > Y$  のとき、 $g = 1$  で  $l = 0$  である。 $X < Y$  のとき、 $g = 0$  で  $l = 1$  である。 $X = Y$  のとき、 $g = 0$  で  $l = 0$  である。 $g(x, y)$  と  $l(x, y)$  の最小積和形表現を求めよ。
- (b) 2つの2ビット入力  $(x_1, x_2)$  と  $(y_1, y_2)$  により表現される2桁の2進整数  $X = (x_1, x_2)_2$  と  $Y = (y_1, y_2)_2$  の大小比較を行う論理関数  $G$  と  $L$  を考える。 $X > Y$  のとき、 $G = 1$  で  $L = 0$  である。 $X < Y$  のとき、 $G = 0$  で  $L = 1$  である。 $X = Y$  のとき、 $G = 0$  で  $L = 0$  である。 $G$  を  $x_1, x_2, y_1, y_2$  の関数として、最小積和形で表せ。また、 $L$  を  $x_1, x_2, y_1, y_2$  の関数として、最小積和形で表せ。
- (c) 問(a)で定義した  $g$  と  $l$  を用いて  $g_1 = g(x_1, y_1)$ 、 $g_2 = g(x_2, y_2)$ 、 $l_1 = l(x_1, y_1)$ 、 $l_2 = l(x_2, y_2)$  とする。問(b)で定義した  $G$  と  $L$  を、 $g_1, g_2, l_1, l_2$  の関数として、最小積和形で表せ。ドントケアを考慮すること。

(2) 1ビットの信号  $x$  を入力とし、1ビットの信号  $z$  を出力とする Mealy 型同期式順序回路を設計する。この回路は、入力されるバイナリの信号系列の中から11および101という部分系列を検出する。すなわち、検出すべき部分系列の最後の入力に加えられた時刻にのみ1を出力し、他の時刻では0を出力する。例えば、101100という入力系列に対する出力は001100である。以下の問に答えよ。

- (a) 状態数を最小化した状態遷移表と出力表を求めよ。状態数が最小であることをどのようにして確認したかを説明せよ。
- (b) この回路を最小個数のDフリップフロップを用いて実現する。各Dフリップフロップの入力を与える論理関数および出力  $z$  を表す論理関数の最小積和形表現を求めよ。なお、Dフリップフロップの初期値は0とする。Dフリップフロップの出力と入力を表す論理変数をそれぞれ  $q$  と  $d$  で表し、各Dフリップフロップは添字1, 2, ... で区別する。添字は状態に割り当てた符号の左端ビットから1, 2, ... と振るものとする。状態割り当てを明記すること。

Answer all the following questions.

(1) Answer the following questions regarding a circuit that compares the magnitude of unsigned binary integers.

- (a) Consider logic functions  $g(x, y)$  and  $l(x, y)$  that compare the magnitude of 1-digit binary integers  $X = (x)_2$  and  $Y = (y)_2$  represented by two 1-bit inputs  $x$  and  $y$ . When  $X > Y$  holds,  $g = 1$  and  $l = 0$ . When  $X < Y$  holds,  $g = 0$  and  $l = 1$ . When  $X = Y$  holds,  $g = 0$  and  $l = 0$ . Give minimal sum-of-products forms of  $g(x, y)$  and  $l(x, y)$ .
- (b) Consider logic functions  $G$  and  $L$  that compare the magnitude of 2-digit binary integers  $X = (x_1, x_2)_2$  and  $Y = (y_1, y_2)_2$  represented by two 2-bit inputs  $(x_1, x_2)$  and  $(y_1, y_2)$ . When  $X > Y$  holds,  $G = 1$  and  $L = 0$ . When  $X < Y$  holds,  $G = 0$  and  $L = 1$ . When  $X = Y$  holds,  $G = 0$  and  $L = 0$ . Give a minimal sum-of-products form of  $G$  as a function of  $x_1, x_2, y_1$ , and  $y_2$ . Also, give a minimal product-of-sums form of  $L$  as a function of  $x_1, x_2, y_1$ , and  $y_2$ .
- (c) Assume  $g_1 = g(x_1, y_1)$ ,  $g_2 = g(x_2, y_2)$ ,  $l_1 = l(x_1, y_1)$ , and  $l_2 = l(x_2, y_2)$  using functions  $g$  and  $l$  defined in Question (a). Give minimal sum-of-products forms of  $G$  and  $L$  defined in Question (b) as functions of  $g_1, g_2, l_1$ , and  $l_2$ . "Don't-care" should be considered.

(2) Suppose that we design a Mealy-type synchronous sequential circuit that has 1-bit input  $x$  and 1-bit output  $z$ . The circuit detects patterns 11 and 101 in a binary signal sequence. The circuit produces 1 at the time when the last signal of each pattern to be detected comes, and produces 0 at the other time. For example, when 101100 is fed to the circuit, it produces 001100. Answer the following questions.

- (a) Derive the state transition table and the output table with the minimum number of states. Explain how you verified that the number of states is minimum.
- (b) We would like to implement the circuit with the minimum number of D flip-flops. Derive the excitation function of each D flip-flop and the output  $z$  in a minimal sum-of-products form. Here, the initial value of a D flip-flop is assumed to be 0, and logic variables of the output and the input of a D flip-flop are  $q$  and  $d$ , respectively. D flip-flop(s) should be distinguished by subscripts 1, 2, ... from the leftmost bit of the assigned states. The state assignment should be explained clearly.

**B-4**

English translation is given on the next page.

図 (a) に示す座標系の原点  $O$  に、 $z$  軸方向に微小ダイポールアンテナ  $A$  を置き、波長  $\lambda$  の電磁波を放射する場合を考える。このとき、極座標  $(r, \theta, \phi)$  上の点  $P(r_0, \pi/2, 0)$  の、時刻  $t$  における電界の極座標系における各成分が  $(0, E_0 \exp j\omega t, 0)$  で与えられるものとする。ただし媒質は真空とし、その固有インピーダンスを  $\eta$  とする。また  $r_0 \gg \lambda$  とする。下記のすべての問に答えよ。

- (1) 原点からの距離  $r$  が  $r > r_0$  を満たす任意の点における電界および磁界の極座標系における各成分を、電界の大きさが  $\sin \theta$  に比例することを用いて時間  $t$  の関数として表せ。
- (2) アンテナ  $A$  からの放射電力を求めよ。
- (3) 絶対利得の定義式を示し、アンテナ  $A$  の絶対利得を求めよ。
- (4) アンテナの絶対利得と有効開口面積の関係を表す式を示せ（導出はしなくてよい）。
- (5) 点  $P$  に  $A$  と同一のアンテナを同じ向きに置き、インピーダンス整合した負荷を接続した場合の受信電力を求めよ。

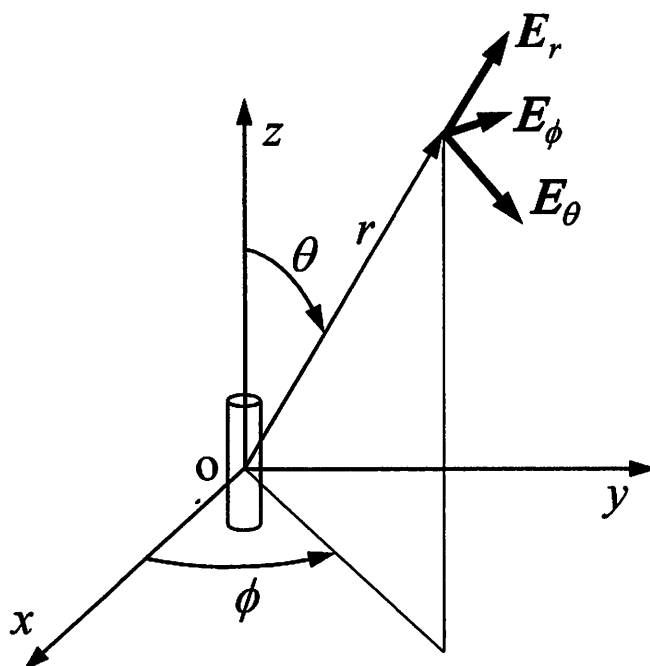


図 (a)

continued on next page  
次 頁 へ 続 く

Suppose that an infinitesimal dipole antenna A is located in the direction of  $z$ -axis at the origin O of the coordinate system shown in Figure (a), and an electromagnetic wave of wavelength  $\lambda$  is radiated. The electric field at point P ( $r_o, \pi/2, 0$ ) on a polar coordinate system ( $r, \theta, \phi$ ) at time  $t$  is given by  $(0, E_o \exp j\omega t, 0)$ . Here the medium is vacuum, and its intrinsic impedance is given by  $\eta$ . Also,  $r_o \gg \lambda$  holds.

Answer all the following questions.

- (1) Give all the components of the electric and magnetic fields in the polar coordinate at an arbitrary point whose distance  $r$  from the origin satisfies  $r > r_o$  as a function of time  $t$  using the fact that the magnitude of the electric field is proportional to  $\sin \theta$ .
- (2) Give the radiated power from antenna A.
- (3) Show the expression that defines the absolute gain, and give the absolute gain of antenna A.
- (4) Show the relation between the absolute gain and the effective area of an antenna (derivation is not required).
- (5) Give the received power when an identical antenna as A is located at point P in the same direction, and connected with a load whose impedance is matched to the antenna.

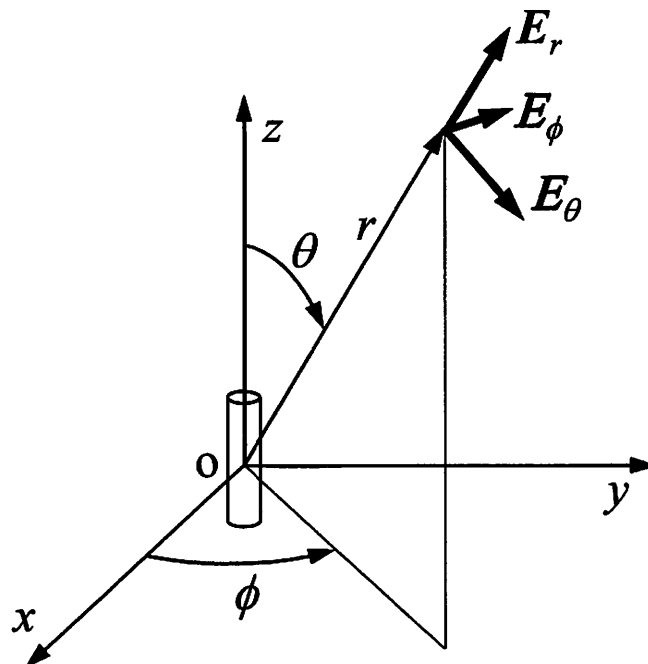


Figure (a)

下記のすべての問に答えよ。

(English translation is given on the next page.)

(1) デジタル伝送技術に関する以下の問に答えよ。

(a) 最高周波数が 20 kHz のオーディオ信号を 16 ビット量子化を用いて PCM (Pulse Code Modulation) 伝送することを考える。このビット列をサブキャリアの変調方式が 64QAM である OFDM (Orthogonal Frequency Division Multiplexing) 信号として、遅延時間差が  $20 \mu\text{s}$  である 2 波を持つ伝搬路で伝送する。この場合に必要となるガードインターバルの時間割合を OFDM 信号の 20% 以下とするためには、サブキャリア数はいくら以上必要か。

(b) 問 (a) における伝搬路が周波数選択性フェージング伝搬路であることを示し、この伝搬路における OFDM 伝送の利点を説明せよ。

(2) M/M/1 待ち行列システムにおいて呼が到着する。  $\rho = \frac{\lambda}{\mu}$  であり、  $\lambda$  [1/秒] と  $\mu$  [1/秒] は、それぞれ到着率とサービス率である。システム内の呼数が  $n$  である確率を  $p(n)$  とする。以下の問に答えよ。

(a) 状態遷移図を示せ。

(b)  $p(n) = (1 - \rho)\rho^n$  であることを示せ。

(c) システム内平均呼数が  $\frac{\rho}{1-\rho}$  であることを示せ。

(d) 平均システム内滞在時間を  $\mu$  と  $\lambda$  を用いて表せ。

(3) 通信ネットワークに関する以下の問に答えよ。

(a) OSI (Open Systems Interconnection) 参照モデルの第 1, 2, 3, 4 層それぞれの名称を答えよ。

(b) IP (Internet Protocol) は OSI 参照モデルの何層のプロトコルか答えよ。

(c) MAC (Media Access Control) は OSI 参照モデルの何層のプロトコルか答えよ。

(d) IEEE 802.3 の MAC の手順を述べよ。

continued on next page				
次	頁	へ	続	く

Answer all the following questions.

(1) Answer the following questions related to digital transmission techniques.

- (a) Suppose OFDM (Orthogonal Frequency Division Multiplexing) transmission with 64QAM subcarrier modulation of a bit stream of PCM (Pulse Code Modulation) using 16-bit quantization to transmit an audio signal with frequency up to 20 kHz. Find the minimum number of subcarriers in order for the guard interval to be less than or equal to 20% of the OFDM signal over the channel with two paths of  $20 \mu\text{s}$  delay time difference.
- (b) Show that the channel in Question (a) is the frequency selective fading channel. And describe the benefit of OFDM over this channel.

(2) Consider call arrivals at the M/M/1 queuing system.  $\rho$  is defined as  $\rho = \frac{\lambda}{\mu}$ , where  $\lambda$  [1/second] and  $\mu$  [1/second] are arrival and service rates, respectively.  $p(n)$  is the probability that the number of calls in the system is  $n$ . Answer the following questions.

- (a) Draw the state transition diagram.
- (b) Show that  $p(n) = (1 - \rho)\rho^n$  holds.
- (c) Show that the average number of calls in the system is given as  $\frac{\rho}{1-\rho}$ .
- (d) Show the average sojourn time in the system using  $\mu$  and  $\lambda$ .

(3) Answer the following questions related to communication networks.

- (a) Answer each name of the 1st, 2nd, 3rd, and 4th layers of the Open-Systems-Interconnection (OSI) reference model.
- (b) Answer which OSI layer Internet Protocol (IP) belongs to.
- (c) Answer which OSI layer Media Access Control (MAC) belongs to.
- (d) Explain the procedure of MAC of IEEE 802.3.

下記のすべての問に答えよ。

Answer all the following questions.

- (1) 表 (a) に、32 ビット語長の RISC プロセッサ P がサポートする命令セットと命令形式の一部を示す。図 (a) に示すプログラムに関する以下の問に答えよ。ただし、プログラムの実行前、全てのレジスタの値は 0 である。また、レジスタ R[0] はゼロレジスタであり、その値は常に 0 である。

Table (a) shows a part of the instruction set and the instruction formats of a 32-bit word RISC processor P. Answer the following questions related to the program shown in Figure (a). Here, the values of all the registers are 0 before execution of the program. Register R[0] is the zero register whose value is always 0.

- (a) アドレス 0x3000 のアセンブリ・コードを機械語コードに変換し 16 進数で書け。

Translate the assembly code instruction at address 0x3000 to the corresponding machine code instruction. Answer in hexadecimal.

- (b) アドレス 0x3004 の機械語コードをアセンブリ・コードに変換せよ。

Translate the machine code instruction at address 0x3004 to the corresponding assembly code instruction.

- (c) アドレス 0x3010 の機械語コードの動作を説明せよ。

Explain the operation of the machine code instruction at address 0x3010.

- (d) プロセッサ P が、図 (a) のプログラムを 1 クロック 1 命令で順次実行する。アドレス 0x3000 から実行を開始し、アドレス 0x3014 の命令が実行されるまでの間に、レジスタ R[8], R[10], R[14] に生じる値の変化を、実行される命令毎に全て示せ。もし、レジスタの値が不明となる場合はその理由を説明せよ。

Processor P executes the program in Figure (a) starting from the instruction at address 0x3000. Executions are in series and one instruction per clock cycle. Write all changes of the values of registers R[8], R[10], and R[14] with the executed instructions until the execution reaches the address 0x3014. If the register values cannot be determined with given information, explain its reason.

Address	Assembly or machine code
0x3000	addi R[8], R[0], 1
0x3004	0x010a5020
0x3008	sll R[8], R[8], 1
0x300c	slti R[14], R[8], 6
0x3010	0x15c0fffc
0x3014	sll R[0], R[0], 0

図 (a) プログラムリスト

Figure (a) Program list.



表 (a) 命令形式と命令セット (表内の数字はすべて 10 進数)

Table (a) Instruction formats and instruction set (all numbers in this table are decimal)

命令 Inst- ruction	形式	フィールド						アセンブリ・コード
	Format	Field						Assembly code
	R width	op 6b	rs 5b	rt 5b	rd 5b	shamt 5b	funct 6b	動作
	I width	op 6b	rs 5b	rt 5b	Immediate 16b		Operation	
sll	R	0	0	rt	rd	shamt	0	sll rd, rt, shamt logical shift left: R[rd] = R[rt] << shamt
srl	R	0	0	rt	rd	shamt	2	srl rd, rt, shamt logical shift right: R[rd] = R[rt] >> shamt
sra	R	0	0	rt	rd	shamt	3	sra rd, rt, shamt arithmetic shift right: R[rd] = R[rt] >> shamt
add	R	0	rs	rt	rd	0	32	add rd, rs, rt addition: R[rd] = R[rs] + R[rt]
sub	R	0	rs	rt	rd	0	34	sub rd, rs, rt subtraction: R[rd] = R[rs] - R[rt]
and	R	0	rs	rt	rd	0	36	and rd, rs, rt logical AND: R[rd] = R[rs] & R[rt]
or	R	0	rs	rt	rd	0	37	or rd, rs, rt logical OR: R[rd] = R[rs]   R[rt]
xor	R	0	rs	rt	rd	0	38	xor rd, rs, rt logical XOR: R[rd] = R[rs] ^ R[rt]
nor	R	0	rs	rt	rd	0	39	nor rd, rs, rt logical NOR: R[rd] = ~(R[rs]   R[rt])
slt	R	0	rs	rt	rd	0	42	slt rd, rs, rt set on less than: R[rd] = (R[rs] < R[rt])? 1:0
beq	I	4	rs	rt	Imm			beq rt, rs, Imm if (R[rs] == R[rt]) PC = PC+4+BrAddr
bne	I	5	rs	rt	Imm			bne rt, rs, Imm if (R[rs] != R[rt]) PC = PC+4+BrAddr
addi	I	8	rs	rt	Imm			addi rt, rs, Imm add immediate: R[rt] = R[rs] + SignExtImm
slti	I	10	rs	rt	Imm			slti rt, rs, Imm R[rt] = (R[rs] < SignExtImm)? 1:0
andi	I	12	rs	rt	Imm			andi rt, rs, Imm AND immediate: R[rt] = R[rs] & ZeroExtImm
ori	I	13	rs	rt	Imm			ori rt, rs, Imm OR immediate: R[rt] = R[rs]   ZeroExtImm
lui	I	15	0	rt	Imm			lui rt, Imm load upper immediate: R[rt] = {Imm, 16'b0}
lw	I	35	rs	rt	Imm			lw rt, Imm(rs) load word: R[rt] = M[R[rs] + SignExtImm]
sw	I	43	rs	rt	Imm			sw rt, Imm(rs) store word: M[R[rs] + SignExtImm] = R[rt]

Note: R[x]: register number x, R[0]: zero register, M[x]: memory at address x, ZeroExtImm: zero extended immediate, SignExtImm: sign extended immediate, BrAddr: branch address ( $\text{SignExtImm} \ll 2$ ), PC: program counter.

continued on next page  
次 頁 へ 続 く

- (2) プロセッサがデータ・キャッシュを介して図 (b) に示す主記憶のアドレス (16 進数で書かれている) へ上から順にアクセスする。このキャッシュはブロック・サイズが 4 語で総容量が 32 語のダイレクト・マップ・キャッシュである。データ・アクセスは load と store の 2 種類があり、いずれも語 (1 語は 4 バイト) 単位で行われる。図 (b) に示す “Data to be stored” は、キャッシュに書き込まれるデータ (16 進数で書かれている) を意味する。キャッシュは当初は空であり、主記憶に格納されているすべてのデータは当初はゼロであるとする。以下の問に答えよ。

A processor accesses a main memory through a data cache according to the memory addresses (represented in hexadecimal) shown in Figure (b) from the top to the bottom. The cache is a direct-mapped cache whose block size is 4 words and the total capacity is 32 words. Each access is either a load or a store in unit of word (1-word = 4-byte). The “Data to be stored” shown in Figure (b) represents data (represented in hexadecimal) to be written to the cache. The cache is initially empty and all data contents of the main memory are initially zero. Answer the following questions.

- (a) 上記キャッシュがライト・スルー・キャッシュであるとき、図 (b) に示すアドレスごとのアクセスがそれぞれ主記憶への書き戻しをともなうか否かをその理由と合わせて示せ。書き戻しをともなう場合は、書き戻しに対応する主記憶のアドレスとデータの値を示せ。

Assuming the cache is a write-through cache, answer whether each access to the addresses shown in Figure (b) involves a write-back to the main memory or not with reason. If it involves a write-back, show the address(es) of the main memory and the value(s) of the data corresponding to the write-back.

- (b) 上記キャッシュがライト・バック・キャッシュであるとき、図 (b) に示すアドレスごとのアクセスがそれぞれ主記憶への書き戻しをともなうか否かその理由と合わせて示せ。書き戻しをともなう場合は、書き戻しに対応する主記憶のアドレスとデータの値を示せ。

Assuming the cache is a write-back cache, answer whether each access to the addresses shown in Figure (b) involves a write-back to the main memory or not with reason. If it involves a write-back, show the address(es) of the main memory and the value(s) of the data corresponding to the write-back.

Address	Access type	Data to be stored
0x0000	load	——
0x0004	store	0x0001
0x0008	store	0x0002
0x000c	store	0x0003
0x0200	load	——
0x0204	store	0x0004
0x0000	store	0x0005
0x0004	store	0x0006
0x0100	load	——

図 (b) メモリアクセス系列

Figure (b) Sequence of memory accesses.

**B-7**

(English translation is given on the next page.)

切り出して販売する長い金属棒を考える。ただし、切り出しの長さは整数でなくてはならない。各整数  $i \geq 1$  に対して、切り出された長さ  $i$  の棒を販売して得られる利益を  $p_i$  とする。本設問では、整数  $n \geq 1$  と利益リスト  $p_1, \dots, p_n$  が与えられたとき、長さ  $n$  の棒を切り出して得られる最大利益（以下、 $r_n$  と表す）を計算する問題に着目する。

以下のすべての問に答えよ。

(a) 以下の表は利益の例を表す。

$i$	1	2	3	4	5	6	7	8	...
$p_i$	2	5	6	9	10	12	17	18	...

この例において、 $r_5 = 12$  である。（長さ 5 の棒を長さ 1, 2, 2 の三つの棒に切り出すことによって得られる利益が  $p_1 + p_2 + p_2 = 12$  となり、最大である。）

この例において、 $r_1, r_2, r_3, r_4$  及び  $r_6$  を計算せよ。

(b) すべての整数  $n \geq 1$  に対して以下の式が成り立つ。

$$r_n = \max_{i \in \{0, \dots, n-1\}} \{r_i + p_{n-i}\}$$

ただし、 $r_0 = 0$  とする。この式を用いて、 $r_n$  を計算する再帰的アルゴリズムを与えよ。そのアルゴリズムの正当性を証明し、時間計算量を解析すること。

(c) 動的計画法に基づき、 $r_n$  を計算する多項式時間アルゴリズムを与えよ。そのアルゴリズムの正当性を証明し、時間計算量を解析すること。

continued on next page
次 頁 へ 続 く

Consider a long steel rod that can be cut into shorter rods, which are then sold. The length of a cut is always an integer. For each integer  $i \geq 1$ , let  $p_i$  be the profit obtained when selling a cut of length  $i$ . We focus on the following problem: given an integer  $n \geq 1$  and the list of profits  $p_1, \dots, p_n$ , compute the maximum profit (denoted  $r_n$  below) that can be obtained by cutting a rod of length  $n$  and selling the cuts.

Answer all the following questions.

- (a) The following table gives an example of profits.

$i$	1	2	3	4	5	6	7	8	...
$p_i$	2	5	6	9	10	12	17	18	...

It is easy to check that  $r_5 = 12$ : by cutting a rod of length 5 into three parts of length 1, 2 and 2, we obtain total profit of  $p_1 + p_2 + p_2 = 12$ , which is maximal.

Compute  $r_1$ ,  $r_2$ ,  $r_3$ ,  $r_4$  and  $r_6$  for this example.

- (b) The equality

$$r_n = \max_{i \in \{0, \dots, n-1\}} \{r_i + p_{n-i}\},$$

where  $r_0$  is defined as  $r_0 = 0$ , holds for any integer  $n \geq 1$ . Based on this equality, describe a recursive algorithm for computing  $r_n$ . You should justify the correctness and analyze the time complexity of your algorithm.

- (c) Describe a polynomial-time algorithm for computing  $r_n$  based on dynamic programming. You should justify the correctness and analyze the time complexity of your algorithm.

**B-8**

オペレーティングシステムにおけるプロセスの管理と実行に関する以下の全ての問に答えよ。

- (1) プロセス制御ブロックに保持される情報について説明せよ。
- (2) C プログラムの実行時に割り当てられるプロセスメモリ空間のセグメント (セクション) を  
列挙せよ。各セグメント (セクション) が何に用いられるか説明せよ。
- (3) 共有ライブラリを用いることの利点と問題点を説明せよ。

Answer all the following questions on process management and execution in operating systems.

- (1) Explain information stored in a process control block.
- (2) Enumerate segments (sections) of the process memory space allocated when C programs  
are executed. Explain what the segments (sections) are used for.
- (3) Explain the advantages and disadvantages of using shared libraries.

## B-9

(a) 次の三つの条件を満足する関係データベーススキーマを設計せよ。

- 四つの関係スキーマから成る。
- 三つの関係スキーマはボイスコッド正規形 (BCNF) である。
- 一つの関係スキーマは第三正規形 (3NF) であるがボイスコッド正規形 (BCNF) ではない。

設計の過程及び結果のデータベースに必要な情報はすべて記述すること。また、設計したスキーマのインスタンスを一つ与えよ。ただし、組の数は各関係とも最低5とする。

(b) 問題 (a) で設計した関係データベーススキーマ上の問合せとして次の両方の条件を満足するものを一つ与え、自然言語と関係論理で表現せよ。

- その問合せは、すべての関係スキーマを用いる、かつ
- その問合せは、ある一つの関係スキーマを二度用いる

(c) データベース管理システムにおけるファイル編成法と問合せ最適化、及び両者の関係について具体例を用いて説明せよ。

(d) データベース管理システムにおけるトランザクションの重要性をトランザクションやスケジュールの具体例を用いて説明せよ。

(a) Design a relational database schema which satisfies the following three conditions:

- Four relational schemas are contained.
- Three relational schemas are in Boyce-Codd Normal Form (BCNF).
- One relational schemas are in Third Normal Form (3NF), but not in Boyce-Codd Normal Form (BCNF).

Describe the design process and all the necessary information to describe the database schema. Also, give an instance of the relational database schema. Each relation must contain at least five tuples.

(b) Give a query on the relational database schema designed in Question (a). The query must satisfy the following two conditions:

- The query uses all relational schemas; and
- the query uses a relational schema twice.

Describe the query in natural language and relational calculus.

(c) Explain file organizations, query optimization, and relationship between them in database management systems using a concrete example.

(d) Explain the importance of transactions in database management systems using concrete examples of transactions and schedules.

**B-10**

下記の全ての問に答えよ。(English translation is given on the next page.)

人間のプレイヤーを相手にコンピュータ上でチェスを行う人工知能を実現したい。このために、ミニマックス手続きをゲーム木に用いることを考える。

(1) 以下の記述(a) (b)はミニマックス手続きについて述べたものである。それぞれの正誤を回答し、それらの理由を説明せよ。説明のために、簡単な AND/OR グラフを例示して用いてもよい。

- (a) ミニマックス手続きは、双方が常に最善手を選ぶことを前提にしている。
- (b) 相手プレイヤーがランダムな着手をすることが事前に分かっている場合でも、ミニマックス手続きが常に最も優れた解を見つけることができる。

(2) アルファベータ手続き(枝刈り)について書かれた以下の記述(a) (b) (c)のうちの1つだけが正しい記述である。正しいものを選び、その答えが正しい理由(および他の答えが誤っている理由)を説明せよ。深さ2、分岐数3の AND/OR グラフを例示し、そのグラフを用いて説明すること。

- (a) アルファベータ手続きはより多くの子節点を生成することで、ミニマックス手続きよりも良い解を見つける場合が多い。
- (b) アルファベータ手続きは近似解を見つける方法なので、ミニマックス手続きよりも高速な処理が期待できるが、探索の結果として見つかる解はミニマックス手続きによる解よりも必ず悪い。
- (c) アルファベータ手続きはより少ない子節点を生成するにもかかわらず、適切に用いればミニマックス手続きと完全に同じ解を見つけることができる。

(3) 機械学習の手法を導入することを考える。教師付き学習を行うには、どのような方法をとればよいかを論ぜよ。その際、「何を学習するか」「データを用意する方法」を明確にすること。

(4) 強化学習の手法を導入する場合には、どのような方法をとればよいかを論ぜよ。「何を学習するか」「どうやって試行をするか」を明確にすること。

continued on next page
次 頁 へ 続 く

Answer all the following questions.

Let us think about a scenario where you will develop an artificial intelligence (AI) that plays chess against a human player on a computer; here, you plan to use the Minimax procedure for a game tree.

- (1) Each of the following sentences (a) and (b) mentions the Minimax procedure. Answer whether each sentence is correct or wrong, and then explain the reason why they are correct/wrong. To explain it, you may use simple AND/OR graphs as examples.
  - (a) The Minimax procedure assumes that both players choose the best moves.
  - (b) Even if the opponent player is already known to choose the next move randomly, the Minimax procedure always finds the best solution.
- (2) Exactly one of the following sentences (a), (b), and (c) about the alpha-beta procedure (pruning) is true. Choose the correct one, and explain why it is correct (and why the others are wrong). Illustrate an AND/OR graph with depth level 2 and branching factor 3, and then use the graph for your explanation.
  - (a) The alpha-beta procedure generates more successor nodes, hence frequently finds better solutions than the Minimax procedure does.
  - (b) The alpha-beta procedure is a way to find an approximate solution, hence we can expect processing to be faster than Minimax procedure, though the resulting solution is always worse than the one found by the Minimax procedure.
  - (c) The alpha-beta procedure generates fewer successor nodes, but it can find completely the same solution as the one found by the Minimax procedure if appropriately used.
- (3) Let us consider the way to use some machine learning method. Discuss how to apply a supervised learning method. Make it clear "what is learnt" and "how to prepare data."
- (4) Discuss how to use a reinforcement-learning method. Make it clear "what is learnt" and "how to gain experience."