
Introduction to Synchronous DRAM (SDRAM) Controller

Contributor

[yaoguaiws](#)

Email

yaoguaiws@yahoo.com.cn

APPROVED

By Steven Zhu at 9:53 am, Oct 09, 2005

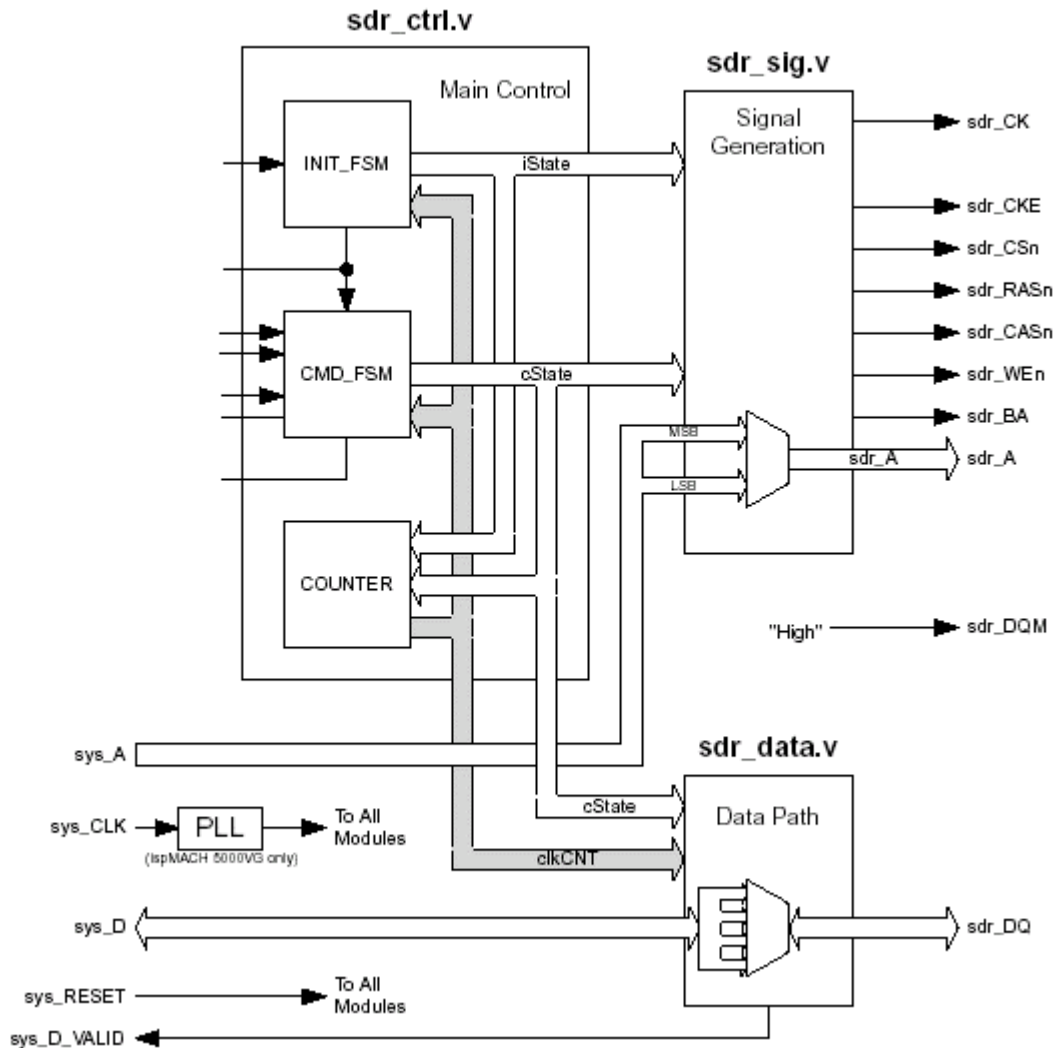
Note: This article, a part of my design document, sketches the outline of a standard SDRAM controller, while losing some detailed information in purpose for personal safety. (Feel free to contact me if you got any stuck with SDRAM controller)

Apologize For Inconvenience

IP-CORE Organization

整个 SDRAM 控制器 IP-核的功能框图如 Figure.1 所示。它由 3 个子模块构成：主控模块、信号产生模块和数据通路。主控模块是整个 IP-核的核心，它由两个状态机和一个计数器组成，用来控制 SDRAM 当前的工作状态和下一步将要执行的操作；信号产生模块负责产生 SDRAM 需要的地址和控制信号；而数据通路则是 SDRAM 与外部主控制器件的数据通道。

Figure.1 Block Diagram



Pin Descriptions

| Pin Name | Type | Pin Description |
|-------------|------|--|
| sdr_DQ | I/O | 连接SDRAM和控制器IP-核的双向数据总线 |
| sdr_A | O | SDRAM 时分复用地址总线 |
| sdr_BA | O | SDRAM Bank 地址，一般是外部物理地址总线的sys_A[MSB:MSB-1] |
| sdr_CK | O | SDRAM 工作时钟 |
| sdr_CKE | O | SDRAM 时钟使能信号 |
| sdr_CSn | O | SDRAM 片选信号（低电平有效） |
| sdr_RASn | O | SDRAM 行地址信号（低电平有效） |
| sdr_CASn | O | SDRAM 列地址信号（低电平有效） |
| sdr_Wen | O | SDRAM 写使能信号（低电平有效） |
| sdr_DQM | O | SDRAM 数据总线Mask。该信号无效时（高电平），SDRAM不能执行读/写操作。当进行读操作时，若该信号无效，则外部信号为高阻态；当进行写操作时，若该信号无效，则不能进行写操作 |
| | | |
| sys_A | I | 外部地址总线 |
| sys_CK | I | 外部工作时钟 |
| sys_D | I/O | 带高阻太的外部双向数据总线 |
| sys_reset | I | 系统复位时钟，当该信号为高电平时，所有的模块都进入复位状态 |
| sys_D_VALID | O | 该信号在SDRAM进行读数据时，表明外部数据总线上sys_D的数据在该时钟内有效 |
| sys_R_Wn | I | 外部读写使能信号。当外部主控制器件要对SDRAM进行读操作时，该信号为高电平；当外部中控制器件向SDRAM中写数据时，该信号线为低电平 |

Basic Operation Descriptions

◆ No Operation

该命令为“空指令”操作，SDRAM 接收到该命令后不执行任何操作。该命令可以防止 SDRAM 处于内部工作的时候，外部产生新的命令操作。

◆ Bank Active

该命令用来启动一个新的 Bank。地址总线 A[]选择行地址，与此同时 BA[]选择 Bank 号。该选中的行地址在 SDRAM 接收到“预充电”命令之前都为有效，可以自由读/写数据。但是一旦需要选择新行地址，则必须先使用“预充电”命令关闭掉该行地址，然后才能重新启动新的行地址。

◆ Read(Auto precharge)

该命令用来启动“读操作（可以为突发方式）”，此时地址总线 A[9:0]提供列地址，A[10]的逻辑决定是否采用“自动预充电”模式。若 A[10]='1'，则采用“自动预充电”模式，否则不采用。在“自动预充电”模式下，每完成一次突发读操作，SDRAM 自动进行“预充电”处理。在该命令状态下，如果 DQM[]为高电平，则相应的数据总线被置为高阻态，只有当其为低电平时，读出的数据才为有效。

◆ Write(Auto precharge)

该命令用来启动“写操作（可以为突发方式）”，此时地址总线 A[9:0]提供列地址，A[10]的逻辑决定是否采用“自动预充电”模式。若 A[10]='1'，则采用“自动预充电”模式，否则不采用。在“自动预充电”模式下，每完成一次突发写操作，SDRAM 自动进行“预充电”处理。在该命令状态下，如果 DQM[]为高电平，则认为数据总线上的数据无效，SDRAM 将不予处理；只有当其为低电平时，才能将数据写入 SDRAM 中。

◆ Burst Terminal

该命令用来终止突发传输（突发读/突发写）。无论是固定长度的突发传输，还是整页的突发传输，SDRAM 在接收到该命令后，都将停止后面突发传输的操作。

◆ Precharge

在选择新的行地址之前，必须使用该命令。“预充电命令”所起的作用就是释放掉当前的行地址，为新的行地址选择提供机会。在使用该命令时，如果附加参数 A[10]='1'，则对所用的 Bank 都进行“预充电”处理；否则只对 BA[]所选中的 Bank 号。

◆ Auto Refresh

它的作用是把刷新行的数据读出在回写，从而防止数据的丢失。通常来说，对于 128Mb 的 SDRAM，每隔 64ms 就需要执行 4096 次该刷新操作，所以平均每隔 15.625us 就需要执行一次刷新。

◆ Load Mode Register

在 SDRAM 上电以后，都必须要对 SDRAM 进行配置。该命令通过地址总线 A[11:0]将配置信息写入 SDRAM。应当注意的是，系统上电后，一般在 200us 内 SDRAM 不能接受任何命令。经过 200us 后，应该对所有的 Bank 进行“预充电处理”，再进行几次“刷新”操作，最后才能向 SDRAM 写入配置字。

SDRAM Address Mapping

- ◆ Figure. 2 是 SDRAM 内部的存储结构 Bank 单元（标准 SDRAM 内部存储单元都是由 2/4 个 Bank 构成的）示意图。一个 Bank 相当于一个矩阵，而行地址就是矩阵的行元素，列地址相当于矩阵的列元素。通过对行地址和列地址的选取，就能唯一的指定一个存取单元。控制器内部逻辑单元通过一种映射关系，将外部地址总线 Addr[] 映射到 SDRAM 中唯一的存储地址。
- ◆ Figure. 3 是即为 SDRAM 控制器内部映射逻辑。外部地址总线的 Addr[MSB:MSB-b] 被映射到 SDRAM 的 Bank 地址总线 BA[b:0]；外部地址总线 Addr[MSB-b-1:0] 被映射到 SDRAM 的行地址和列地址。由于 SDRAM 的行地址和列地址是时分复用的，所以 SDRAM 的行地址 A_Row[] 为外部地址总线的 Addr[MSB-b-1:0]，而 SDRAM 的列地址 A_Col[] 被映射到外部地址总线 Addr[9:0]，Addr[10] 作为一些命令的标志位使用。

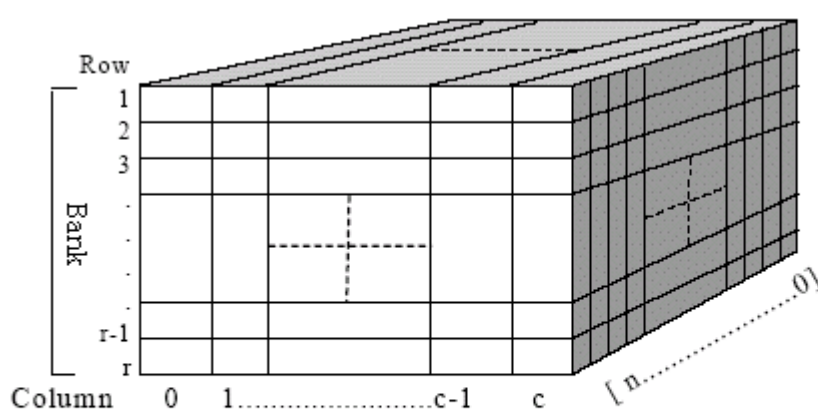


Figure.2 SDRAM Memory Matrix

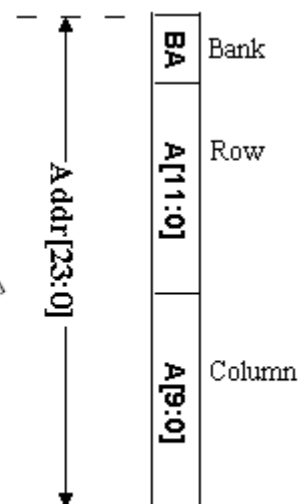


Figure.3 Address Mapping

SDRAM Command Table

SDRAM Commands Truth Table

| Function | Symbol | CS | RAS | CAS | WE | BA | A10 | A[0:9] | Note |
|-------------------------|---------|----|-----|-----|----|----|-----|--------|------|
| Device Deselect | DSEL | H | X | X | X | X | X | X | 2 |
| No Operation | NOP | L | H | H | H | X | X | X | 2 |
| Read | READ | L | H | L | H | V | L | V | 2,3 |
| Read w/ Auto Precharge | READAP | L | H | L | H | V | H | V | 2,3 |
| Write | WRITE | L | H | L | L | V | L | V | 2,3 |
| Write w/ Auto Precharge | WRITEAP | L | H | L | L | V | H | V | 2,3 |
| Bank Activate | ACT | L | L | H | H | V | V | V | 2 |
| Precharge Selected Bank | PRE | L | L | H | L | V | L | X | 2 |
| Precharge All Banks | PALL | L | L | H | L | X | H | X | 2 |
| Auto Refresh | CBR | L | L | L | H | X | X | X | 2,4 |
| Load Mode Register | MRS | L | L | L | L | V | V | V | 2 |

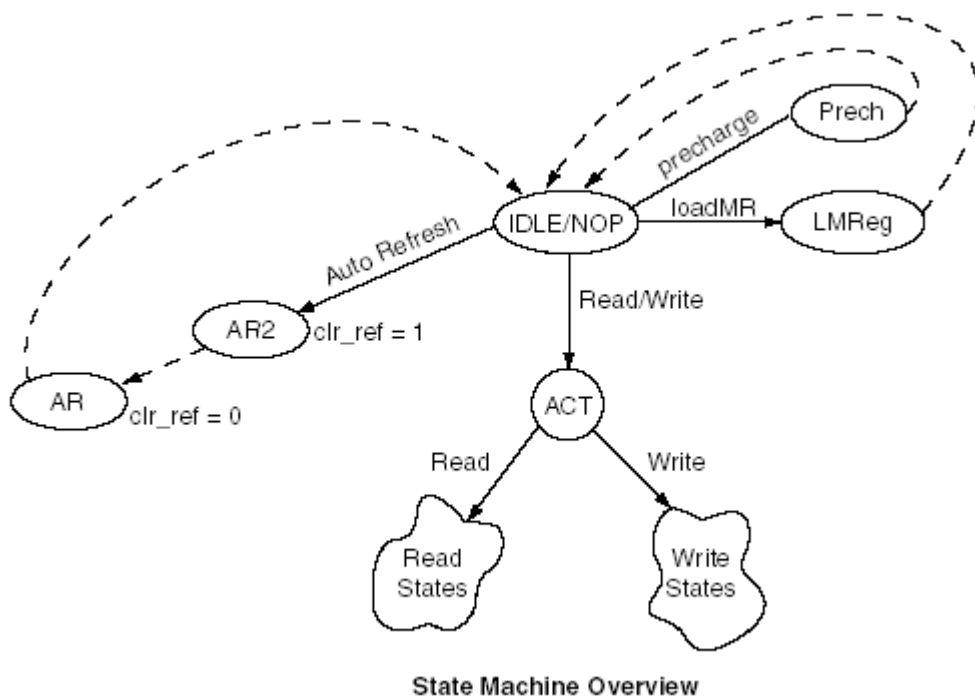
注释:

- 1. H:高电平, L:低电平, X:任意, V:有效数据
- 2. 在所有的有效命令中CKE都应该为高电平
- 3. 只有A[9:0]用来设置列地址
- 4. 当CKE为低电平时, Auto Refresh命令成为Self Refresh

Controller Finite-State-Machine

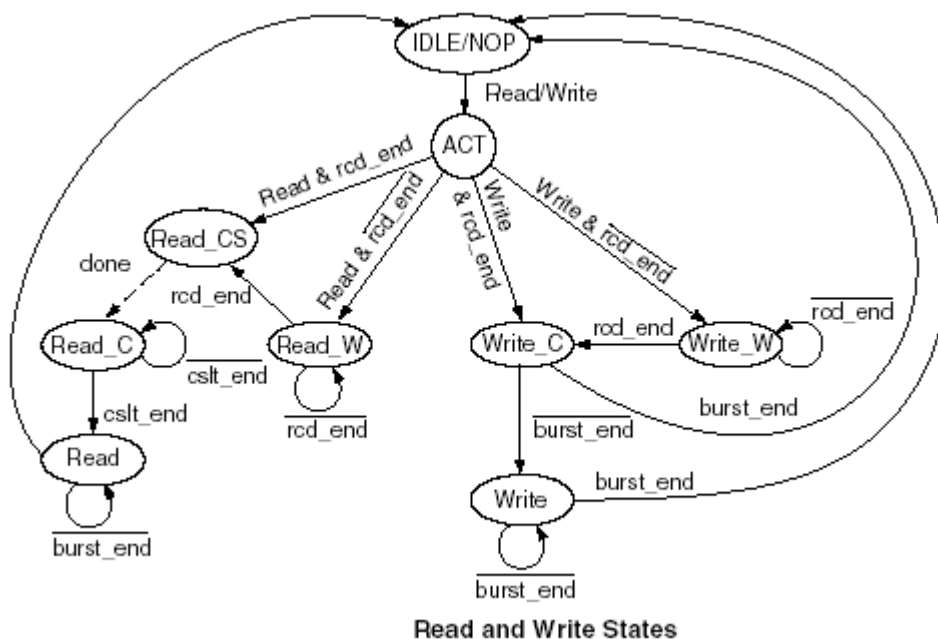
状态机总框图

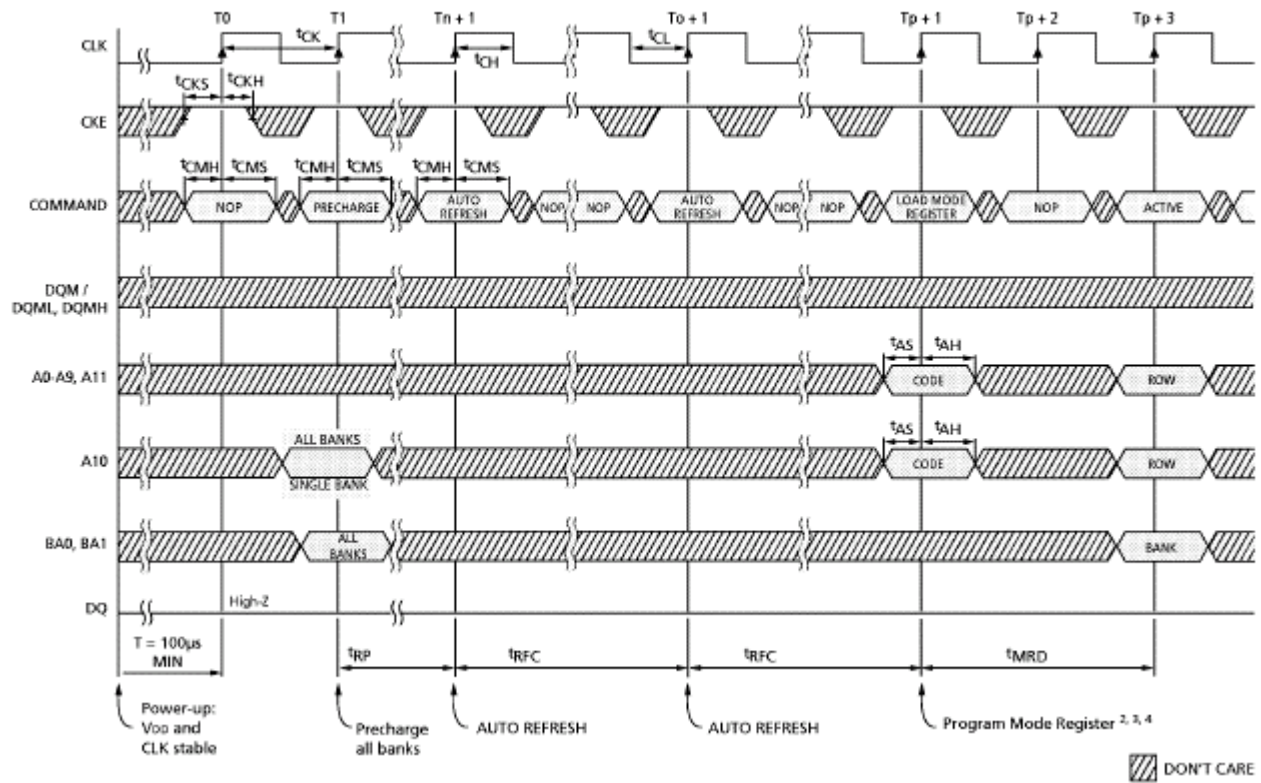
- ◆ 系统上电后进入 Idle 状态，然后通过不同的命令，如 Precharge、Load.Mode.Register、Auto.Refresh、Read/Write 进入不同的状态（虚线表示状态的转义不需要任何外部条件）。当接收到 Auto.Refresh 命令，状态机需要用两个状态来执行，1.刷新标志使能信号无效，此时表示正在进行刷新操作（ $\text{clr_ref}=1$ ），2.刷新标志使能信号有效，此时表示可以进行新一轮的刷新操作（ $\text{clr_ref}=0$ ）。



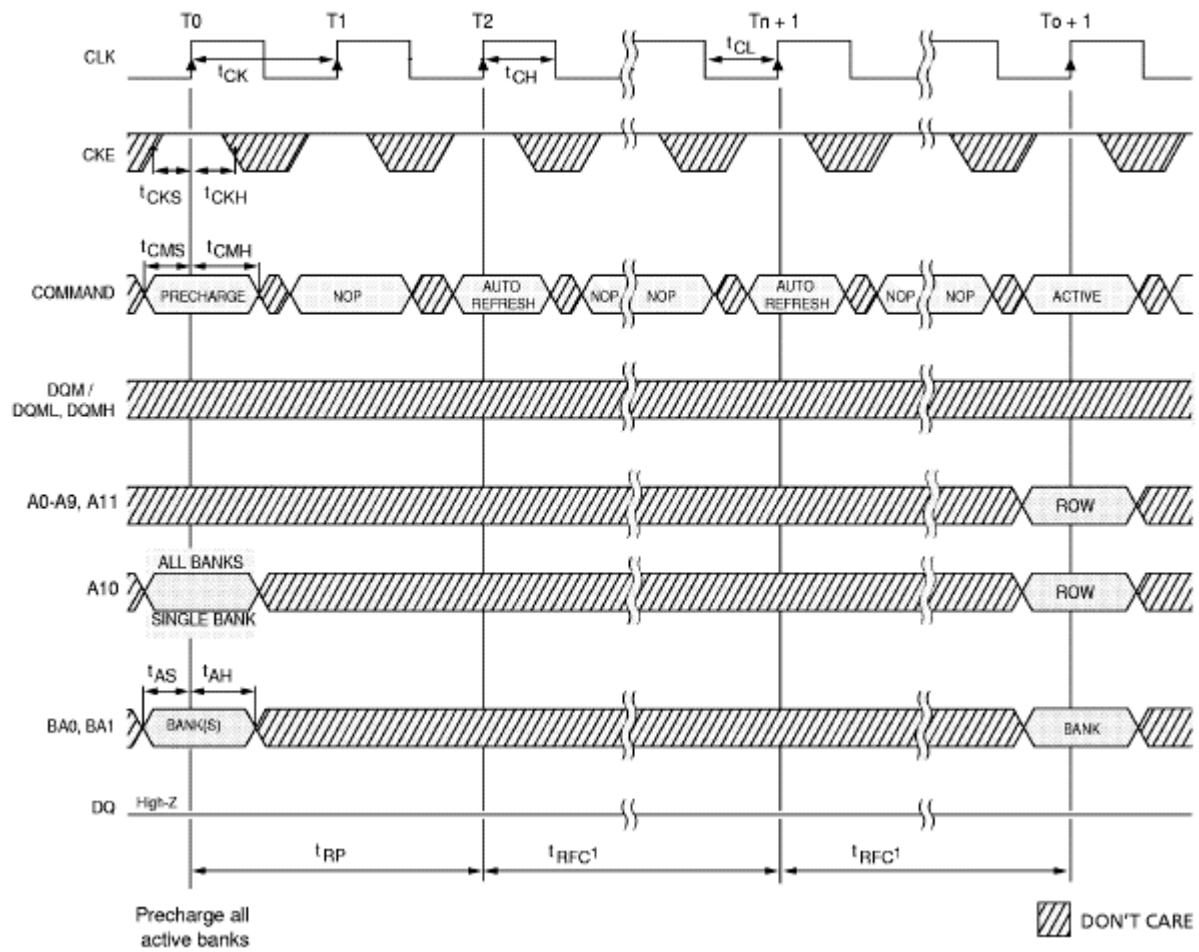
状态机读/写框图

- ◆ 当控制器发出读-写命令时，状态机由 Idle 状态跳到 ACT 中间状态。如果是写命令，状态机需要等到 T_{rd} 时间结束后才能进行写操作，如果使用突发写模式，还需要一直等到数据的写入个数等于突发传输长度，然后回到 Idle 状态。对于读操作来说，除了以上的状态转移，还需要一个多余的状态来等待 T_{cas} 结束，才能正确读入数据。

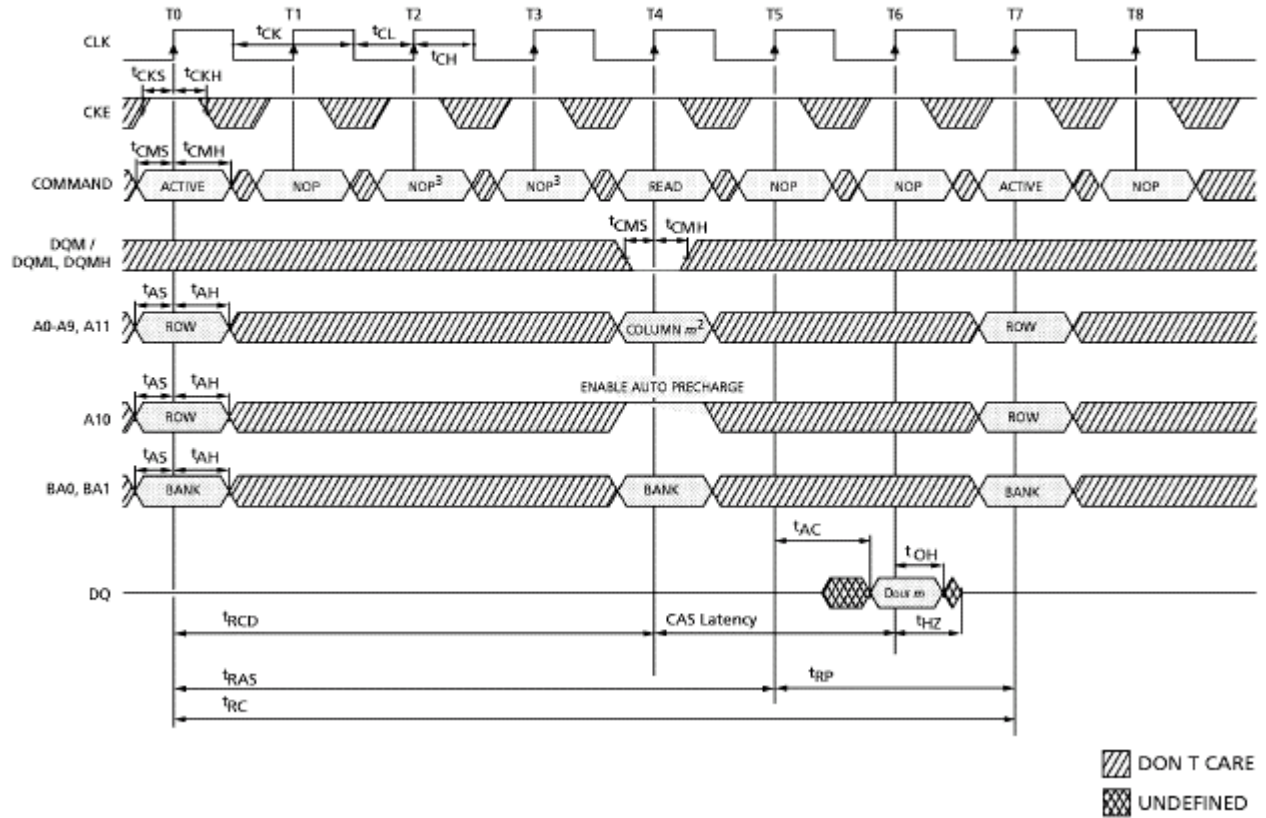


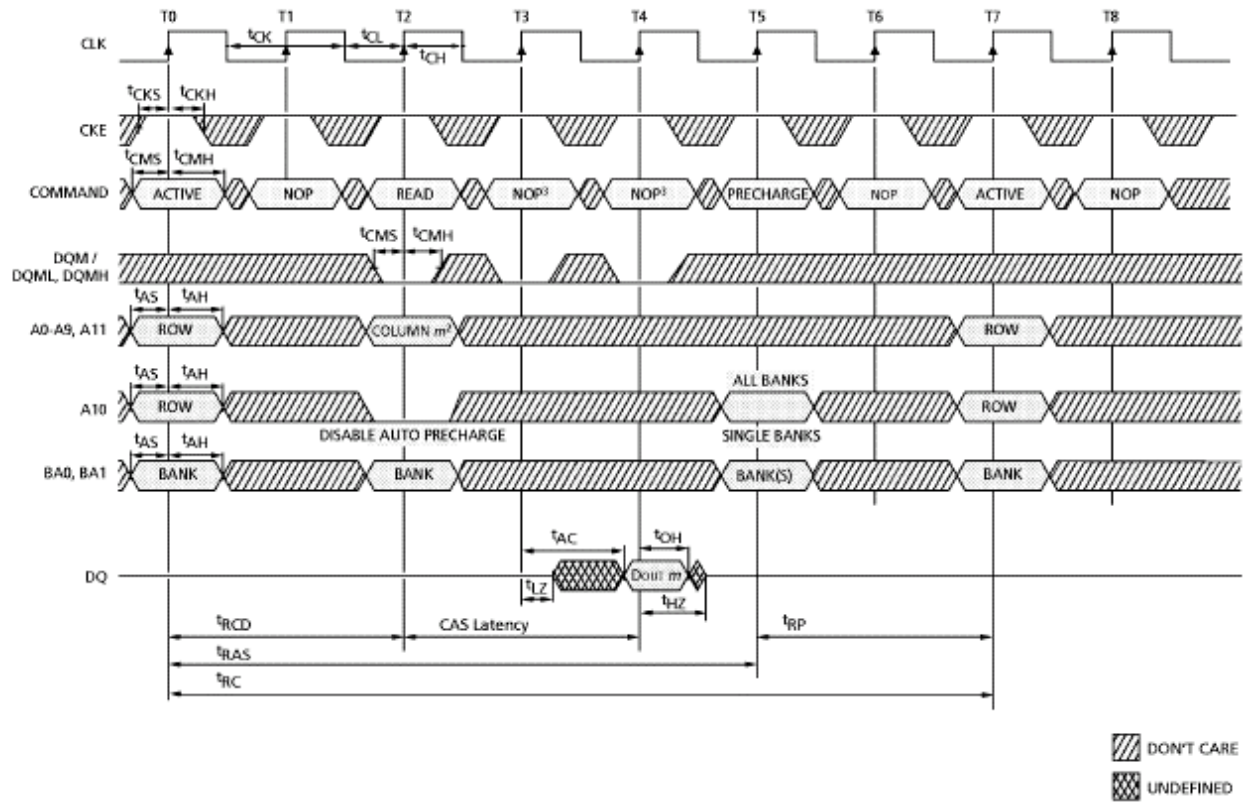
INITIALIZE AND LOAD MODE REGISTER ¹

AUTO REFRESH MODE

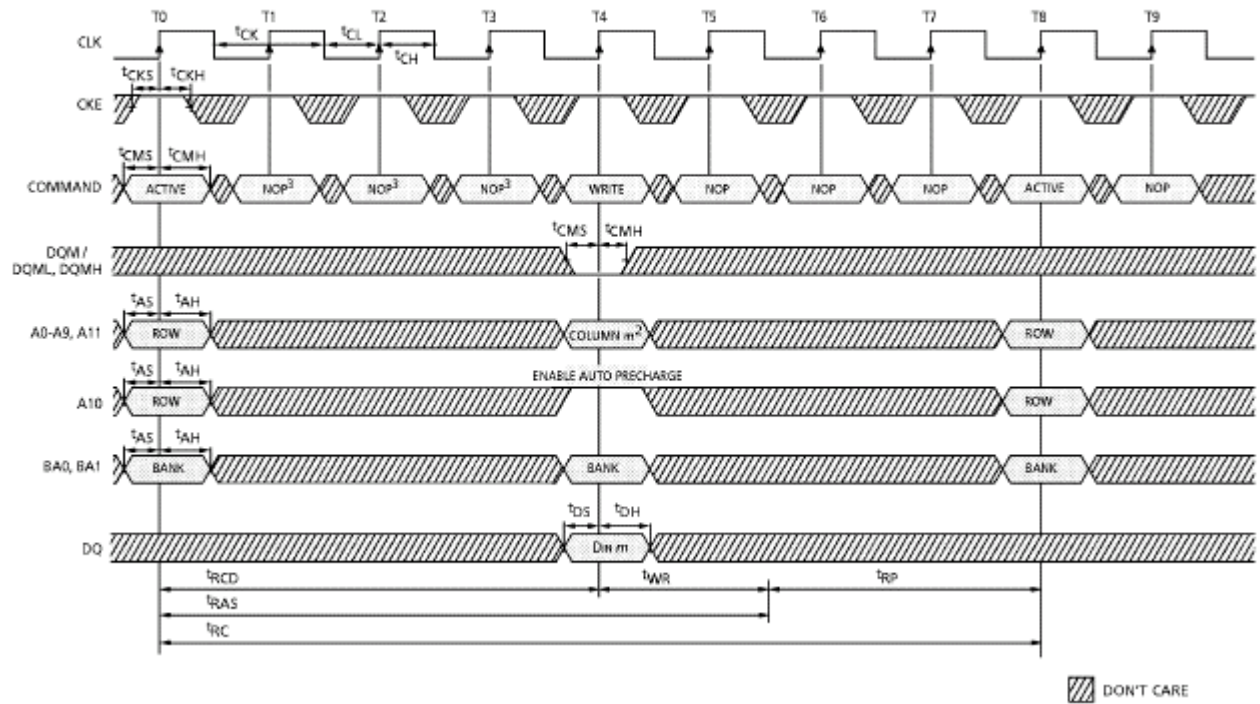


SINGLE READ – WITH AUTO PRECHARGE ¹

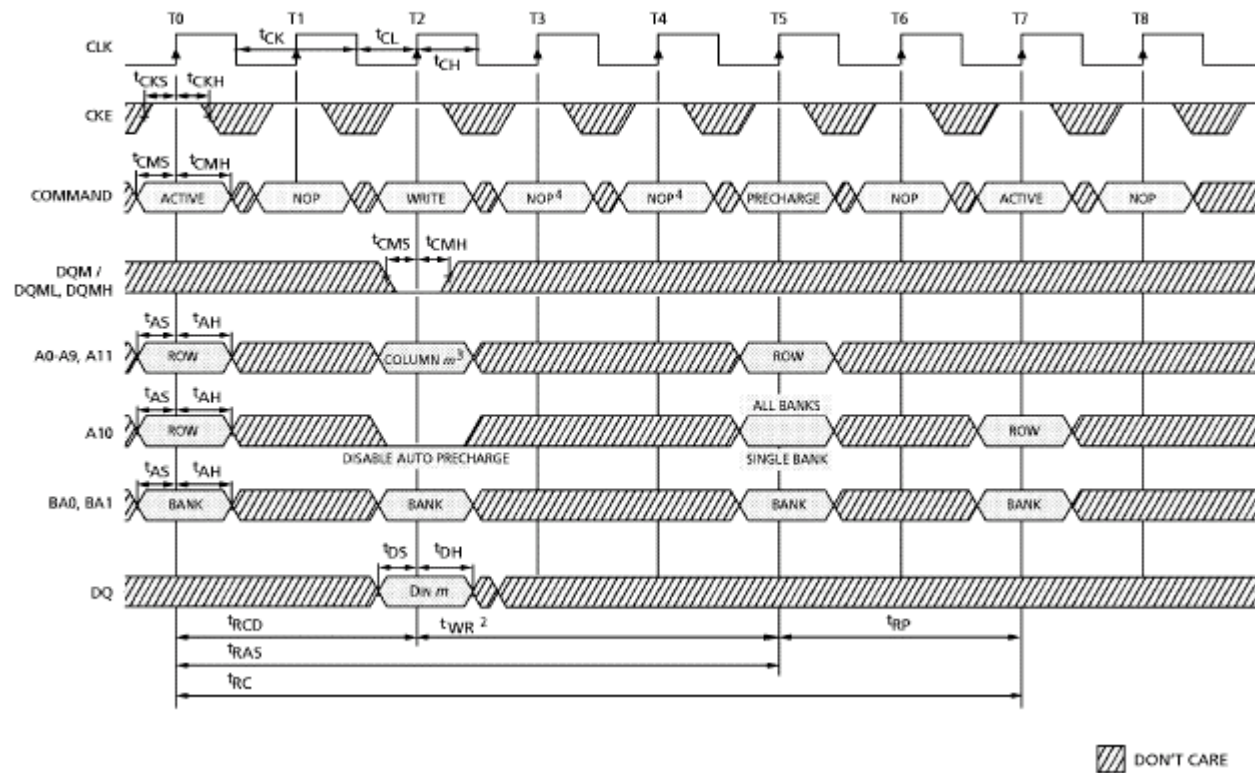


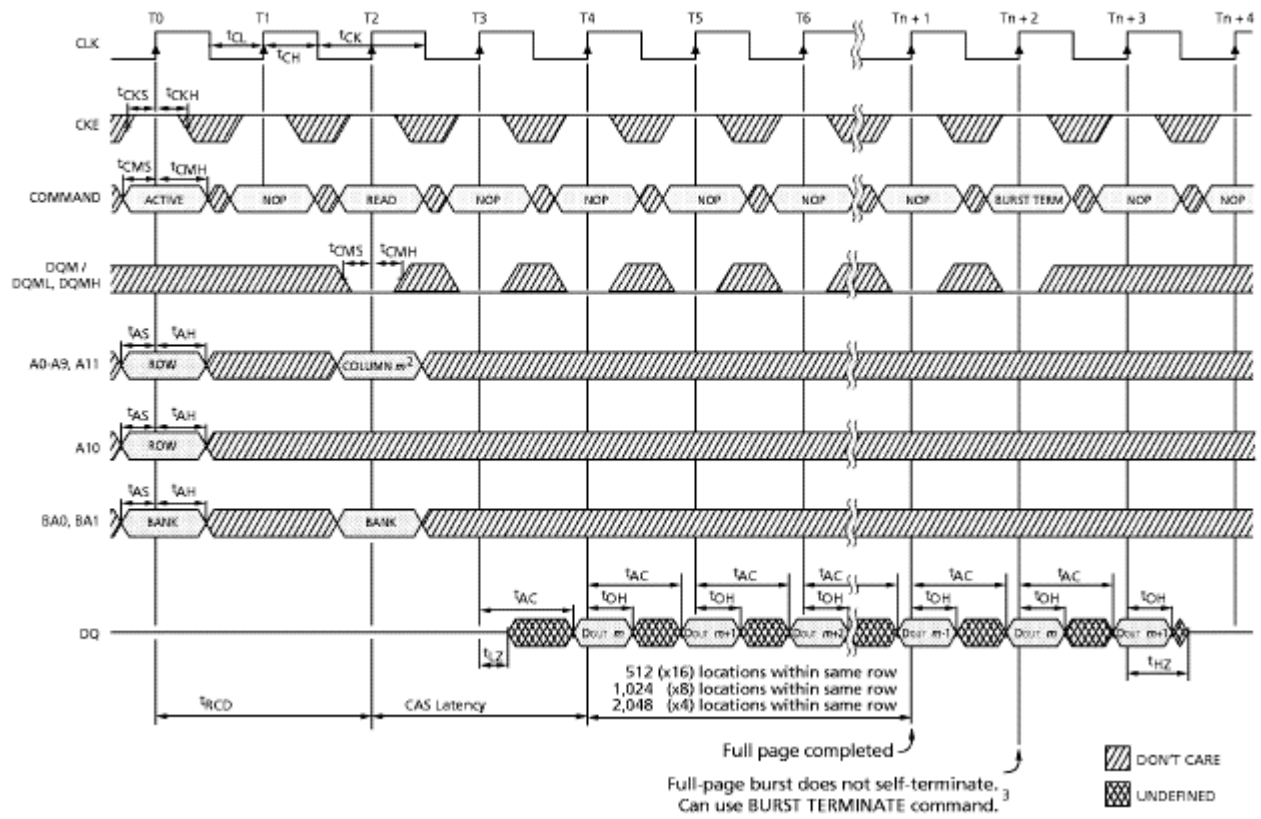
SINGLE READ – WITHOUT AUTO PRECHARGE ¹

SINGLE WRITE – WITH AUTO PRECHARGE ¹



SINGLE WRITE – WITHOUT AUTO PRECHARGE ¹



READ – FULL-PAGE BURST ¹

WRITE – FULL-PAGE BURST

