

1. 相联存储器与传统存储器的主要区别是前者又称作按__B__寻址的存储器。
 - A. 地址
 - B. 内容
 - C. 堆栈
 - D. 索引
2. 主存和 CPU 之间增加高速缓冲存储器的目的是
 - A. 扩大辅存容量
 - B. 扩大主存容量
 - C. 既扩大主存容量，又提高存取速度
 - D. 解决 CPU 和主存之间的速度匹配问题
3. 在 cache 的地址映射中，若主存中任意一块均可映射到 cache 内的任意一行的位置上，则这种映射方法称为
 - A. 全相联映射
 - B. 直接映射
 - C. 组相联映射
 - D. 混合映射
4. 计算机字长 32 位，主存容量为 128MB，按字编址，其寻址范围为
 - A. $0 \sim 32M-1$
 - B. $0 \sim 128M-1$
 - C. $0 \sim 64M-1$
 - D. $0 \sim 16M-1$
5. 某 SRAM 芯片，存储容量为 $64K \times 16$ 位，该芯片的地址线 and 数据线数目分别为
 - A. 64, 16
 - B. 16, 64
 - C. 16, 16
 - D. 64, 64
6. 下列中，CPU 可直接访问的存储器是
 - A. 磁盘存储器
 - B. 主存储器
 - C. 光盘存储器
 - D. 磁带存储器
7. 存储字长是指
 - A. 计算机一次能处理的二进制代码的位数
 - B. 主存的一个存储单元所存储的二进制代码位数
 - C. 存储单元的个数
 - D. 机器指令的位数
8. 双端口存储器所以能高速进行读/写，是因为采用

- A. 高速芯片
- B. 新型器件
- C. 流水技术
- D. 两套相互独立的读写电路

9. 双端口存储器

- A. 左端口与右端口的地址码相同
- B. 左端口与右端口的地址码不同
- C. 左端口与右端口的数据码相同
- D. 左端口与右端口的数据码不同

10. 动态存储器刷新以

- A. 存储单元
- B. 行
- C. 列
- D. 字节

11. 和外存储器相比，内存储器的特点是

- A. 容量大，速度快，成本低
- B. 容量大，速度慢，成本高
- C. 容量小，速度快，成本高
- D. 容量小，速度快，成本低

12. 在虚存与主存之间进行地址变换时，由_____将地址从虚拟地址空间映射到物理地址空间。

- A. TLB
- B. Cache
- C. PTBR
- D. MMU

13. 假设某计算机的存储系统由 cache 和主存组成。某程序执行过程中访存 2000 次，其中访问 cache 缺失(未命中)100 次，则 cache 的命中率是

- A. 15%
- B. 85%
- C. 90%
- D. 95%

14. 对 EPROM 的叙述中最准确的是

- A. 是只读存储器
- B. 是可编程一次的只读存储器
- C. 是可擦写可编程的只读存储器
- D. 是随机存储器

15. 关于 Cache 存储器，下面的叙述中正确的是

- A. Cache 存储器是内存中的一个特定区域
- B. Cache 存储器的存取速度介于内存和磁盘之间
- C. Cache 存储器中存放的内容是内存全部内容的备份
- D. Cache 存储器存放正在处理的部分指令和数据

16. 以下哪一种情况能很好地发挥 cache 的作用

- A. 程序中不含有过多的 I/O 操作
- B. 程序的大小不超过实际的内存容量
- C. 程序具有较好的访问局部性
- D. 程序的指令间相关度不高

17. 下列关于半导体 RAM 存储器的说法中_____是正确的。

- A. 半导体 RAM 信息可读可写，且断电后仍然保持记忆
- B. 半导体 RAM 是易失性 RAM，而静态 RAM 中的存储信息是不易失的
- C. 半导体 RAM 是易失性 RAM，而静态 RAM 只有在电源不掉电时，所存信息是不易失的
- D. 上述都不对

填空题

1. 在请求分页存储管理方案中，若某用户空间为 16 个页面，页长 1 KB，虚页号 0、1、2、3、4 对应的物理页号分别为 1、5、3、7、2。则逻辑地址 A2C H 所对应的物理地址为 E2C H。（只需填数字和字母，不需要在最后带 H！）

用户空间为 16 个页面表示虚拟页面共 16 个，所以虚拟页号字段有 4 位。页长 1 KB，所以页内偏移量字段有 10 位。两项一共 14 位。因此把逻辑地址 A2C H 写成 14 位二进制地址为 0010 1000101100，所以虚拟页号为 2 号，它对应的物理页号为 3，得到二进制的物理地址为 0011 1000101100。

2. 设有一个四体低位交叉的存储器，每个体的容量为 256K*64 位，存取周期为 200ns。则数据总线的宽度为 64 位，总线传送周期的最大值是 50 ns。CPU 连续读 4 个字所需的最多时间是 350 ns。（都只填数字）

3. 一个 n 路组相联的 cache 中，共有 M 块数据。当 n=1 时，该 cache 变为 直接相联 映射；当 n=M 时，该 cache 变为 全相联 映射。

4. 一个四路组相联的 cache 共有 64 行，主存共有 8192 块，每块 32 个字。则主存地址中的标记位为 9 位，组地址为 4 位，字块内地址为 5 位。

5. 用 1K*4 位的存储芯片组成容量为 64K*8 位的存储器，共需 128 片。若将这些芯片分装在几块板上，设每块板的容量为 16K*8 位，则该存储器所需的地址线总位数是 16，其中 2 位用于选板，4 位用于选片，10 位用于存储芯片的片内地址。（都只填阿拉伯数字）

每块板上，有 1K 的存储芯片组共 16 组芯片。

6. 一个四路组相联的 cache，容量为 16KB，假设块长为 4 个 32 位的字，主存以字节编址。则地址为 FEDCBA H 的主存单元映射到 cache 的第 203 组（十进制表示）内。（注

意只填数字)

cache 有 1024 行，分为 256 组（每组 4 行）。

主存地址中第 4 位为块内地址，接着的高 8 位为组号索引，题中地址的二进制组号为 11001011。

7. 一个采用直接相联映射方式的 32KB 的 cache，假设块长为 8 个 32 位的字，主存以字节编址。当 CPU 访问 cache 命中时，主存地址为 ABCDEFH 的单元在 cache 的第 26F H 行内。（只填数字和字母，不需要再填 H）

cache 有 1024 行。

因为主存以字节编址，而且每块是 32B，所以二进制主存地址的低 5 位是块内地址；接着的高 10 位为行地址，即 1001101111。

8. 计算机主存容量 8MB，分为 4096 个主存块，Cache 数据区容量为 64KB，若 Cache 采用直接映射方式，则 Cache 的总行数为 32。（只需要填写阿拉伯数字）