

제8장 조합논리회로

Youtube 주소

[8-1] <http://youtu.be/sOigfGObE>

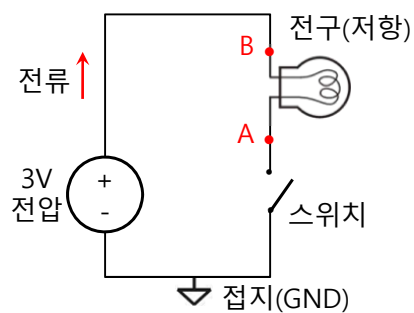
[8-2] <http://youtu.be/8-GgOkeNg5k>

[8-2(추가)] <http://youtu.be/ky9E8dZzUnQ>



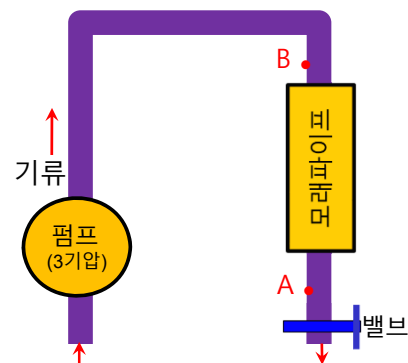
전압, 저항 및 전류

전기회로의 전류



스위치를 끊었을 때: A와 B의 전압은?
스위치를 연결했을 때: A와 B의 전압은?

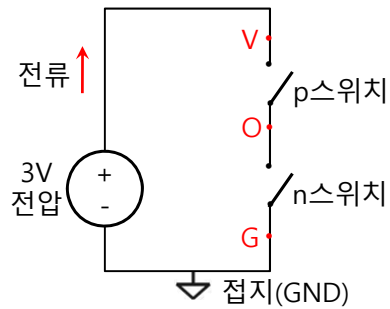
배관의 기류



밸브를 닫았을 때: A와 B의 압력은?
밸브를 열었을 때: A와 B의 압력은?

스위치와 출력전압

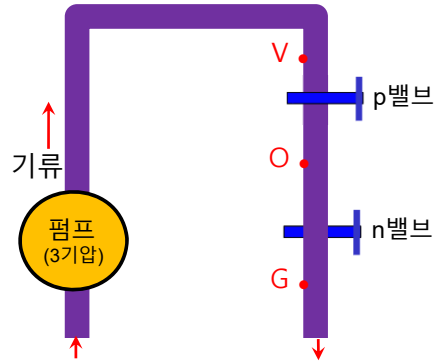
전기회로의 전압



다음 조건에서 O 지점의 전압은?

- p 연결, n 차단:
- p 차단, n 연결:
- p 차단, n 차단:
- p 연결, n 연결:

배관의 기압



다음 조건에서 O 지점의 압력은?

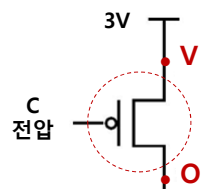
- p 연결, n 차단:
- p 차단, n 연결:
- p 차단, n 차단:
- p 연결, n 연결:

2019/10/28

8-3

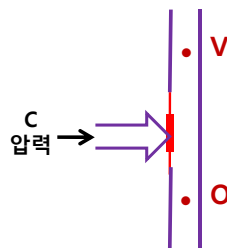
전자식 스위치와 압력 밸브 1

전자식 스위치



C 전압
3V : V와 O 차단
0V : V와 O 연결

압력 밸브



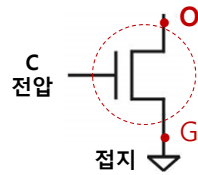
C 압력
3기압 : V와 O 차단
0기압 : V와 O 관통

2019/10/28

8-4

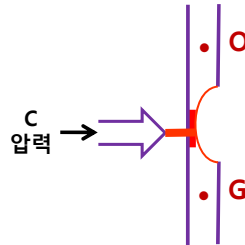
전자식 스위치와 압력 밸브 2

전자식 스위치



C 전압
3V : O와 G 연결
0V : O와 G 차단

압력 밸브



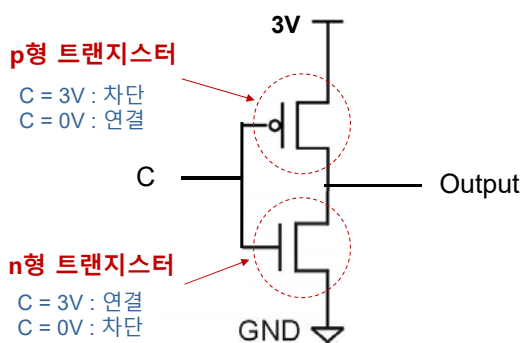
C 압력
3기압 : O와 G 관통
0기압 : O와 G 차단

2019/10/28

8-5

CMOS NOT 게이트

회로도



전압

C	Output
0V	3V
3V	0V

진리표

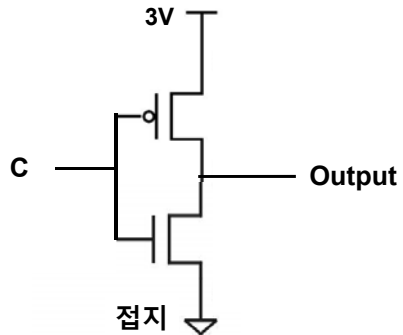
C	Output
0	1
1	0

2019/10/28

8-6

CMOS NOT 게이트

회로도



전압

C	Output
0V	3V
3V	0V

진리표

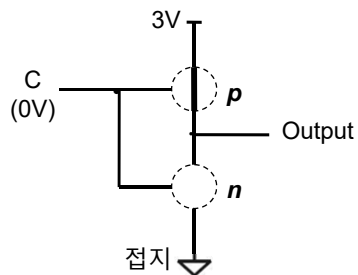
C	Output
0	1
1	0

2019/10/28

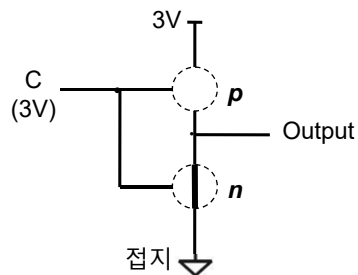
8-7

CMOS NOT 게이트의 동작

C 입력이 0V 일 때



C 입력이 3V 일 때

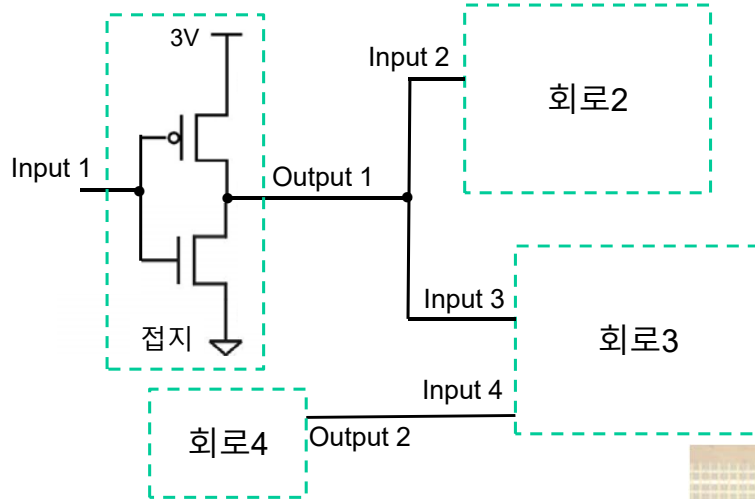


항상 3V와 접지(GND) 중 어느 한쪽에만 직접 연결됨

2019/10/28

8-8

NOT 게이트 출력 연결

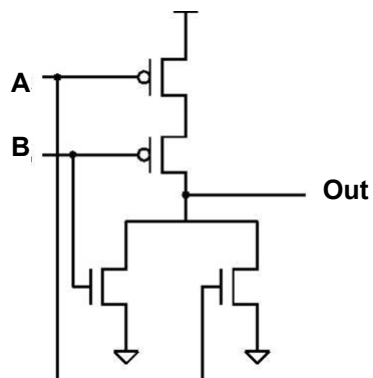


2019/10/28

8-9

CMOS NOR 게이트 회로

회로도



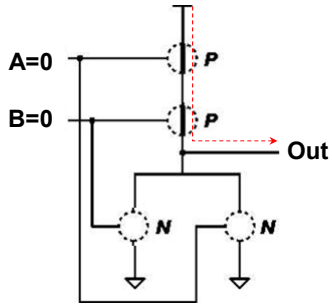
진리표

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

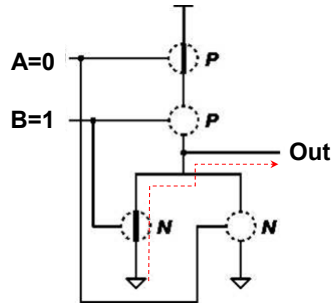
2019/10/28

8-10

CMOS NOR 게이트 회로 출력



A=0, B=0일때



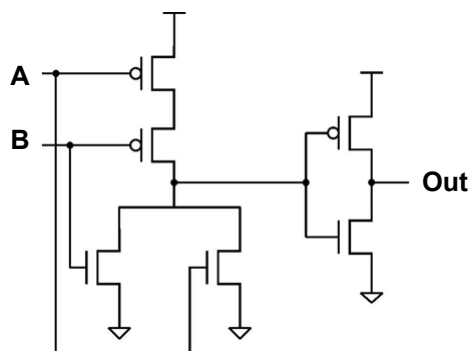
A=0, B=1일때

2019/10/28

8-11

CMOS OR 게이트 회로

회로도



진리표

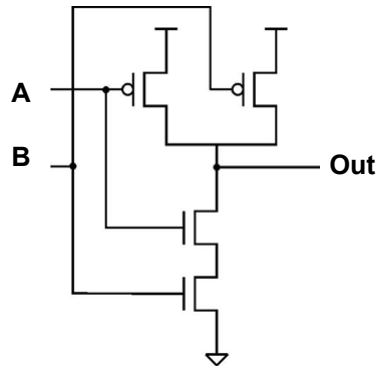
A	B	Out
0	0	0
0	1	1
1	0	1
1	1	1

2019/10/28

8-12

CMOS NAND 게이트 회로

회로도



진리표

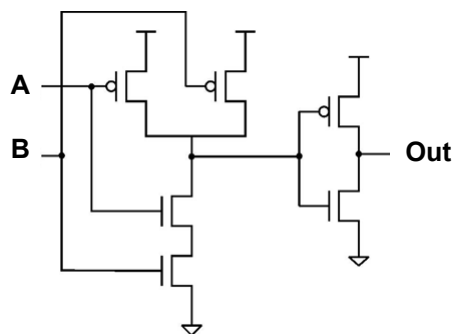
A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

2019/10/28

8-13

CMOS AND 게이트 회로

회로도



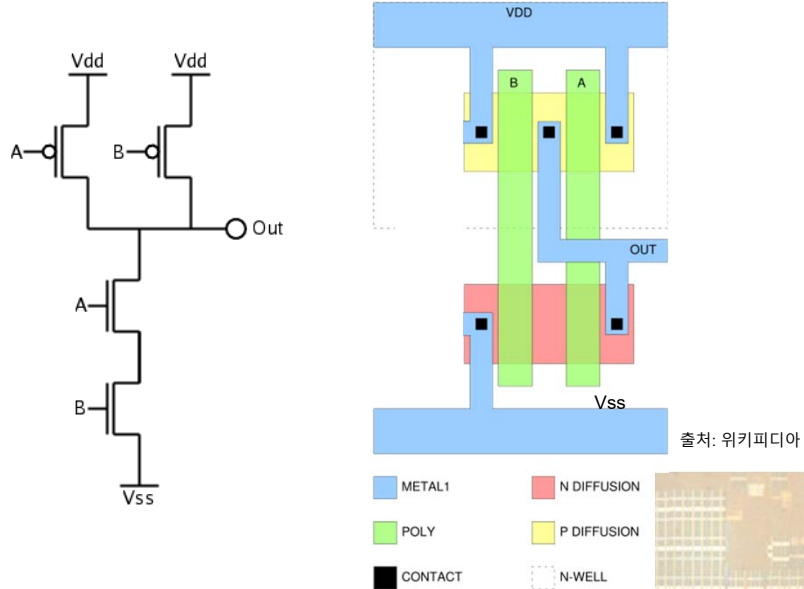
진리표

A	B	Out
0	0	0
0	1	0
1	0	0
1	1	1

2019/10/28

8-14

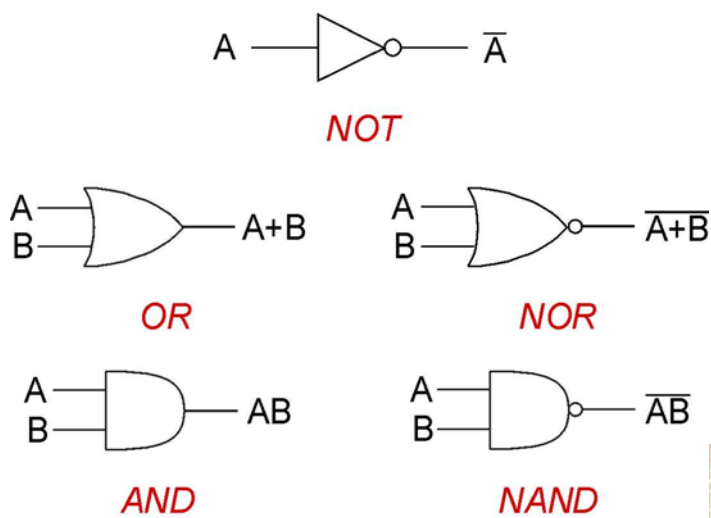
(참고) CMOS NAND 게이트 회로 배치도



2019/10/28

8-15

기본 논리 게이트 회로의 표기



2019/10/28

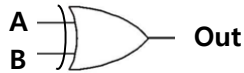
8-16

Exclusive OR (XOR/EOR)

- 출력은 입력 값이 같으면 0, 서로 다르면 1

A	B	Out
0	0	0
0	1	1
1	0	1
1	1	0

진리표



기호

기본 게이트로 XOR 게이트 구성:

- ① $OUT = OR(AND(NOT A, B), AND(A, NOT B))$
 - ② $OUT = NAND(NAND(A, NOT B), NAND(NOT A, B))$
- ②가 반도체 레이아웃이 단순함

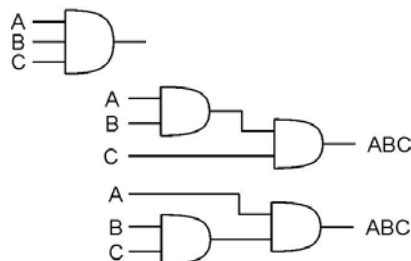
2019/10/28

8-17

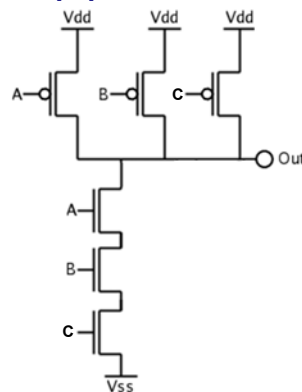
3개 이상의 입력 처리

- 3개의 입력이 있는 AND, OR, NAND, NOR
 - 부울 대수: 2개의 입력 게이트를 단계별로 연결
 - 반도체 회로는 3개 이상의 입력을 한 게이트에서 처리 가능

3개 입력의 AND



3개 입력의 NAND

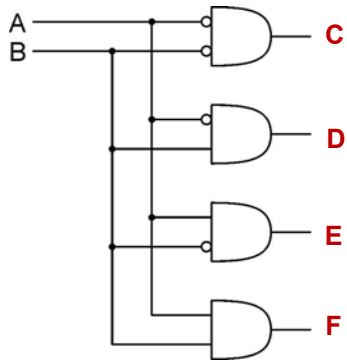


2019/10/28

8-18

2비트 디코더 (Decoder)

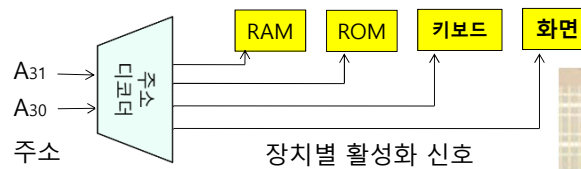
회로도



진리표

A	B	C	D	E	F
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

활용 예



2019/10/28

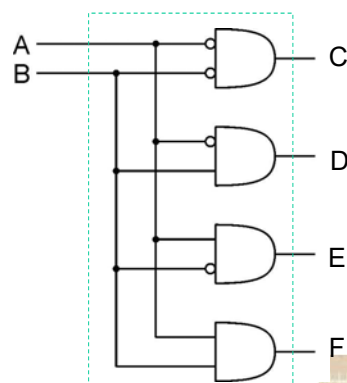
8-19

2비트 디코더 (Decoder)

진리표

입력		출력			
A	B	C	D	E	F
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

회로도

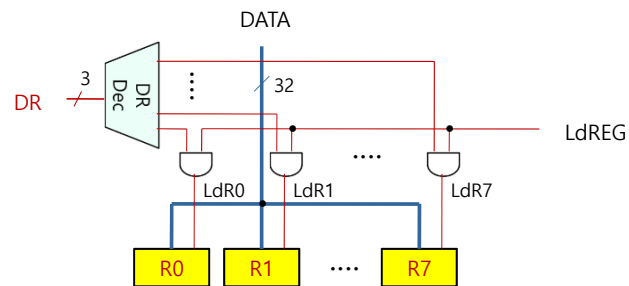


2019/10/28

8-20

(참고) 디코더 사용 예

TOY 프로세서의 레지스터 선택



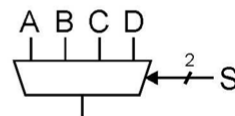
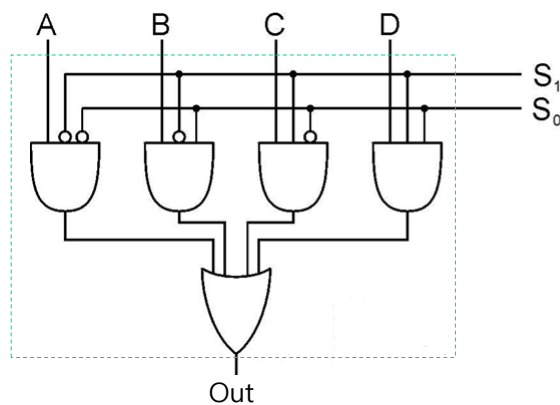
2019/10/28

8-21

4대1 멀티플렉서 (Multiplexer, MUX)

회로도

축약 기호



2019/10/28

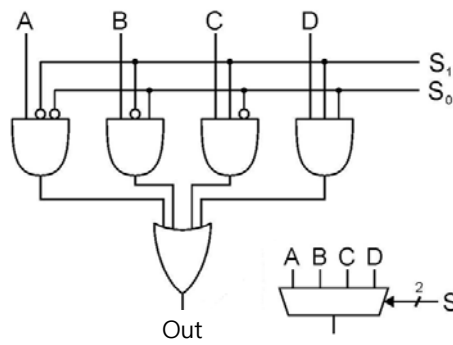
8-22

4대1 멀티플렉서 (Multiplexer, MUX)

진리표

S_1	S_0	A	B	C	D	Out
0	0	0	x	x	x	0
0	0	1	x	x	x	1
0	1	x	0	x	x	0
0	1	x	1	x	x	1
1	0	x	x	0	x	0
1	0	x	x	1	x	1
1	1	x	x	x	0	0
1	1	x	x	x	1	1

회로도

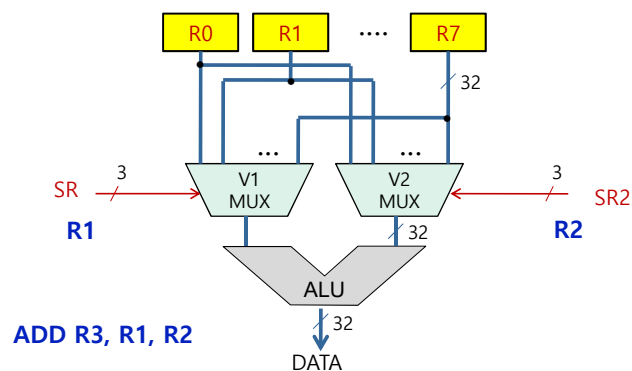


2019/10/28

8-23

(참고) 멀티플렉서 사용 예

TOY 프로세서의 ALU 입력 선택



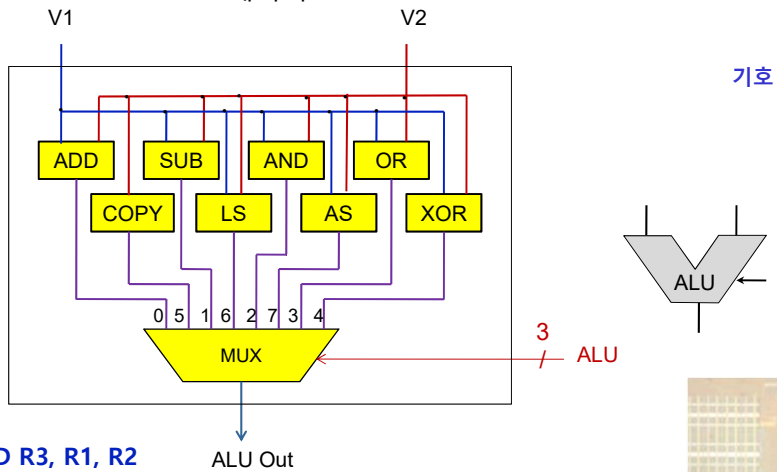
2019/10/28

8-24

ALU (Arithmetic and Logic Unit)

- 산술 논리 연산 회로들의 출력 중 하나를 선택

TOY 프로세서의 ALU



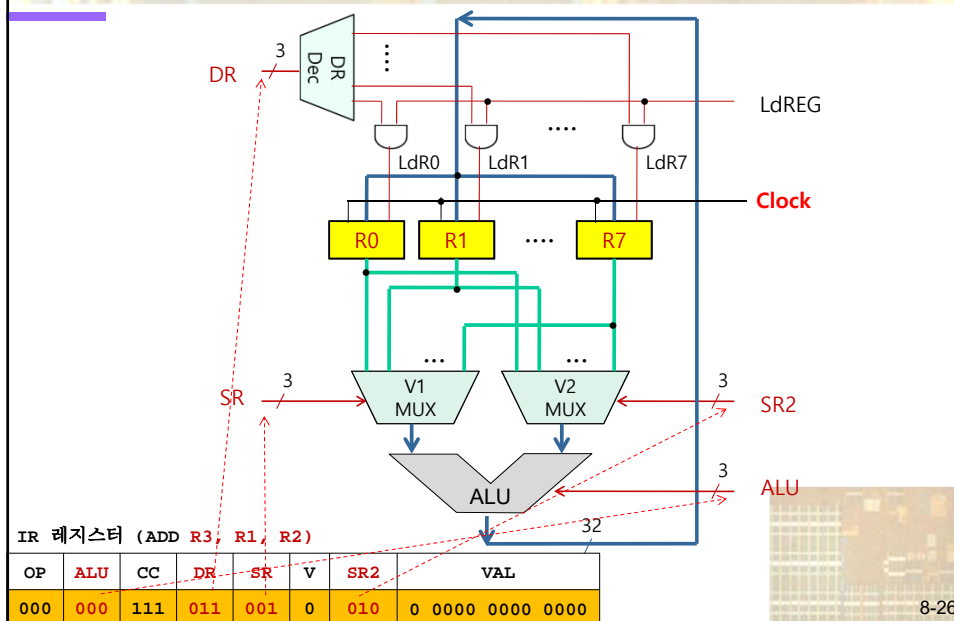
ADD R3, R1, R2

ALU Out

2019/10/28

8-25

(참고) TOY 레지스터 간의 산술/논리 연산 회로



IR 레지스터 (ADD R3, R1, R2)

OP	ALU	CC	DR	SR	V	SR2	VAL
000	000	111	011	001	0	010	0 0000 0000 0000

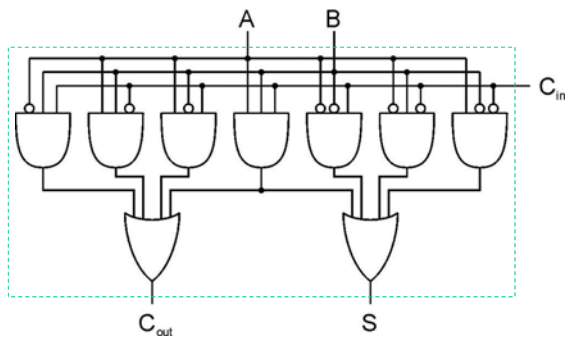
8-26

1비트 가산기 (Adder)

진리표

A	B	C _{in}	C _{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

회로도

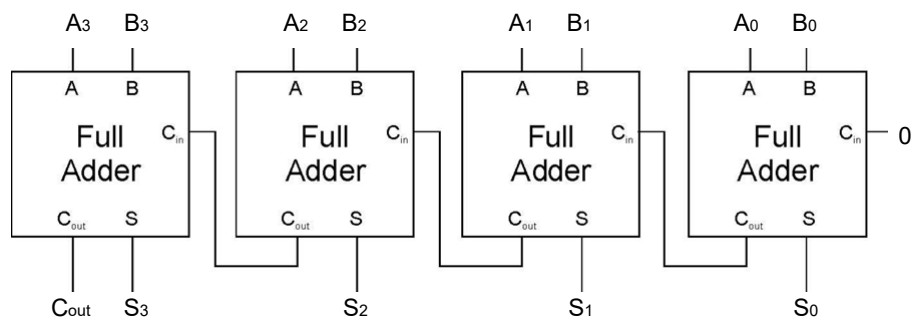


출력이 여러이면 각각을 별도로 처리

2019/10/28

8-27

4비트 가산기 (ADD)

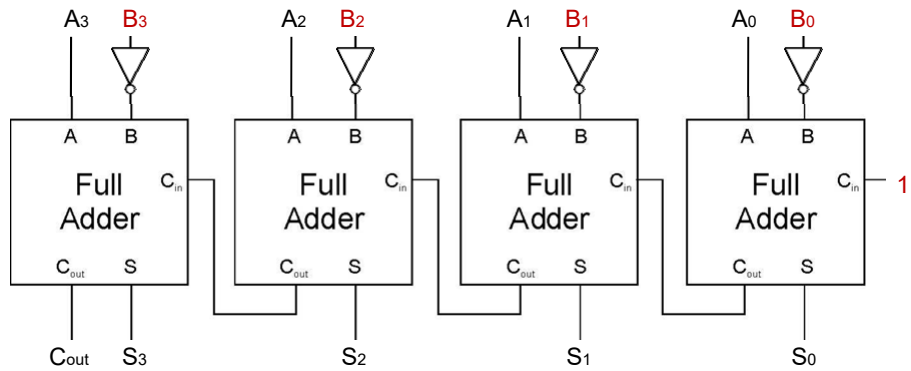


C_{out}: 최 상단 Carry 가 있으면 1, 아니면 0

2019/10/28

8-28

4비트 감산기 (SUB)

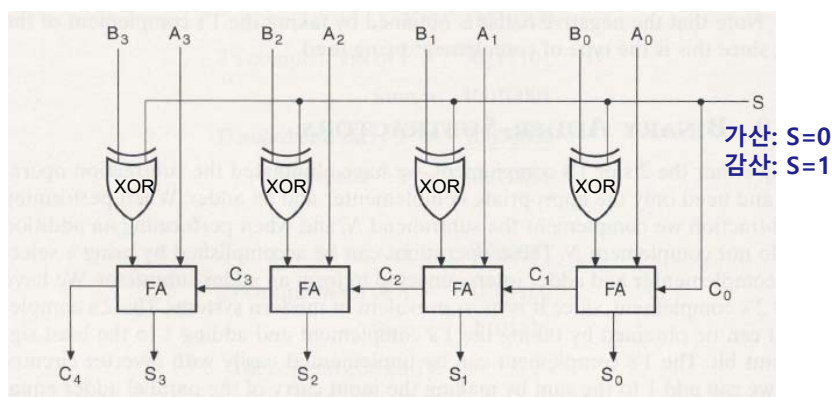


2의 보수를 더하므로 정상적으로는 $C_{out} = 1$
 → C_{out} : 최 상단 Borrow 가 있으면 0, 없으면 1

2019/10/28

8-29

(참고) 가산기와 감산기 겸용 회로



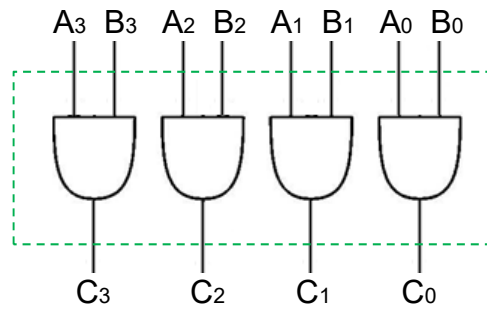
가산: $S=0$
 감산: $S=1$

2019/10/28

8-30

논리연산 (AND/OR/XOR)

4비트 AND 연산 회로

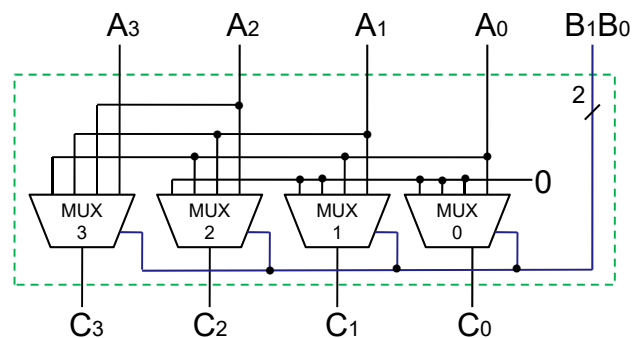


2019/10/28

8-31

쉬프트 연산

4비트 LSL/ASL 연산 회로



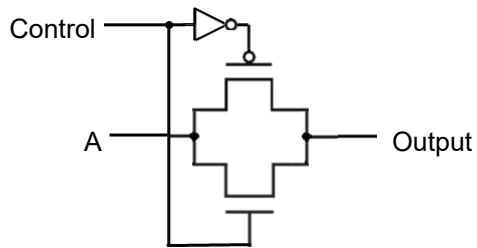
2019/10/28

8-32

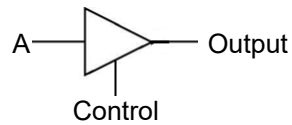
전송 게이트 (Transmission Gate)

- 입력신호를 출력으로 연결하거나 차단하는 게이트
- 제어신호로 연결/차단 선택

회로도



표시기호



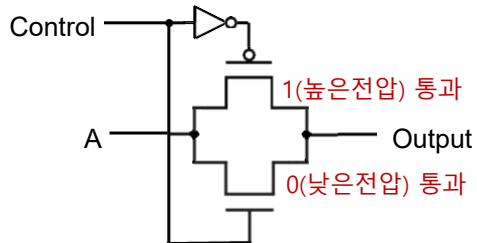
2019/10/28

8-33

전송 게이트 (Transmission Gate)

- 입력신호를 출력으로 연결하거나 차단하는 게이트
- 제어신호로 연결/차단 선택

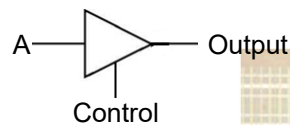
회로도



진리표

Control	A	Output
0	0	차단
0	1	차단
1	0	0
1	1	1

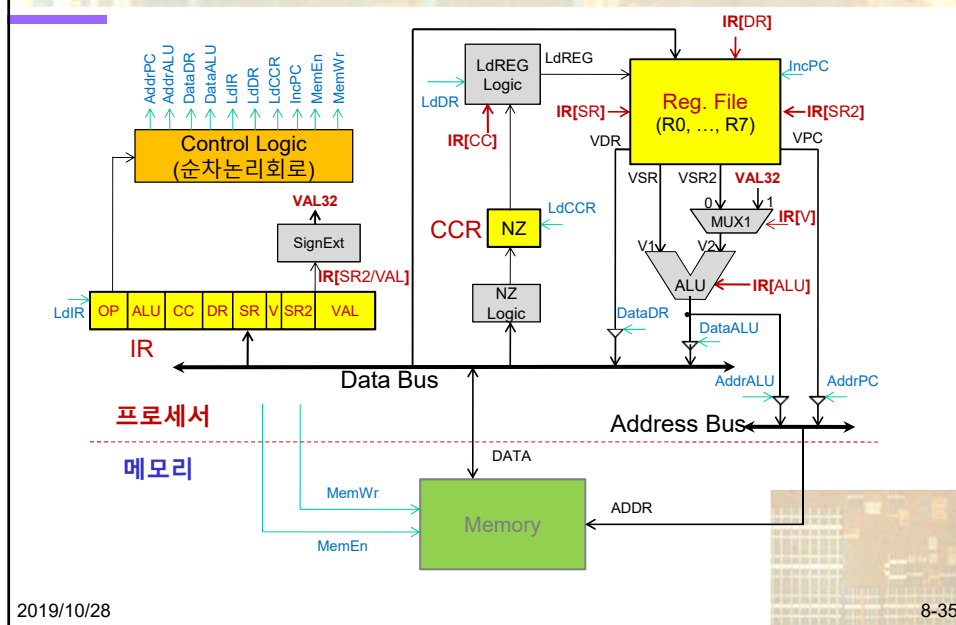
표시기호



2019/10/28

8-34

(참고) TOY의 전송 게이트 사용



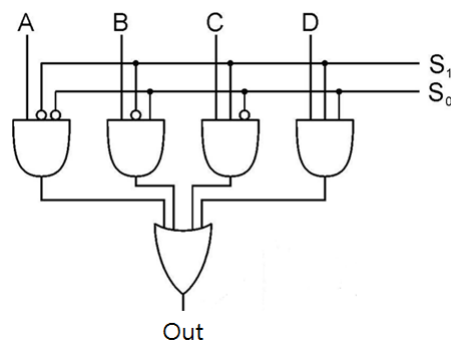
2019/10/28

8-35

조합논리회로 설계

- 출력이 1인 신호를 생성하는 AND 게이트들을
- 전부 OR로 통합
- 예: 4x1 멀티플렉서

S_1	S_0	A	B	C	D	Out
0	0	0	x	x	x	0
0	0	1	x	x	x	1
0	1	x	0	x	x	0
0	1	x	1	x	x	1
1	0	x	x	0	x	0
1	0	x	x	1	x	1
1	1	x	x	x	0	0
1	1	x	x	x	1	1



2019/10/28

8-36

출력이 여럿인 조합논리회로 설계

회로의 예

✓ 디코더

✓ 가산기

✓ ...

회로구성

✓ 출력별로 별도로 처리

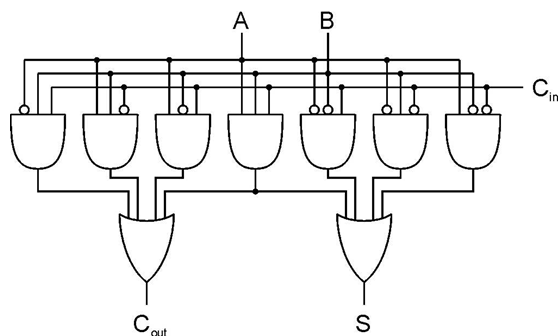
A	B	C	D	E	F	A	B	C _{in}	C _{out}	S
0	0	1	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	1	0	1
1	0	0	0	1	0	0	1	0	0	1
1	1	0	0	0	1	0	1	1	1	0
						1	0	0	0	1
						1	0	1	1	0
						1	1	0	1	0
						1	1	1	1	1

2019/10/28

8-37

가산기 조합논리회로 설계

A	B	C _{in}	C _{out}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

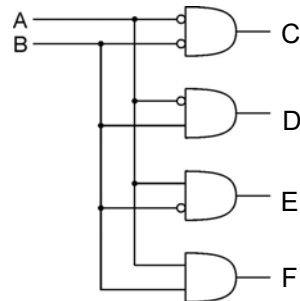


2019/10/28

8-38

디코더 조합논리회로 설계

A	B	C	D	E	F
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1



2019/10/28

8-39

2비트 곱셈기 설계

입력				출력			
A1	A0	B1	B0	M3	M2	M1	M0
0	0	X	X	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0				
0	1	1	1				
1	0	0	0				
1	0	0	1				
1	0	1	0				
1	0	1	1				
1	1	0	0				
1	1	0	1				
1	1	1	0				
1	1	1	1				

2019/10/28

8-40