

数字逻辑设计大作业

题目:	基于	Proteus	仿真软件的
C I	'I' J	Trocous	111 <u>22</u> 17/11 H 1

汉字与数字显示

姓	名	张瑞程
学	号	22354189
院	系	智能工程学院
专	<u>\ \</u>	智能科学与技术
指导	教师	魏亮亮
		2024 年 7 月

数字逻辑设计课程设计

张瑞程 22354189

一、仿真平台

Window 10 专业版、Proteus 8 Professional

二、元件选择

74LS197 异步十六进制计数器, MATRIX-8X8-RED8*8 点阵, 74LS138 译码器, 74LS48 显示译码器、7SEG-MPX4-CC-BLUE 数码管、74LS04 非门、74LS00 二输入与门、74LS21 四输入与门

三、关键元件介绍

74LS197 异步十六进制计数器

74LS197 可以实现二进制、八进制加法计数功能,同时稍作扩展,即可实现十六进制计数。采用"低位片循环一周,向高位片进一位"的级联扩展方式,将二进制加法计数单元和八进制加法计数单元级联起来,就可以实现十六进制加法计数器,即四位二进制加法计数器,此时,整个计数器组成了异步时序逻辑电路的结构。下图为74LS197的芯片封装图和功能示意图:

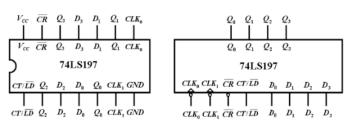


图 1: 74LS197 芯片封装图

74LS197 的输入包括 4 个输入数据端 D_3 、 D_2 、

D₁、D₀、2 个下降沿有效的时钟信号 CLK₁和 CLK₂、

2 个其他输入控制端 CT 和 CR。输入端为 4 个输出状态端 Q₃、Q₂、Q₁、Q₀。74LS197 的完整逻辑功能表如下图所示:

		输		λ					输	出		iÄ	明
CR	CT / LD	CLK ₀	CLK ₁	D_3	D_2	D_1	D_0	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}		
0	×	×	×	×	×	×	×	0	0	0	0	异步清等,	低有效
1	0	×	×	d_3	d_2	d_1	d_{0}	d ₃	d_2	d_1	d_{o}	异步置数,	低有效
1	1	\downarrow	0	×	×	×	×	1 4	位二进制	加法计	数	q	0
1	1	0	\downarrow	×	×	×	×	3 1	位二进制	加法计	数	Q_3Q	$_{2}Q_{1}$
1	1	\downarrow	Q_{0}	×	×	×	×	4 4	位二进制	加法计	数	Q_3Q_2	Q_1Q_0
1	1	Q_3	\downarrow	×	×	×	×	41	位二进制	加法计	数	Q_0Q_3	Q_2Q_1
1	1	1	1	×	×	×	×		保	持			

表 1: 74LS197 逻辑功能表

本实验中选择使用第一种 4 位二进制加法计数器的构造方法,即 CLK₁输入脉冲信号, CLK₂输入 Q₀的输出信号。其他控制端按照运行要求接 1或接 0 即可。

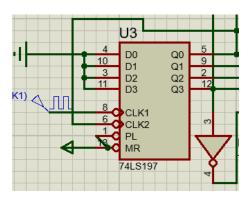


图 2: 扩展方案

8×8 点阵

点阵为数字电路中常用的元件。Proteus 提供了4种单色的点阵:

MATRIX-8X8-BLUE DISPLAY 8x8 Blue LE MATRIX-8X8-GREEN DISPLAY 8x8 Green L MATRIX-8X8-ORANGE DISPLAY 8x8 Orange MATRIX-8X8-RED DISPLAY 8x8 Red LE

8x8 Blue LED Dot Matrix Display 8x8 Green LED Dot Matrix Display 8x8 Orange LED Dot Matrix Display 8x8 Red LED Dot Matrix Display

其中**蓝绿橙**三色的点阵极性相同,**红**色的与 之相反。在本实验选择的红点阵中,上排端口控 制列选择(高电平有效),下排端口控制行选择 (低电平有效)。

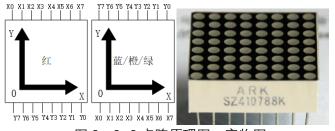


图 3: 8×8 点阵原理图、实物图

74LS48 显示译码器

74LS48 是一种集成电路,是一种 BCD-七段 译码器,可将 BCD 码转换为七段显示器所需的信号。它具有四个 BCD 输入引脚(A, B, C, D) 和七个输出引脚(a, b, c, d, e, f, g),每个输出引脚对应七段显示器的一个段。当输入 BCD 码时,译码器会将其转换为七段显示器的信号,从而在七段显示器上显示对应的数字。74LS48 具有低功耗、高可靠性、广泛的工作电压范围等特点,常用于数字计数器、时钟、电子表等电子设备中。

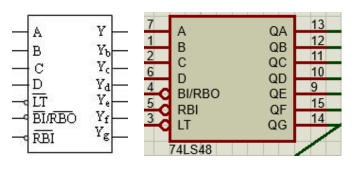


图 4: 74LS48 芯片封装图

7 段显示译码器 74LS48 是输出高电平有效的译码器, 74LS48 除了有实现 7 段显示译码器基本功能的输入(DCBA)和输出(Ya~Yg)端外,

7448 还引入了灯测试输入端(LT)和动态灭零输入端(RBI),以及既有输入功能又有输出功能的消隐输入/动态灭零输出(BI/RBO)端。以下为74LS48 的逻辑功能表:

显示字符	出	25000	渝				$\overline{I}I$	Ē	λ	输	
	e E	fΥ	Y _e N	Y _d	Y _c	Y	Ya	RBO	DCBA	RBI	LT
0	0	1	1	1	1	1	1	1	0000	1	1
545	0	0	0	0	1	1	0	1	0001	Х	1
2	1	0	1	1	0	1	1	1	0010	X	1
3	1	0	0	1	1	1	1	1	0011	X	1
4	1	1	0	0	1	1	0	1	0100	X	1
9	1	1	0	1	1	q	1	1	0101	X	1
l 6_	1	1	1	1	1	0	0	1	0110	X	1
750.55	0	0	0	0	1	1	1	1	0111	X	1
8	1	1	1	1	1	1	1	1	1000	X	1
	1	1	0	0	1	1	1	1	1001	X	1
	1	0	1	1	0	0	0	1	1010	X	1
100	1	0	0	1	1	0	0	1	1011	X	1
0-	1	1	0	0	1	1	0	1	1100	X	1
9	1	1	0	1	0	0	1	1	1101	X	1
E	1	1	1	1	0	0	0	1	1110	X	1
1 5 7 8	0)	0	0	1	1	0	1	1111	X	1

表 2: 74LS48 逻辑功能表

7SEG-MPX4-CC-BLUE 数码管

7SEG-MPX4-CC-BLUE 数码管是一种常用的数字显示器,它可以驱动 4 位共阳极的七段数码显示管。数码管的 A B C D E F G DP 代表一个管子里面的 7 个 LED 灯和小数点,右边 4 个数值(1234)是指4个数码管的选通控制信号(由于是共阳极,因此低电平信号选通)。

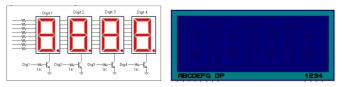


图 5: 7SEG-MPX4-CC-BLUE 数码管

74LS138 译码器

74LS138 译码器在课堂上详细讲过,不再赘述。

四、设计思路

1. 使用点阵显示"中大"

(1) 基本思路:

首先,使用74LS197和74LS138配合构建八位序列脉冲发生器,从而实现对点阵的行(或列)扫描。然后,确定扫描到该行时,那些列的点阵需要被点亮。对于不同行需要点亮同一列的情况,可以使用与非门解决。

(2) 实现细节

<1>脉冲序列发生器设计

实现点阵显示需要为其提供扫描信号。由于实验中选择的点阵为 8×8 形状, 因此只需要八位的脉冲序列发生器进行扫描。虽然 74LS197 为十六进制计数器, 但完全可以当作八位计数器使用(只连接 Q0,Q1,Q2 前三个端口即可)。

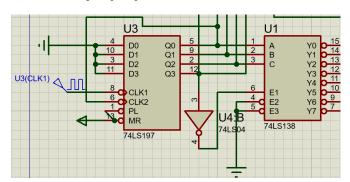


图 6: 脉冲序列发生器设计方案

注意! 尽管汉字显示仅需要八位计数器,但这里 74LS197 仍使用了十六位计数的方式,这是因为后续的数码管时间显示需要 10 个状态值。74LS197 实现十进制计数可通过两种不同的方式(见上文元件介绍),这里我选择将 Q0 接到 CLK2,

此时十六进制计数的从低到高输出端口分别为 Q1,Q2,Q3,Q4。

<2>扫描显示

在完成扫描信号构建后,需要令点阵在扫描 到某一行时,准确点亮对应的列。在设计中,为 方便连线,我将点阵进行了顺时针横置,横置后, 左侧接口控制行选择(低电平有效,因此可以直 接与74LS138译码器的输出端相连),右侧端口 控制列选择(高电平有效,因此需要将74LS138的输出取反后与之相连)。

以"大"字为例,当扫描到第八行时(74LS138的 Y7 端口为 0, Y0~Y6 为 1),需要点亮第 1、2、7、8 列,此时保证 Y7 取反的信号能输入到这些列中。对于扫描到不同行时需点亮同一列的情况,可以使用与非门实现:

- 选用与门: 当未扫描到该行时, Yi 输出为
 1, 而在与门中, 输入为1意味着放弃对
 该门控的控制权, 不影响其他输入为0的
 信号产生作用;
- 选用非门: 红色点阵的列选中为高电平有效, 而 74LS138 输出的为低电平信号, 故需要进行取反操作。

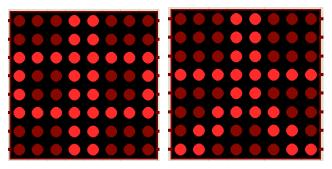


图 7: 点阵显示

2. 使用数码管显示时间

(1)基本思路:

将十六位计数器 74LS197 的输出端(4 个端口) 与显示译码器 74LS48 的输入端(4 个端口)直接 相连,再将 74LS48 的 7 个输出口与 7SEG-MPX4-CC-BLUE 数码管的 A,B,C,D,E,F,G 的对应端口相 连。此时,数码管实现了从 0 到 9 的扫描(当然,输入大于 9 时也会有形状输出,但并不是我们想 要的),接下来,我们需要通过控制 7SEG-MPX4-CC-BLUE 数码管的 1、2、3、4 四个选择端,在 对应的时机显示出对应的数字(比如,在扫描到数字"9"时,应是数码管 1 的第二位显示,而扫描 到数字"0"时,应使数码管 2 的第二位显示),再 利用高频显示的视觉残留原理,实现 1924 和 2024 的稳定显示。

(2)实现细节

<1>译码器设计:

由于数字存在 0 到 9 十个数,仅使用一个74LS138译码器不易实现,因此本设计中选用两个74LS138译码器(下面称为片 1、片 2)构建

十六进制译码器。

根据课堂上所讲的方法,可以将 74LS197 十 六位计数器的最高位 Q3 取反后的状态与片 1 的控制端 E1 (高电平有效)相连、未取反的状态与片 2 的控制端 E1 (高电平有效)相连。当 Q3 为 0 时 (此时计数值小于 8),片 1 工作输出,片 2 不工作;当 Q3 为 1 时 (此时计数大于等于 8),片 2 工作,片 1 不公正。这样就形成了片 1 为低位、片 2 为高位的十六进制译码器。

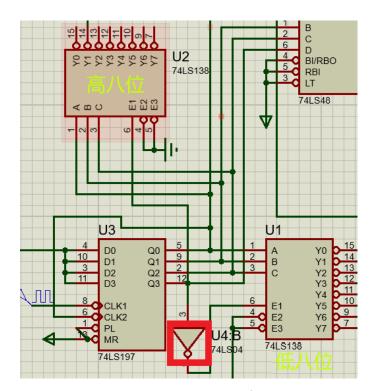


图 8: 十六进制译码器设计思路

<2>显示选择

将 74LS197 的四个计数输出端与 74LS48 的四个输入端对应相连后,即可实现数码管从 0 到 9 的循环扫描 (输入大于 1001 时也会有相应形状,但不是我们需要的),接下要做的是在合适的时机,控制数码管做出相应的显示。

当计数器输出为 0001 时,74LS48 译出的形状为"1",同时,两片74LS138 译码器中仅有低位片的 Y1 端口被选通。根据我们的需要,此时应该令显示"1924"的数码管的第一位显示,因此,可以直接从 Y1 输出口拉出一条引线连到数码段显示控制端的第二个端口。以此类推,不再重复叙述。

上述设计实现了在一个扫描周期内,两个数码管的各位先后显示出对应的数字。尽管显示时刻并不相同,但在将计数频率调高后,由于人眼的视觉残留原理。即可实现稳定形态的显示输出。

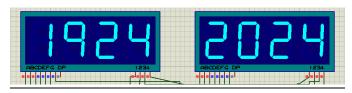
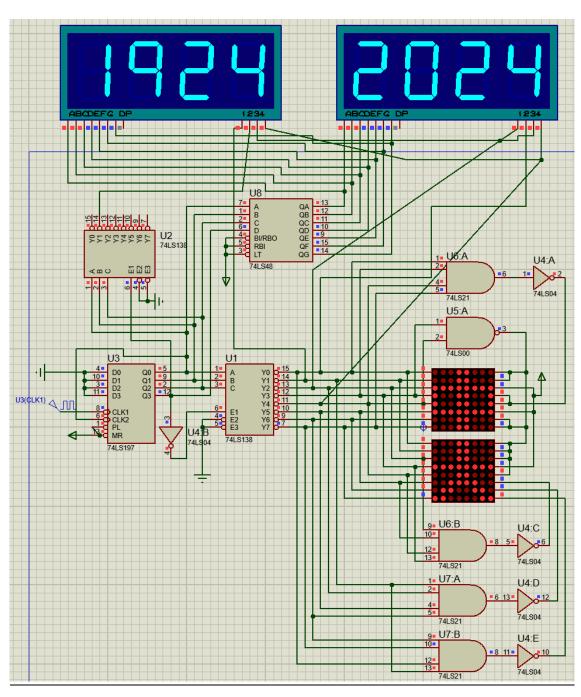
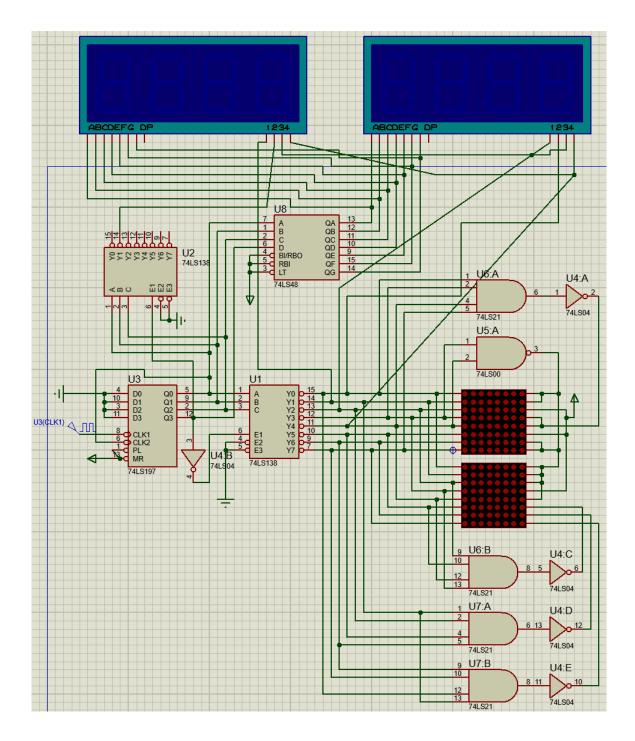


图 9: 数码管显示结果

五、整体设计展示





六、实验心得

在本次课程设计中,我深入学习和实践了如何在 Proteus 环境下利用点阵和数码管实现特定信息的显示。通过这个项目,我不仅加深了对数字逻辑设计的理论知识,还锻炼了我的实践操作能力和问题解决能力。

在设计初期,我首先熟悉了 Proteus 软件的基本操作,这是完成整个设计的基础。接着,我查阅资料学习了异步十六进制计数器 74LS197、数码管等元件的相关知识,理解了其工作原理和在显示设计中的应用。

随后,我根据《数字逻辑设计》指导书和 PPT 中的相关内容,设计了点阵显示电路和数码管显示

电路。在设计数字显示部分时,我使用了 74LS197 计数器、138 译码器、74LS48 显示译码器以及数码管。特别是对于数字 8 和 9 的显示,我采用了两个 138 译码器来实现,这是根据老师的建议进行的设计。对于汉字"中"和"大"的显示,我采用了 8*8 点阵的设计方法。这个过程需要对每个汉字的点阵进行编码,以确保它们能被正确显示。

在设计过程中,我遇到了不少挑战,比如在编码点阵时需要细心地处理每个像素点,以及在连接电路时需要确保每个组件都能正确协同工作。通过不断尝试和调整,我逐步解决了这些问题。同时,如何优雅的布线、如何使用更少的元件完成要求的功能,这些都是非常值得思考的问题。

最终,我成功实现了"中大 1924-2024"的扫描显示,并将其整理成课程大报告以 PDF 形式提交。这个过程中,我学会了如何将理论知识应用到实际问题中,并且提高了我的电路设计和仿真技能。

总的来说,这次课程设计是一次宝贵的学习经历,它不仅增强了我的专业技能,也锻炼了我的创新思维和解决问题的能力。我期待将这些经验应用到未来的学习和工作中。