

论文 DRAMsim3: A Cycle-Accurate, Thermal-Capable DRAM Simulator 复现

摘要

本文复现的论文提出了一种周期精确且支持实时热建模的内存模拟器，通过模块化设计和参数化模型支持多种现代 DRAM 协议，并引入实时功耗与温度分布估算功能，以实现性能与热特性的联合分析。本文复现了该模拟器的核心功能，验证了其在多协议支持、热建模与性能模拟方面的准确性。通过随机内存请求和 trace 文件输入两种模式的实验，分析了不同访问模式对延迟和性能的影响，并提出了进一步优化方向。

关键词：DRAMsim3；内存模拟器；热建模

1 引言

随着计算机硬件技术的快速发展，动态随机存取存储器（DRAM）技术近年来取得了显著进步。从 DDR4 的引入到满足嵌入式低功耗需求的 LPDDR4，再到满足高端市场需求的堆叠 DRAM 技术（如 Hybrid Memory Cube 和 High Bandwidth Memory），DRAM 技术正在逐步迈向更高密度、更优性能和更低功耗的方向。同时，堆叠式 DRAM 在提供高密度存储的同时，也引入了新的散热挑战，例如中间芯片的散热困难可能导致数据丢失或安全隐患。然而，目前的公开 DRAM 模拟器在 3D DRAM 热特性和时序模拟方面尚存局限。

为了应对上述挑战，研究社区和工业界亟需一种能够综合考虑性能与热特性的模拟工具。DRAMsim3 作为新一代 DRAM 模拟器，填补了现有工具在此方面的空白。它不仅支持多种现代 DRAM 协议的时序与组织模拟，还首次集成了实时热建模功能，为 DRAM 性能与热特性的联合研究提供了便利。此外，DRAMsim3 通过模块化设计和参数化模拟框架，能够灵活适应不同的 DRAM 技术，为新兴存储技术的研究和开发提供了强有力的支持。

2 相关工作

在动态随机存取存储器（DRAM）模拟器的研究领域内，为了解决不同场景下的需求，研究者开发了多种模拟工具。这些工作大致可以归纳为以下几类：

2.1 传统的周期精确模拟器

传统的 DRAM 模拟器主要聚焦于准确模拟存储器的时序行为，如 DRAMSim2 [12]、USIMM [4] 和 Ramulator [8] 等。这些模拟器通过建模 DRAM 协议的时序约束和控制器行为，为研究存

存储器性能和访问效率提供了重要支持。然而，这些模拟器在功能上存在一定局限，无法有效处理复杂的热管理问题，尤其是在现代 3D DRAM 技术中对热特性的需求 [5]。

2.2 专注于功耗与能效的模拟器

随着低功耗设计的重要性日益提升，一些研究工作开始关注 DRAM 的功耗建模和能效优化工具。例如：DRAMPower [3, 10]：该工具专注于内存系统的功耗和能量估计，通过输入指令序列生成功耗数据，但不支持实时仿真，无法动态适应系统行为。热相关模拟器：如基于 HotSpot 的热建模工具 [11]，能处理特定条件下的热特性，但这些工具通常需要提前生成功率跟踪文件，灵活性和实时性受限

2.3 新兴的现代 DRAM 模拟器

为了解决传统模拟器的不足，近年来涌现出了一批专注于现代存储技术的模拟工具。例如：DrSim：支持对存储系统架构的灵活建模，但模拟精度有限 [6]。Gem5 整合模块：一些模拟器将 DRAM 模拟整合到完整的处理器模拟环境中，如 Gem5 [1] 中的内存子系统，但其主要目标是整体系统性能评估，未深入优化存储模拟。

3 本文方法

3.1 本文方法概述

本文通过模块化设计和参数化模型，支持多种现代 DRAM 协议的模拟，并引入实时热建模功能，实现性能与热特性的联合分析。模拟器通过参数化构建通用 DRAM 模型，支持包括 DDR3、DDR4、HBM 等协议，并在控制器层次实现协议特定功能，同时提供灵活的系统接口，与 CPU 模拟器或追踪前端交互。热建模模块嵌入性能模拟中，结合动态功耗数据和热网格划分，实时估算稳态与瞬态温度分布。通过这一设计，模拟器能够在高精度仿真的同时，支持灵活扩展和多样化配置，为现代存储系统研究提供高效工具。

3.2 模块化设计

论文提出了模块化的模拟器设计架构，通过参数化模型支持多种 DRAM 协议。支持参数化 DRAM 模型、协议控制器和系统接口实现模拟器的模块化功能。参数化 DRAM 模型基于输入的组织与时序参数（如行数、列数、tCK 等）生成通用模型，支持多种现代协议。协议控制器针对不同协议（如 DDR4、HBM）实现其特定功能，包括 HBM 的双指令发射等。而系统接口则负责与 CPU 模拟器或追踪前端交互，支持跨层次的系统仿真。通过这一模块化设计，模拟器将具备灵活扩展和高效支持多协议的能力。

3.3 性能与热特性联合建模

论文将性能模拟与热建模相结合，通过实时计算实现性能与热特性的联合分析。实时热建模模块，通过 Micron DRAM 功耗模型动态生成芯片功耗数据 [2]，结合热模型计算芯片温度分布。热建模采用细粒度计算，将芯片划分为热网格单元 [5]，同时支持动态调整模拟的空

间和时间粒度 [9]，以在精度和效率之间找到平衡。此外，还实现了稳态与瞬态温度模拟，以捕获芯片运行过程中的动态热特性变化。这一联合建模方法将为现代存储系统的热设计与性能优化提供全面支持。

3.4 验证与性能评估

为确保模拟器的正确性与有效性，本文对模拟器进行多维度的功能验证和性能评估。时序验证将通过与 Micron Verilog 模型对比，确保模拟器的时序准确性。热建模验证将通过有限元法 (FEM) 仿真结果进行对比 [7]，评估模拟器的热建模精度。同时，将与其他主流模拟器 (如 DRAMSim2、Ramulator、USIMM) 进行性能对比，测试模拟器在仿真速度和吞吐量方面的表现。

4 复现细节

4.1 与已有开源代码对比

本文的复现工作基于开源代码库 DRAMsim3，旨在验证论文中提出的 DRAMsim3 模拟器的功能与性能。复现过程中，首先对比论文描述的方法与开源代码实现的功能和架构，确保两者的一致性。开源代码库提供了 DRAMsim3 的核心实现，包括参数化的 DRAM 模型、多协议支持和实时热建模功能。通过阅读论文与分析源码，验证代码中的模块化架构是否支持多种协议的灵活配置与扩展。检查代码是否覆盖了论文中列出的所有协议 (如 DDR3、DDR4、HBM、GDDR5 等) 以及这些协议的特性模拟。分析热建模模块的实现，确认其是否具备论文中描述的实时功耗计算与温度分布估算能力。

4.2 实验环境搭建

实验基于 Ubuntu 20.04 操作系统，安装所需的依赖，包括 GCC 编译器 (版本 8.4 及以上)、CMake (版本 3.10 及以上)、Python 3 和必要的库。通过 Git 克隆 DRAMsim3 代码库，使用 CMake 完成编译配置和构建过程。根据论文实验需求，配置多个实验脚本与 DRAM 协议配置文件，涵盖 DDR3、DDR4、HBM 等主要协议。

4.3 数据配置与使用说明

```
[dram_structure]
protocol = DDR4
bankgroups = 2
banks_per_group = 4
rows = 65536
columns = 1024
device_width = 16
BL = 8
```

图 1. 配置文件信息

根据实验目标，编写合适的配置文件，指定内存参数、时序限制等内容。运行时可选择访问模式，生成随机的内存访问请求或者使用 trace 文件作为输入，模拟指定的配置文件和运行时钟周期。DRAMsim3 在运行结束后输出读写操作延迟数据，可通过分析工具进行可视化。分析结果包括平均延迟、最大延迟和百分位延迟等关键指标，用于评估内存性能。

5 实验结果分析

本文基于 DRAMsim3 进行了随机内存访问和 trace 文件输入两种模式的实验，验证 DDR4 内存的读写延迟性能。

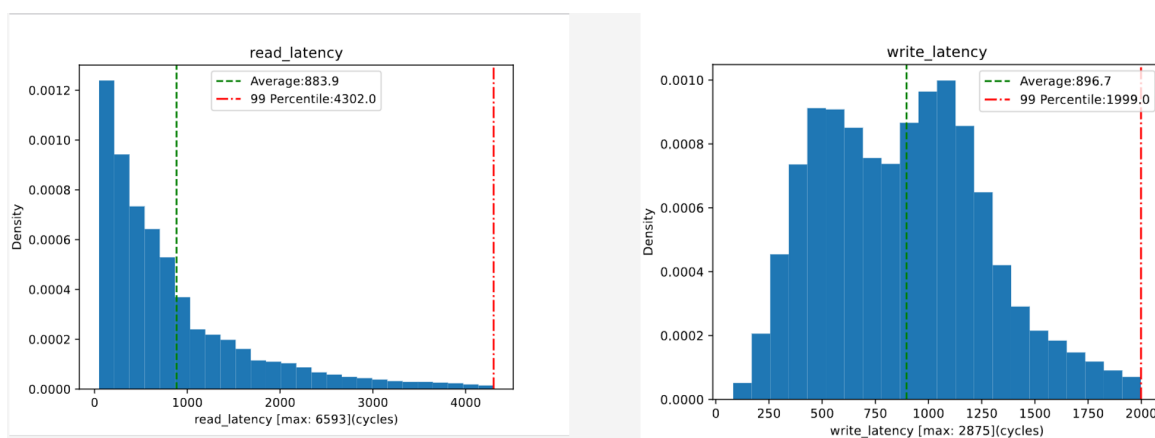


图 2. 随机模式

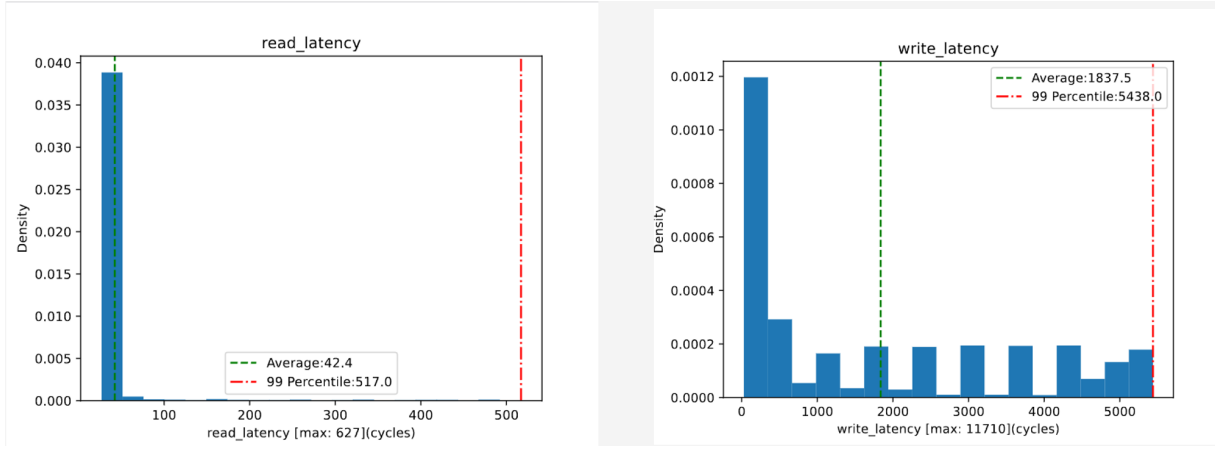


图 3. Trace 模式

随机模式下，读写延迟表现出长尾特性，反映内存调度冲突和行切换的影响。Trace 模式中，读操作延迟显著降低，体现有规律访问模式对性能优化的潜力；写操作延迟波动大，说明 trace 文件的随机写请求对性能有显著影响。模式对比表明，访问模式对延迟性能影响显著，随机分布请求会加剧性能波动，而顺序性较强的请求可显著提升性能。

6 总结与展望

本文验证 DRAMsim3 工具在多协议支持、实时热建模和性能模拟方面的功能与准确性，但在热建模精度验证、复杂工作负载模拟以及对新兴协议的支持方面仍有改进空间。未来可进一步优化热模型、扩展复杂工作负载场景、支持新兴 DRAM 技术，并探索与其他模拟器的集成与对比，以提升其适用性和研究价值。

参考文献

- [1] Nathan Binkert, Bradford Beckmann, Gabriel Black, Steven K. Reinhardt, Ali Saidi, Arkaprava Basu, Joel Hestness, Derek R. Hower, and Tushar Krishna. The gem5 simulator. 39(2):1–7, August 2011.
- [2] Yunus A Cengel and Afshin J Ghajar. Heat and mass transfer (in si units), 2014.
- [3] Karthik Chandrasekar, Christian Weis, Yonghui Li, Benny Akesson, Norbert Wehn, and Kees Goossens. Drampower: Open-source dram power & energy estimation tool. URL: <http://www.drampower.info>, 22, 2012.
- [4] Niladrish Chatterjee, Rajeev Balasubramonian, Manjunath Shevgoor, Seth Pugsley, Aniruddha Udupi, Ali Shafiee, Kshitij Sudan, Manu Awasthi, and Zeshan Chishti. Usimm: the utah simulated memory module. *University of Utah, Tech. Rep*, pages 1–24, 2012.
- [5] James W Demmel, John R Gilbert, and Xiaoye S Li. An asynchronous parallel supernodal algorithm for sparse gaussian elimination. *SIAM Journal on Matrix Analysis and Applications*, 20(4):915–952, 1999.

- [6] Min Kyu Jeong, Doe Hyun Yoon, and Mattan Erez. Drsim: A platform for flexible dram system research. *Accessed in: <http://lph.ece.utexas.edu/public/DrSim>*, 2012.
- [7] Mushfique Junayed Khurshid and Mikko Lipasti. Data compression for thermal mitigation in the hybrid memory cube. In *2013 IEEE 31st International Conference on Computer Design (ICCD)*, pages 185–192. IEEE, 2013.
- [8] Yoongu Kim, Weikun Yang, and Onur Mutlu. Ramulator: A fast and extensible dram simulator. *IEEE Computer architecture letters*, 15(1):45–49, 2015.
- [9] Shang Li, Dhiraj Reddy, and Bruce Jacob. A performance & power comparison of modern high-speed dram architectures. In *Proceedings of the International Symposium on Memory Systems*, pages 341–353, 2018.
- [10] Tiantao Lu, Caleb Serafy, Zhiyuan Yang, Sandeep Kumar Samal, Sung Kyu Lim, and Ankur Srivastava. Tsv-based 3-d ics: Design methods and tools. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 36(10):1593–1619, 2017.
- [11] Arun F Rodrigues, K Scott Hemmert, Brian W Barrett, Chad Kersey, Ron Oldfield, Marlo Weston, Rolf Risen, Jeanine Cook, Paul Rosenfeld, Elliot Cooper-Balis, et al. The structural simulation toolkit. *ACM SIGMETRICS Performance Evaluation Review*, 38(4):37–42, 2011.
- [12] Paul Rosenfeld, Elliott Cooper-Balis, and Bruce Jacob. Dramsim2: A cycle accurate memory system simulator. *IEEE computer architecture letters*, 10(1):16–19, 2011.