

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
"КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО"
Кафедра автоматизації електромеханічних систем та електроприводу
(повна назва кафедри)

КУРСОВА РОБОТА З СИСТЕМ АВТОМАТИЗАЦІЇ
(назва дисципліни)

на тему:
Система автоматизації силової головки та поворотного стола
агрегатного верстату

Студента (ки) II курсу групи ЕП-11
За освітньою програмою «Електромеханічні системи
автоматизації, електропривод та електромобільність»
спеціальності «Електроенергетика, електротехніка та
електромеханіка»

Жолоб О.С.
(прізвище та ініціали)

Керівник
к.т.н., доцент Бур'ян Сергій Олександрович
(посада, вчене звання, науковий ступінь, прізвище та ініціали)

Залікова оцінка Відмінно

Кількість балів: 97

28.05.2023р.

Члени комісії

к.т.н., доцент Волянський Роман Сергійович
(підпис) (вчене звання, науковий ступінь, прізвище та ініціали)
к.т.н., доцент Красношапка Наталія Дмитрівна
(підпис) (вчене звання, науковий ступінь, прізвище та ініціали)

Київ – 2023 р.

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ "КИЇВСЬКИЙ
ПОЛІТЕХНІЧНИЙ ІНСТИТУТ ІМЕНІ ІГОРЯ СІКОРСЬКОГО"

Кафедра автоматизації електромеханічних систем та електроприводу

Дисципліна (освітній компонент) Курсова робота з систем автоматизації Викладач к.т.н., доцент Бур'ян Сергій Олександрович

Курс II Група ЕП-11 Семестр IV

ЗАВДАННЯ

на курсову роботу студента Жолоба Олександра Сергійовича на тему

Система автоматизації силової головки та поворотного стола агрегатного верстату

1. *Строк здачі студентом виконаної роботи* 29 травня 2023 року

2. *Вихідні дані до роботи*

Варіант № 65

Вихідні дані згідно варіанту:

Переналагодження циклу силової головки: Потрібне

Циклограма, що відпрацьовується силовою головкою: є, к, м Переналагодження кількості робочих позицій стола: Потрібне Кількість робочих позицій стола: 5, 7

3. *Зміст пояснювальної записки (відповідно до пунктів PCO):* **Розділ 1. Аналітичний огляд сфери використання FPGA. Розділ 2. Формулювання завдання на курсову роботу та його деталізація. Розділ 3. Розробка функціональної схеми системи керування та визначення всіх її сигналів. Розділ 4. Синтез логічних функцій і алгоритмів керування. Розділ 5. Вибір електротехнічного обладнання та ПЛІС. Розділ 6. Розробка програми для ПЛІС у середовищі Quartus II на мові FBD/Verilog HDL. Розділ 7. Візуалізація роботи програми в середовищі Quartus II. Розділ 8. Розробка блоків живлення. Розділ 9. Розробка схеми електричної принципової у середовищі Dip Trace та переліку елементів до схеми.**

4. *Перелік графічного матеріалу з точним зазначенням обов'язкових креслень та їх формату* **Аркуш 1: Схема електрична принципова (формат A1). Аркуш 2: Синтез, програма на мові FBD, часові діаграми (формат A1).**

5. *Дата видачі завдання на курсову роботу* 06 лютого 2023 року

КАЛЕНДАРНИЙ ПЛАН

(відповідно до PCO)

№ п/п	Назва пунктів курсової роботи	Кінцевий термін виконання	Бали, нараховані за виконання календарного плану	Підпис викладача
1	Видача завдання на курсову роботу.	06.02.2023	-	
2	Виконання розділу 1. Аналітичний огляд сфери використання FPGA	20.02.2023	5	
3	Виконання розділу 2. Формулювання завдання на курсову роботу та його деталізація	06.03.2023	5	
4	Виконання розділу 3. Розробка функціональної схеми системи керування та визначення всіх її сигналів	20.03.2023	5	
5	Виконання розділу 4. Синтез логічних функцій і алгоритмів керування	03.04.2023	5	
6	Виконання розділу 5. Вибір електротехнічного обладнання та ПЛІС	10.04.2023	3	
7	Виконання розділу 6. Розробка програми для ПЛІС у середовищі Quartus II на мові FBD	17.04.2023	4	
8	Виконання розділу 7. Візуалізація роботи програми в середовищі Quartus II	01.05.2023	5	
9	Виконання розділу 8. Розробка блоків живлення	08.05.2023	5	
10	Виконання розділу 9. Розробка схеми електричної принципової у середовищі Dip Trace та переліку елементів до схеми.	15.05.2023	5	
11	Здача оформленої курсової роботи та графічної частини	29.05.2023	10	
12	Захист курсової роботи	12.06.2023	45	

Керівник роботи к.т.н., доцент Бур'ян Сергій Олександрович


підпис

Студент Жолоб Олександр Сергійович


підпис

Кількість балів за оформлення 10 Кількість балів за захист 45

Сумарна кількість балів 97 Сумарна оцінка Відмінно

Керівник роботи к.т.н., доцент Бур'ян Сергій Олександрович





підпис

АНОТАЦІЯ

Короткий зміст роботи. В даній курсовій роботі представлена розробка агрегатного верстата, який складається з робочої головки та поворотного стола. У ході курсової роботи було розглянуто сфери та способи застосування FPGA. Синтез виконувався методом графопереходу на RS тригері. Схеми складено в середовищі Quartus II. Було обрано обладнання для агрегатного верстата. Розроблено блоки живлення на 24В, 5В 3.3В та 1.2В які призначені для живлення напругою верстата. Складено схеми електричні принципи.

Мета роботи: Метою роботи є закріплення на практиці студентами фундаментальних навичок з дисципліни системи автоматизації: виконувати синтез методом графопереходу, розробляти та проектувати схеми електричні принципи. Вміти розробляти на FBD електричні схеми. Правильно підібрати обладнання для візуалізації поставленого завдання.

Ключові слова: АВТОМАТИЗАЦІЯ, СИНТЕЗ, ПЛІС, FPGA, ГРАФОПЕРЕХІД, Quartus II, ЦИКЛОГРАМА, FBD, КЕРУВАННЯ, ОБЛАДНАННЯ

					141.065.KP			
Зм.	Лист	№ докум.	Підпис	Дата	Курсова робота з систем автоматизації Система автоматизації силової головки та поворотного стола агрегатного верстату	Лім.	Лист	Листів
Розроб.		Жолоб О. С.						
Перевір.		Бур'ян С.О.						
Реценз.						КПІ ім Ігоря Сікорського		
Н. Контр.								
Затв.		Бур'ян С.О.						

ЗМІСТ

1. Вступ.....	6
2. РОЗДІЛ 1 АНАЛІТИЧНИЙ ОГЛЯД СФЕРИ ВИКОРИСТАННЯ FPGA.....	7
3. РОЗДІЛ 2 ФОРМУЛЮВАННЯ ЗАВДАННЯ НА КУРСОВУ РОБОТУ ТА ЙОГО ДЕТАЛІЗАЦІЯ.....	12
4. РОЗДІЛ 3 РОЗРОБКА ФУНКЦІОНАЛЬНОЇ СХЕМИ СИСТЕМИ КЕРУВАННЯ ТА ВИЗНАЧЕННЯ ВСІХ ЇЇ СИГНАЛІВ.....	20
5. 3.1 Функціональна схема системи автоматизації та її опис	
6. РОЗДІЛ 4 СИНТЕЗ ЛОГІЧНИХ ФУНКЦІЙ І АЛГОРИТМІВ КЕРУВАННЯ	24
7. РОЗДІЛ 5 ВИБІР ТЕХНОЛОГІЧНОГО ОБЛАДНАННЯ	37
8. РОЗДІЛ 6 РОЗРОБКА ПРОГРАМИ ДЛЯ ПЛІС У СЕРЕДОВИЩІ QUARTUS II НА МОВІ FBD.....	45
9. РОЗДІЛ 7 ВІЗУАЛІЗАЦІЯ РОБОТИ ПРОГРАМИ В СЕРЕДОВИЩІ QUARTUSII.....	51
10. РОЗДІЛ 8 РОЗРАХУНОК БЛОКІВ ЖИВЛЕННЯ	54
11. РОЗДІЛ 9 РОЗРОБКА СХЕМИ ЕЛЕКТРИЧНОЇ ПРИНЦИПОВОЇ.....	60
12. ВИСНОВКИ.....	64
13. ПЕРЕЛІК ПОСИЛАНЬ	67

ВСТУП

Автоматизація виробництва набула великого значення в наші часи. Агрегатний верстат – це верстат, який складається з нормалізованих кінематично не зв'язаних між собою вузлів з єдиною системою керування, яка забезпечує взаємозалежність та послідовність їхніх рухів. Верстати за допомогою автоматичним керуванням циклом дозволяють здійснювати обробку деталей одночасно на одній або декількох сторонах. Силкові головки призначені для різних видів токарних, свердлильних, різьбових та інших робіт.

З швидким розвитком технологій виробництв відбувається удосконалення засобів автоматизації різних технологічних процесів. В більшості автоматичних лініях верстатів замість релейно-контактних систем керуючих пристроїв та командних пристроїв на механічній основі широко впроваджуються безконтактні пристрої та процесори на електронній основі. Це дає змогу керувати усіма функціональними вузлами верстату (силовою головкою, поворотним столом та іншими пристроями, які інтегровані у верстат), а також отримувати інформацію про усі процеси для аналізу роботи самого верстату. Це дуже ефективно покращує роботу агрегатного верстата.

РОЗДІЛ 1 АНАЛІТИЧНИЙ ОГЛЯД СФЕРИ ВИКОРИСТАННЯ FPGA

1.1 Загальні характеристики та особливості ПЛІС

Програмована логічна інтегральна схема, ПЛІС (*programmable logic device, PLD*) — електронний компонент, який використовують для створення цифрових інтегральних схем.

На відміну від звичайних цифрових мікросхем, логіку роботи ПЛІС не визначають при виготовленні, а задають за допомогою програмування. Для цього служать програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші). [1]

Узагальнено внутрішній устрій ПЛІС можна поділити на три групи:

1. Масив з логічних елементів(логічні блоки, макроосередки).
2. Блоки входу-виходу
- 3.Лінії зв'язку між ними і пристрій, який керує цими зв'язками.

FPGA складаються з логічних блоків з великою кількістю входів і лише одним виходом, як ще їх називають – вентилями. Види можуть мати різні операції, такі як “І”, “І-НІ”, “АБО”, “АБО-НІ”.

ПЛІС користується великою популярністю тим, що на відміну від мікроконтролерів, можна змінювати внутрішні зв'язки елементів на програмному рівні. Також характерною відмінністю є критерії до вибору ПЛІС, на відміну від мікроконтролерів, може змінюватися лише кількість блоків для програмування, тоді як для вибору мікроконтролерів необхідно вибирати швидкодію, обсяг ПЗУ та ОЗУ, кількість входів та виходів тощо.

1.2 Типи ПЛІС

Одними із найпоширеніших типів ПЛІС являються наступні класи:

Польовий програмований затворний масив (FPGA) - це інтегральна схема, призначена для налаштування замовником або дизайнером після виготовлення - звідси і термін польовий програмований. Конфігурація FPGA, як

правило, визначається за допомогою мови опису обладнання (HDL), подібної до тієї, що використовується для інтегральної схеми для конкретних програм (ASIC). Для вказівки конфігурації раніше використовувалися схеми, але це все рідше пов'язано з появою електронних засобів автоматизації проектування. [2]

Складний програмований логічний пристрій (CPLD) — це комбінація повністю програмованого AND/OR масиву та банку макроелементів. Масив AND/OR перепрограмований і може виконувати безліч логічних функцій. Макроеlementи - це функціональні блоки, які виконують комбінаторну або послідовну логіку, а також мають додаткову гнучкість для істинності або доповнення разом з різноманітними шляхами зворотного зв'язку. [3]

Традиційно CPLD використовували аналогові підсилювачі сенсу для підвищення продуктивності своїх архітектур. Цей приріст продуктивності відбувся за рахунок дуже високих поточних вимог. CPLD CoolRunner-II™, створені AMD, використовують інноваційне повністю цифрове ядро для досягнення тих же рівнів продуктивності при наднизьких вимогах до потужності. Це дозволяє дизайнерам використовувати одну і ту ж архітектуру CPLD як для високопродуктивних, так і для малопотужних конструкцій. [3]

На рис. 1.2.1 зображено внутрішній устрій CPLD

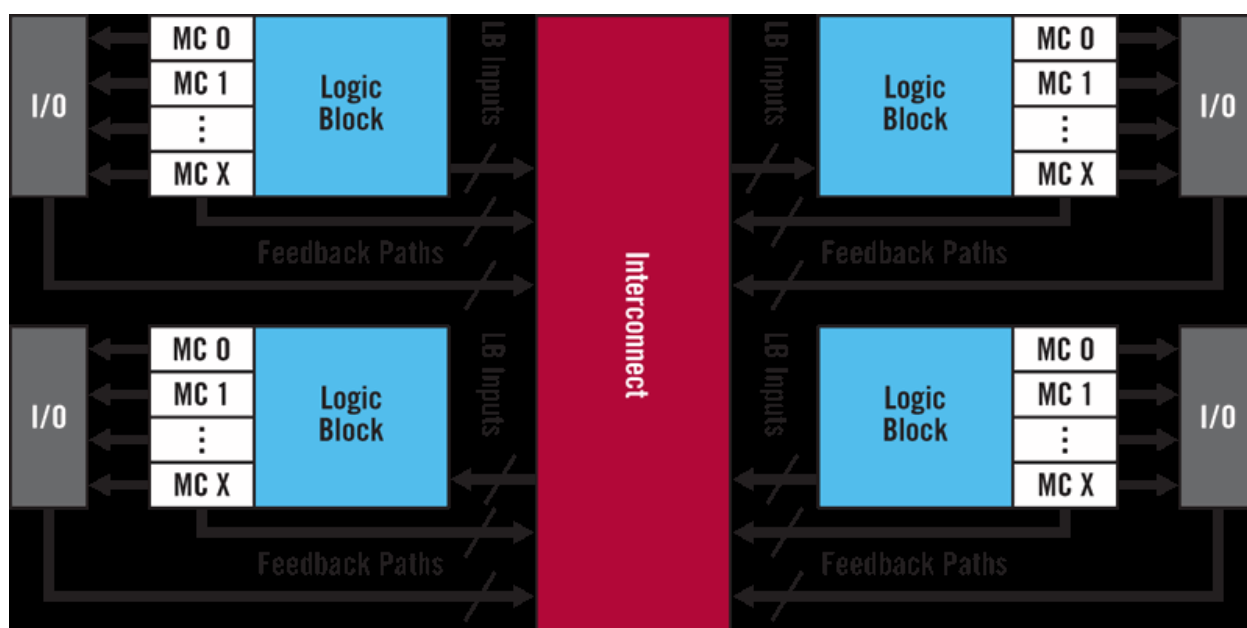


Рисунок 1.2.1 – Внутрішній устрій CPLD

Програмована логіка масиву (PAL) - це часто використовуваний програмований логічний пристрій (PLD). Він має програмований AND масив і фіксований OR-масив. Оскільки програмований лише масив AND, він простіший у використанні, але не гнучкий у порівнянні з програмованим логічним масивом (PLA). Єдиним обмеженням PAL є кількість воріт AND. PAL складаються з невеликої програмованої пам'яті тільки для читання (PROM) і додаткової вихідної логіки, використовуваної для реалізації тієї чи іншої шуканої логічної функції з обмеженими компонентами.[4]

1.3 Переваги FPGA

Використання FPGA дало можливість відмовитися від створення друкованих плат під кожний окремий пристрій. За рахунок того, що всередині можна створювати абсолютно будь-яку цифрову схему, важливим використанням ПЛІС є прототипування мікросхем ASIC. Також, перевагою є здатність обробляти дані по мірі їх надходження з мінімальною затримкою. Таким чином, FPGA використовується там, де потрібна висока продуктивність обробки даних, найменший час реакції, а також низьке енергоспоживання. В цілому ПЛІС можна знайти альтернативу: лог. контролери, ASIC, деякі комп'ютери та процесори, але в одиничному використанні дані альтернативи не ефективні та дорогі.

1.4 Застосування ПЛІС

Мікросхеми ПЛІС (програмовані логічні інтегральні схеми) використовуються для реалізації цифрових схем на мікроелектронних пристроях. Вони можуть бути програмовані для виконання різноманітних логічних функцій та оперувати з великою кількістю входів та вихідних ліній.

Основні області застосування мікросхем ПЛІС:

1. *Промисловість*: мікросхеми ПЛІС використовуються в промисловій автоматизації, де контролюють та керують великою кількістю процесів. Вони можуть бути використані для керування роботами, приводами, системами відбору та сортування, а також для контролю за виробничим процесом.[5]

2. *Комунікації*: мікросхеми ПЛІС використовуються у сучасних мережевих

пристроях, таких як маршрутизатори та комутатори, для швидкої та ефективної маршрутизації даних. Вони можуть бути використані для швидкої обробки даних, що надходять з різних джерел.[5]

3. *Медицина*: мікросхеми ПЛІС використовуються в медичній техніці, де вони контролюють та оброблюють сигнали від біомедичних сенсорів, які вимірюють фізіологічні параметри пацієнта, такі як тиск крові, частоту серцевих скорочень та інші.[6]

4. *Автомобільна промисловість*: мікросхеми ПЛІС використовуються в автомобільній електроніці для керування різноманітними системами, такими як системи безпеки, системи управління двигуном та системи розваг. Вони можуть виконувати різноманітні завдання, від відтворення музики до керування камерою заднього виду.[6]

5. *Відеоігри*: мікросхеми ПЛІС використовуються в електронних іграх для керування графічним процесором та обробки даних від інших пристроїв вводу/виводу. [6]

6. *Авіація та космічна промисловість*: мікросхеми ПЛІС використовуються в космічних апаратах та літаках, де вони забезпечують високоточне та надійне управління. Такі системи вимагають високого рівня безпеки та надійності, що робить мікросхеми ПЛІС одними з найкращих варіантів для цих завдань.[6]

7. *Фінансові технології*: мікросхеми ПЛІС використовуються в фінансових технологіях, таких як торгові платформи та системи електронних платежів. Вони дозволяють обробляти великі обсяги даних швидко та ефективно, що є важливим для ринків, які дуже швидко рухаються.[6]

Висновки до першого розділу

1. Було проведено аналіз інформації і визначено що, ПЛІС - електронний компонент для створення цифрових схем, що логіку роботи задає програмно. Це дозволяє змінювати внутрішні зв'язки на програмному рівні. Отже ПЛІС є простим у виборі інструментом порівняно з мікроконтролерами.

2. У даному підрозділі розглянуто три найпоширеніших типи програмованих логічних пристроїв: FPGA, CPLD і PAL. FPGA є найбільш гнучким і програмованим з них, з можливістю налаштування за допомогою мови опису обладнання (HDL). CPLD поєднує програмований AND/OR масив з банком макроелементів, що дозволяє досягти високої продуктивності при наднизьких вимогах до потужності. PAL має програмований AND масив і фіксований OR-масив, що робить його менш гнучким, але простішим у використанні.

3. FPGA дозволяє створювати будь-яку цифрову схему всередині, що робить її корисною для прототипування ASIC та обробки даних з найменшою затримкою та низьким енергоспоживанням. Вона може бути альтернативою логічним контролерам, ASIC, комп'ютерам та процесорам, але в одиничному використанні інші альтернативи не є ефективними та дорогими.

4. Мікросхеми ПЛІС є цифровими електронними пристроями, що можуть бути програмовані для виконання різноманітних логічних функцій. Їх основні області застосування включають промисловість, комунікації, медицину, автомобільну та космічну промисловість, фінансові технології та багато інших. Вони є важливими компонентами для забезпечення надійного та ефективного функціонування високотехнологічних пристроїв та систем.

РОЗДІЛ 2 ФОРМУЛЮВАННЯ ЗАВДАННЯ НА КУРСОВУ РОБОТУ ТА ЙОГО ДЕТАЛІЗАЦІЯ

2.1 Опис роботи силової головки

Агрегатні верстати із силовими головками широко застосовуються при створенні автоматизованих ліній. Силова головка рухається за допомогою гідропривода, що має три золотника, які переміщуються за допомогою електромагнітів YA1, YA2, YA3. Різні режими забезпечуються за допомогою різних комбінацій станів золотників, тобто різних комбінацій вмикань електромагнітів. В даній роботі відповідно до варіанту буде використовуватись три основні цикли роботи силової головки, схеми їх роботи наведені на рисунках нижче.

1. Перший робочій цикл: швидке підведення, перша робоча подача, швидке відведення, швидке підведення, перша робоча подача, швидке відведення, швидке підведення, перша робоча подача, швидке підведення, перша робоча подача, витримка на упорі, швидке відведення.

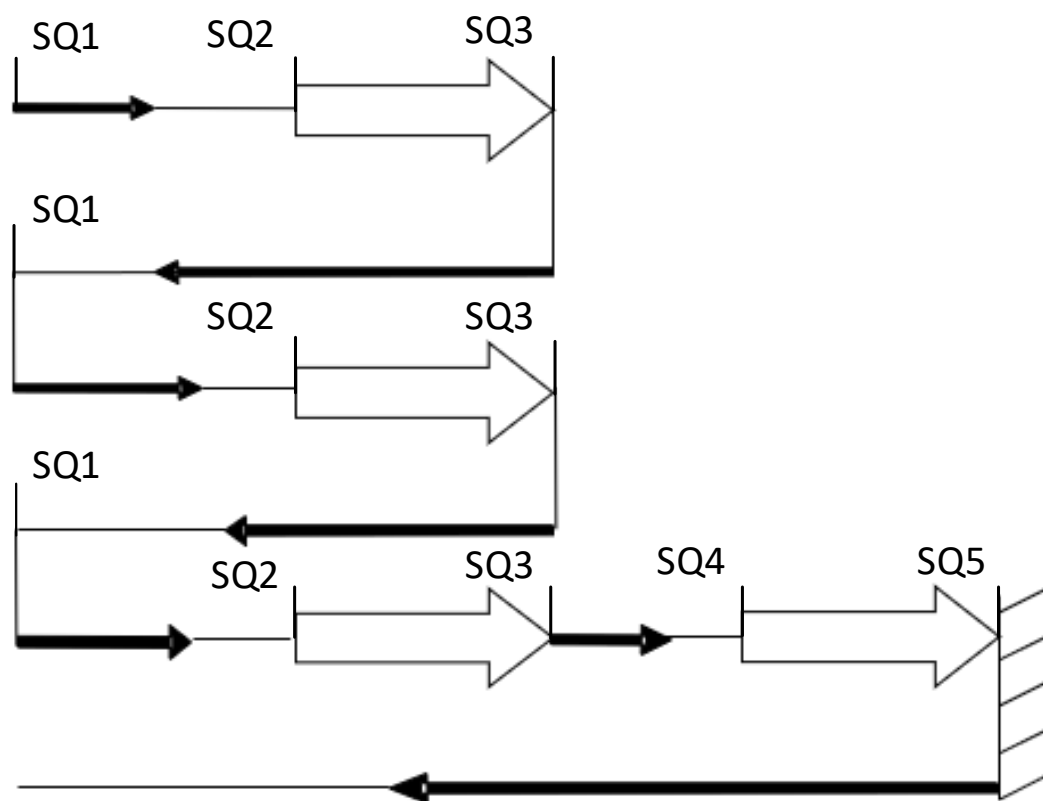


Рисунок 2.1 – Перший цикл роботи силової головки

Таблиця 2.1 – Комбінація вмикань електромагнітів

Режим	Електромагніти		
	YA1	YA2	YA3
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Швидке відведення до SQ1		+	+
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Швидке відведення до SQ1		+	+
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Швидке підведення до SQ4	+	+	+
Перша робоча подача до SQ5	+	+	
Витримка на упорі			
Швидке відведення до SQ1		+	+

2. Другий цикл роботи: швидке підведення, перша робоча подача, швидке відведення, швидке підведення, перша робоча подача, витримка на упорі, робоча подача назад, швидке підведення, перша робоча подача, друга робоча подача, швидке відведення.

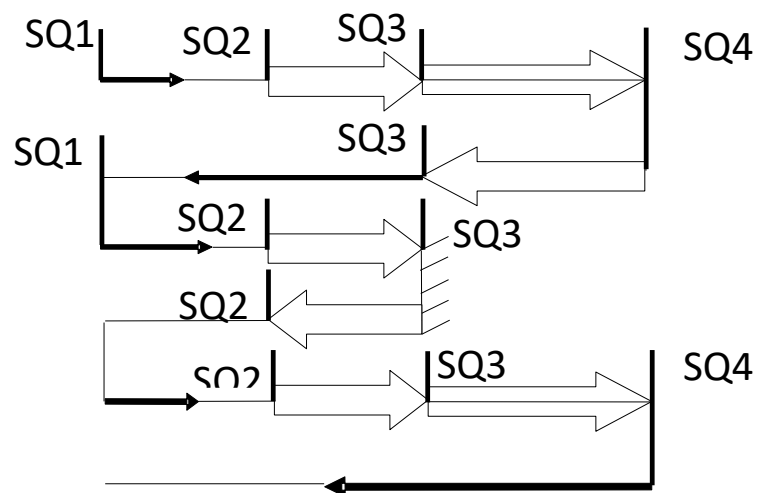


Рисунок 2.2 – Другий цикл роботи силової головки

Таблиця 2.2 – Комбінація вмикань електромагнітів

Режим	Електромагніти		
	YA1	YA2	YA3
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Друга робоча подача до SQ4	+		
Робоча подача назад до SQ3		+	
Швидке відведення до SQ1		+	+
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Витримка на упорі			
Робоча подача назад до SQ1		+	
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Друга робоча подача до SQ4	+		
Швидке відведення до SQ1		+	+

3. Третій цикл роботи: швидке підведення, перша робоча подача, друга робоча подача, швидке відведення, швидке підведення, перша робоча подача, витримка на упорі, швидке відведення, швидке підведення, перша робоча подача, швидке підведення, перша робоча подача, робоча подача назад, швидке відведення.

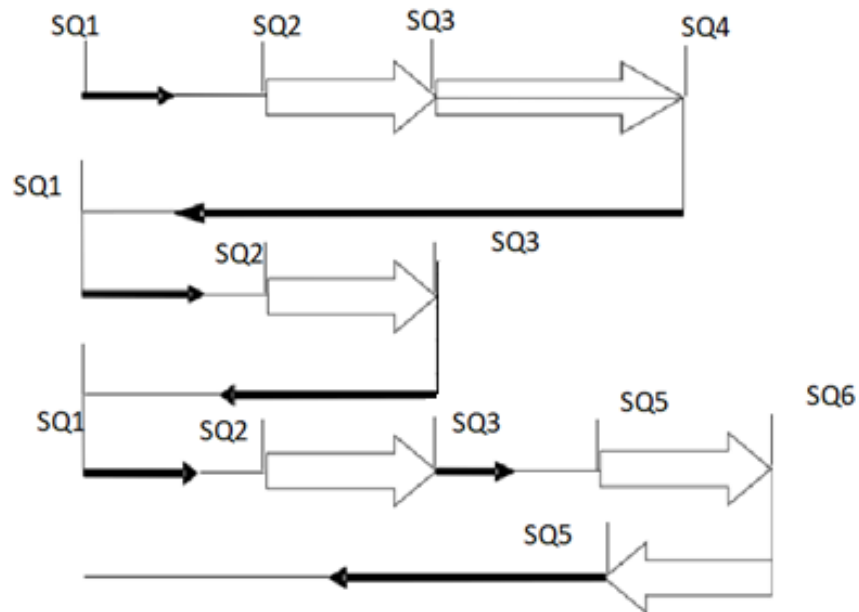


Рисунок 2.3 – Третій цикл роботи силової головки

Таблиця 2.3 – Комбінація вмикань електромагнітів

Режим	Електромагніти		
	YA1	YA2	YA3
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Друга робоча подача до SQ4	+		
Швидке відведення до SQ1		+	+
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Швидке відведення до SQ1		+	+
Швидке підведення до SQ2	+	+	+
Перша робоча подача до SQ3	+	+	
Швидке підведення до SQ5	+	+	+
Перша робоча подача до SQ6	+	+	
Робоча подача назад до SQ5		+	
Швидке відведення до SQ1		+	+

2.2 Опис роботи поворотного стола

Вихідне положення силової головки фіксується кінцевим вимикачем. Команда на початок роботи силової головки в автоматичному режимі подається від реле контролю фіксації поворотного столу. Після цього силова головка відпрацьовує потрібну циклограму переміщень і повертається у вихідне положення. Команди на зміни режимів роботи головки подаються кінцевими вимикачами SQ.

Таблиця 2.3 – Варіант завдання для проектування

Варіант	Переналагодження циклу силової головки	Циклограма, що відпрацьовується силовою головою	Переналагодження кількості робочих позицій стола	Кількість робочих позицій стола
65	Потрібне	є, к, м	Потрібне	5, 7

На рис. 2.4 схематично зображена система позиціонування поворотного стола верстата на одну позицію.

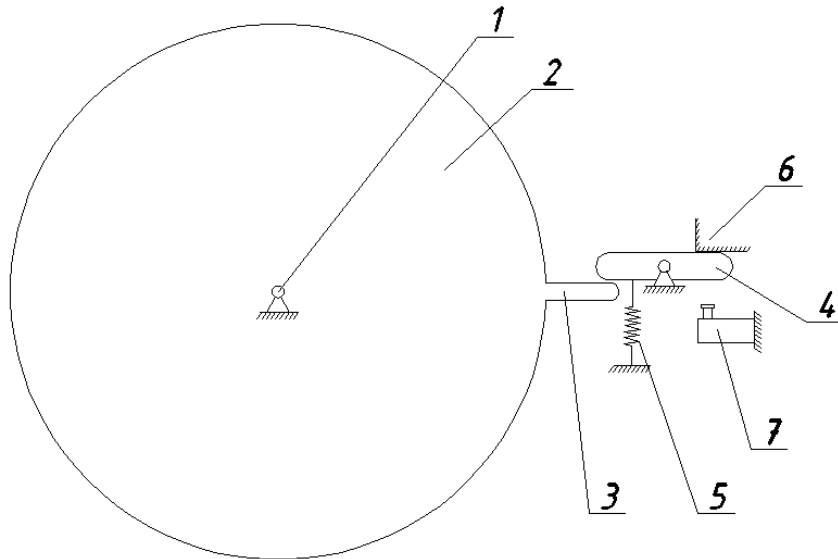


Рисунок 2.4 – Система позиціонування поворотного столу

На рис. 2.4 прийняті наступні позначення: 1 – вісь обертання стола; 2 – поворотний стіл; 3 – індексуючий виступ поворотного стола; 4 – коромисло позиціонуючого механізму; 5 – пружина натягу коромисла; 6 – обмежуючий упор коромисла; 7 – кінцевий вимикач.

Команда на початок руху стола подається вручну натисканням на кнопку "Поворот столу", а при роботі в автоматичному режимі перший раз сигналом «Пуск», а потім сигналом про закінчення циклу силової головки. Переміщення столу здійснюється двигуном швидкого повороту стола M1. При обертанні столу двигуном M1 індексуючий виступ 3 зчеплюється з коромислом 4. Обертаючись, коромисло 4 натискає на кінцевий вимикач 7 (рис. 2.5). Спрацювання кінцевого вимикача 7 спричинює вимикання двигуна M1. Через сили інерції, поворотний стіл продовжує обертатись у напрямку M1. Коромисло 4 зіскакує з індексуючого виступу 3 та відпускає кінцевий вимикач 7, що спричинює вмикання двигуна фіксації M2.

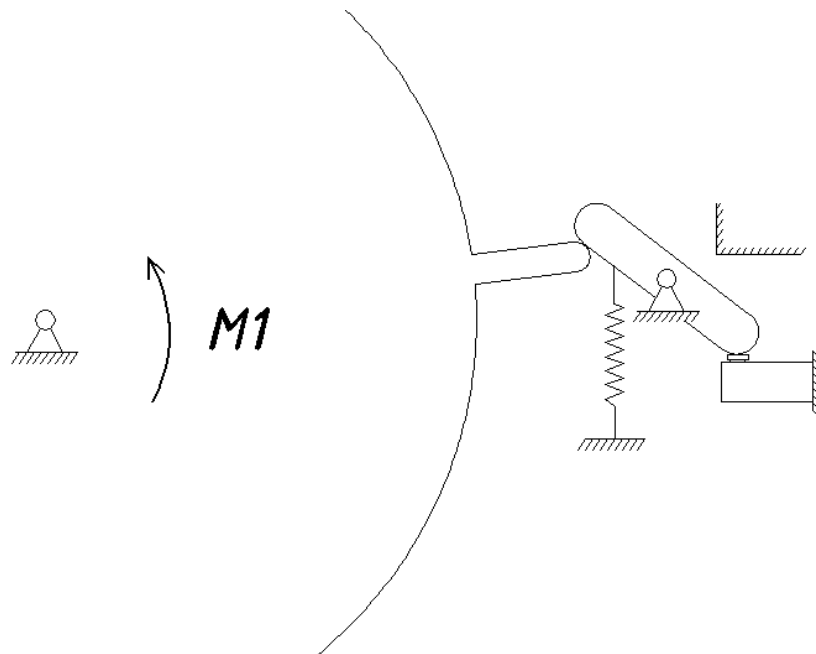


Рисунок 2.5 – Система позиціонування поворотного столу

При обертанні столу у напрямі M2, індексуючий виступ впирається у коромисло 4 (рис. 2.5), рух якого у даному напрямку обмежений упором 6, струм у колі статора двигуна фіксації швидко збільшується і спрацьовує реле максимального струму, обмотка якого увімкнена в коло статора двигуна фіксації. Внаслідок спрацювання реле двигун фіксації вмикається і надходить команда на початок роботи силової головки.

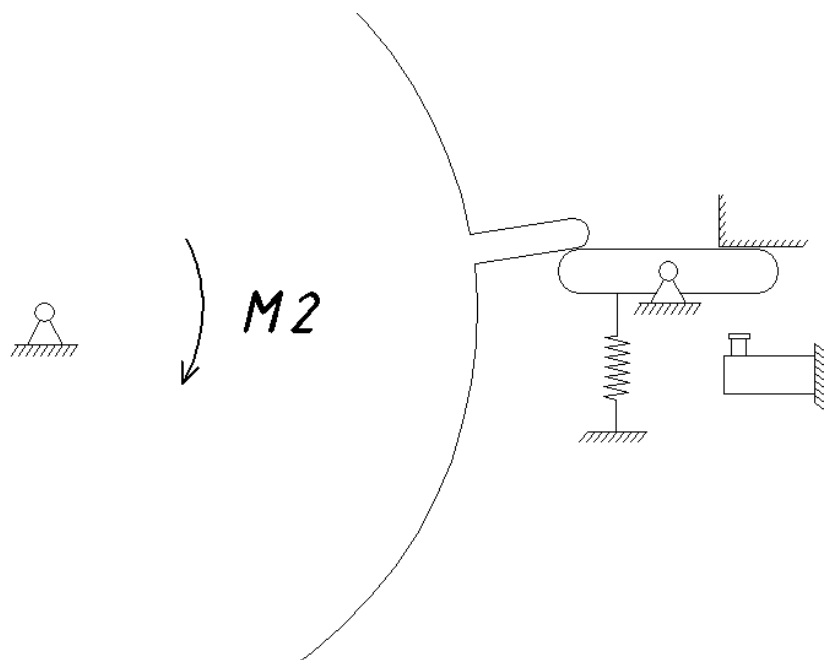


Рисунок 2.6 – Система позиціонування поворотного столу

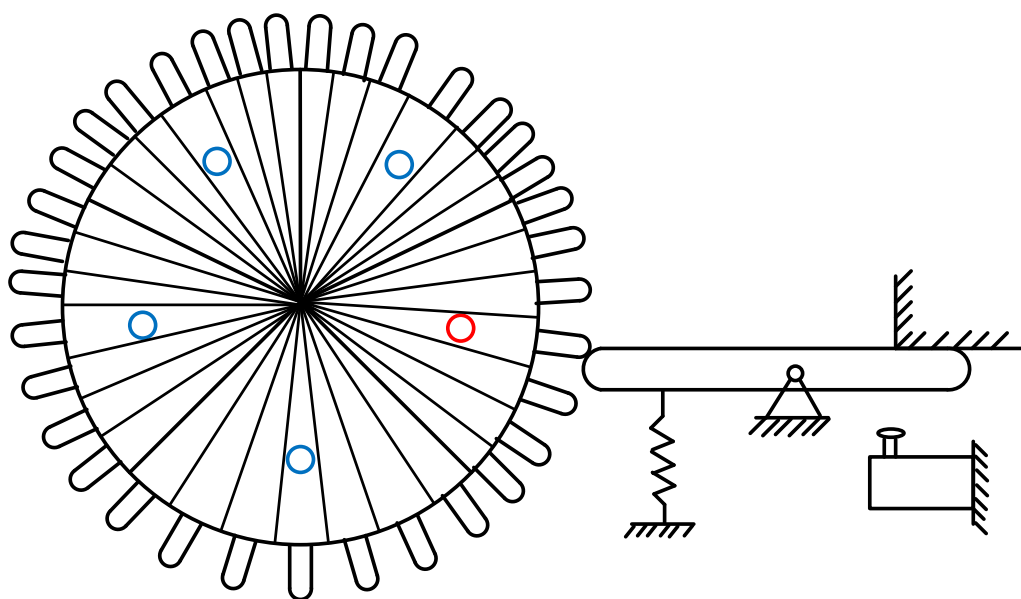


Рисунок 2.7 – Поворотний стіл з тридцятьма п'ятьма позиціями на п'ять оброблюваних деталей

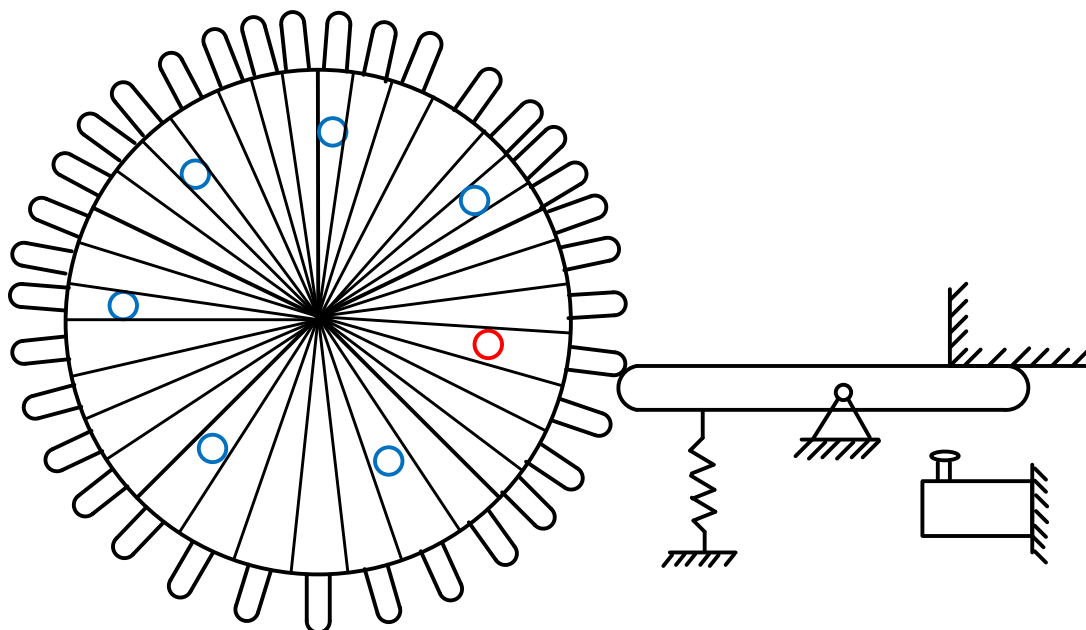


Рисунок 2.8 – Поворотний стіл з тридцятьма п'ятьма позиціями на сім оброблюваних деталей

Висновки до другого розділу

1. Визначено принцип роботи силової головки, досліджено цикли роботи силової головки та розставлено кінцеві вимикачі на кожному етапі циклограми. Складено таблицю комбінацій вмикань силових магнітів.

2. Вивчено систему роботи поворотного стола, та загальну кількість позицій на ньому, а також кількість оброблюваних деталей згідно з вищезаданими циклами роботи силової головки.

3 РОЗРОБКА ФУНКЦІОНАЛЬНОЇ СХЕМИ КЕРУВАННЯ ТА ВИЗНАЧЕННЯ ВСІХ ЇЇ СИГНАЛІВ

3.1 Функціональна схема системи автоматизації та її опис

Функціональна схема містить інформацію про способи реалізації пристроєм заданих функцій. За такою схемою можна визначити, як здійснюється перетворення і які для цього необхідні функціональні елементи. Кожен функціональний елемент містить лише ті входи і виходи, які необхідні для його коректної роботи. На рис. 3.1 представлена функціональна схема, за якою в подальших пунктах буде здійснюватися синтез.

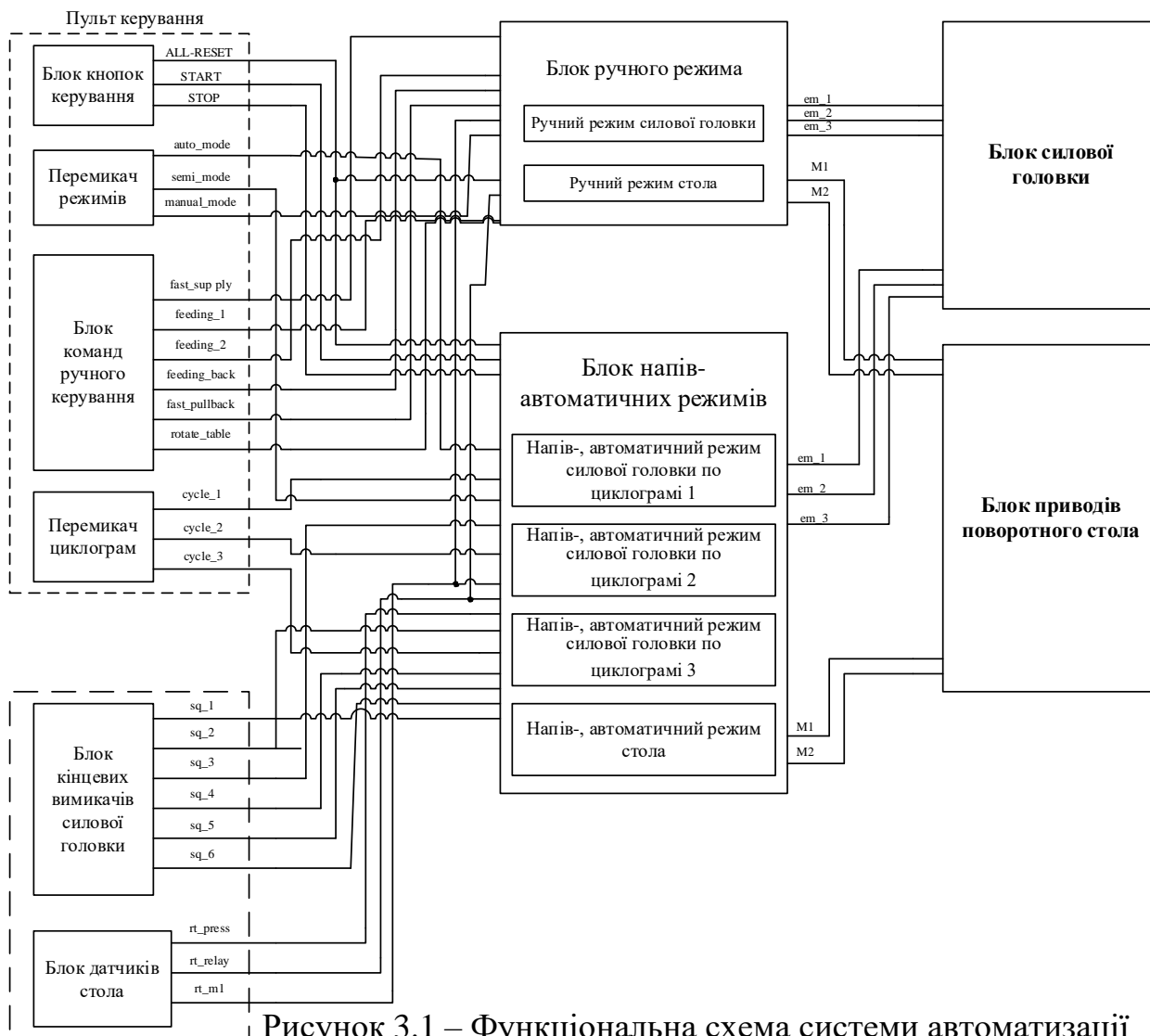


Рисунок 3.1 – Функціональна схема системи автоматизації

Опис усіх складових функціональної схеми:

1. Пульт керування – блок керування з якого подаються сигнали оператором вручну. Пульт розділений на 4 блоків.

1.1 Блок кнопок керування – містить три сигнали: START, STOP, ALL_RESET.

1.2 Перемикач режимів – подає постійний сигнал одного з режимів: ручного, автоматичного та напіваавтоматичного.

1.3 Блок команд ручного керування: містить 6 команд для ручного керування верстатом: швидке підведення, перша і друга робоча подача, робоча подача назад, швидке відведення і поворот стола.

1.4 Перемикач циклограм – подає постійний сигнал однієї з трьох циклограм для відпрацювання циклів силової головки.

2. Блок кінцевих вимикачів і датчиків – містить усі вхідні сигнали, які надходять автоматично від різних пристроїв. Розділений на 2 блока.

2.1 Блок кінцевих вимикачів силової головки з 6 сигналами sq_1 - sq_6;

2.2 Блок датчиків стола містить сигнали кінцевого вимикача стола, реле максимального струму і датчик наявності деталі на поворотному столі.

3. Блок автоматичного та напіваавтоматичного режимів відповідають за активацію автоматичного режиму та напіваавтоматичного.

4. Блок ручного керування – дає змогу налаштовувати та керувати кожною окремою функцією системи.

5. Блоки силової головки та блок приводів поворотного стола – передає сигнали керування на силові електромагніти та електродвигуни.

3.2 Опис сигналів функціональної схеми

Таблиця 3.1 – Призначення сигналів

№	Назва сигналу на функціональній схемі	Назва блоку	Призначення сигналу	Назва сигналу в програмі/ при синтезі
1	2	3	4	5
1	START	Блок кнопок керування	Запуск системи в автоматичному чи напівавтоматичному режимі	START
2	STOP		Зупинка роботи в автоматичному режимі	STOP
3	ALL_RESET		Негайна зупинка системи і скидання тригерів	ALL_RESET
4	auto_mode	Перемикач режимів	Сигнал автоматичного режиму	auto_mode
5	semi_mode		Сигнал напівавтоматичного режиму	semi_mode
6	manual_mode		Сигнал ручного режиму	manual_mode
7	fast_supply	Блок команд ручного керування	Швидке підведення	fast_supply
8	feeding_1		Перша робоча подача	feeding_1
9	feeding_2		Друга робоча подача	feeding_2
10	feeding_back		Робоча подача назад	feeding_back
11	fast_pullback		Швидке відведення	fast_pullback
12	rotate_table		Поворот столу	rotate_table
13	cycle_1	Перемикач циклограм	Сигнал циклограми 1	cycle_1
14	cycle_2		Сигнал циклограми 2	cycle_2
15	cycle_3		Сигнал циклограми 3	cycle_3
16	sq_1	Блок кінцевих вимикачів силової головки	Кінцевий вимикач силової головки 1	sq_1
17	sq_2		Кінцевий вимикач силової головки 2	sq_2
18	sq_3		Кінцевий вимикач силової головки 3	sq_3

№	Назва сигналу на функціональній схемі	Назва блоку	Призначення сигналу	Назва сигналів програми/при синтезі
19	sq_4	Блок кінцевих вимикачів силової головки	Кінцевий вимикач силової головки 4	sq_4
20	sq_5		Кінцевий вимикач силової головки 5	sq_5
21	sq_6		Кінцевий вимикач силової головки 6	sq_6
22	rt_m1	Блок датчиків стола	Кінцевий вимикач стола для двигуна M1	rt_m1
23	rt_relay		Реле максимального струму	rt_relay
24	rt_pres		Датчик наявності деталі	rt_pres
25	em_1	Блок силової головки	Сигнал електромагніту 1	em_1
26	em_2		Сигнал електромагніту 2	em_2
27	em_3		Сигнал електромагніту 3	em_3
28	M1	Блок приводу стола	Сигнал двигуна M1 приводу стола	M1
29	M2		Сигнал двигуна M2 приводу стола	M2

Висновки по розділу 3

1. В даному розділі курсової роботи було складено функціональну схему та детальний опис для кожного з її складових та сигналів що входять до неї.

2. Повний розбір функціональної схеми дає можливість простіше виконувати синтез в подальшому та зрозуміти роботу схеми вцілому та її окремих складових, необхідність в певних сигналах в різних режимах (автоматичному, напів-автоматичному та ручному).

3. Наочно побудована схема дає можливість чітко зрозуміти синтез, шлях вхідних та вихідних сигналів, їх призначення. Побудована таблиця з переліком усіх блоків та сигналів дає змогу структурувати синтез та роботу в програмі Quartus.

4 СИНТЕЗ ЛОГІЧНИХ ФУНКЦІЙ І АЛГОРИТМІВ КЕРУВАННЯ

4.1 Синтез автоматичного і напіваавтоматичного режимів

Розглянемо блок керування силовою головкою. За варіантом курсової роботи задано три циклограми роботи силової головки, тому синтезуємо окремо кожну з них.

Кількість станів, відповідно до циклограми, що зображена на рис. 2.1, тринадцять, але для реалізації напіваавтоматичного та автоматичного режимів в одному графопереходів, введемо додатковий стан очікування. Відповідно до цього будуємо таблицю станів (табл. 4.1).

Таблиця 4.1 – Стани схеми блоку силової головки для циклограми рис. 2.1

№ стану схемна графопере-ході (код тригерів p11p21p31p41)	Назва стану	Вхідні сигнали, що перемикають стан	Вихідні сигнали схеми, що =1 у даному стані
1 (0000)	Вихідний стан	<u>Зі стану 14:</u> $(semi_mode + STOP) \cdot sq_1$ <u>Зі стану 2:</u> STOP	-
2 (0010)	Додатковий стан очікування для розділення автоматичного та напіваавтоматичного режимів	<u>Зі стану 1:</u> $START \cdot sq_1 \cdot (auto_mode + semi_mode)$ <u>Зі стану 14:</u> $sq_1 \cdot auto_mode$	-
3 (0011)	Швидке підведення до SQ2	<u>Зі стану 2:</u> $cycle_1 \cdot sq_1 \cdot rt_pres \cdot rt_relay$	em_1, em_2, em_3
4 (0001)	Перша робоча подача до SQ3	<u>Зі стану 3:</u> sq_2	em_1 em_2
5 (0101)	Швидке відведення до SQ1	<u>Зі стану 4:</u> sq_3	em_2, em_3

№ стану схемна графопере- ході (код тригерів p11p21p31p41)	Назва стану	Вхідні сигнали, що перемикають стан	Вихідні сигнали схеми, що =1 у даному стані
6 (1101)	Швидке підведення до SQ2	Зі стану 5: sq_1	em_1, em_2, em_3
7 (1001)	Перша робоча подача до SQ3	Зі стану 6: sq_2	em_1, em_2
8 (1011)	Швидке відведення до SQ1	Зі стану 7: sq_3	em_2, em_3
9 (1010)	Швидке підведення до SQ2	Зі стану 8: sq_1	em_1, em_2, em_3
10 (1000)	Перша робоча подача до SQ3	Зі стану 9: sq_2	em_1, em_2,
11 (1100)	Швидке підведення до SQ4	Зі стану 10: sq_3	em_1, em_2, em_3
12 (1110)	Перша робоча подача до SQ5	Зі стану 11: sq_4	em_1
13 (1111)	Витримка на упорі	Зі стану 12: sq_5	em_1, em_2,
14 (0110)	Швидке відведення до SQ1	Зі стану 13: t_1	em_2, em_3

t_1 – затримка часу для циклограми 1

Далі складемо графоперехід для таблиці 4.1, який зображений на рис. 4.1.

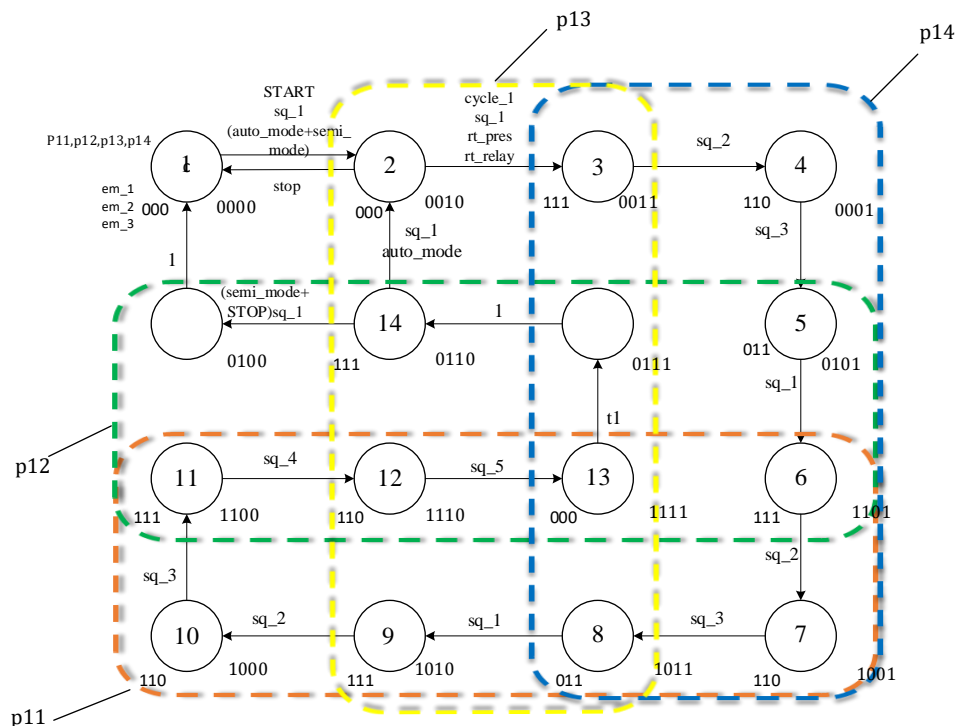


Рисунок 4.1 - Графоперехід для циклограми 1

Тепер можна скласти рівняння для умов встановлення та скидання тригерів:

Перший тригер:

$$Sp_{11} = sq_1 * p_{12} * \overline{p_{13}} * p_{14}; \quad (4.1)$$

$$Rp_{11} = t_1 * p_{12} * p_{13} * p_{14} + ALL_RESET. \quad (4.2)$$

Другий тригер:

$$Sp_{12} = sq_3 * p_{11} * \overline{p_{13}} * \overline{p_{14}} + sq_3 * \overline{p_{11}} * \overline{p_{13}} * p_{14}; \quad (4.3)$$

$$Rp_{12} = sq_2 * p_{11} * \overline{p_{13}} * p_{14} + \\ + sq_1 * auto_mode * \overline{p_{11}} * p_{13} * \overline{p_{14}} + ALL_RESET. \quad (4.4)$$

Третій тригер:

$$Sp_{13} = START * sq_1 * (auto_mode + semi_mode) * \overline{p_{11}} * \overline{p_{12}} * \overline{p_{14}} + \\ + sq_3 * p_{11} * \overline{p_{12}} * p_{14} + sq_4 * p_{11} * p_{12} * \overline{p_{14}}; \quad (4.5)$$

$$Rp_{13} = sq_2 * \overline{p_{11}} * \overline{p_{12}} * p_{14} + sq_2 * p_{11} * \overline{p_{12}} * \overline{p_{14}} + \\ + STOP * \overline{p_{11}} * \overline{p_{12}} * \overline{p_{14}} + (semi_mode + STOP) * sq_1 * \overline{p_{11}} * p_{12} * \overline{p_{14}} + \\ + ALL_RESET. \quad (4.6)$$

Четвертий тригер:

$$Sp_{14} = cycle_1 * sq_1 * rt_pres * rt_realy * \overline{p_{11}} * \overline{p_{12}} * p_{13} + \\ + sq_5 * p_{11} * p_{12} * p_{13}; \quad (4.7)$$

$$Rp_{14} = sq_1 * p_{11} * \overline{p_{12}} * p_{13} + \overline{p_{11}} * p_{12} * p_{13} + ALL_RESET. \quad (4.8)$$

Складаємо рівняння для електромагнітів:

$$em_1 = \overline{p_{11}} \overline{p_{12}} p_{14} + p_{11} \overline{p_{13}} + p_{11} \overline{p_{14}} + p_{12} p_{13} \overline{p_{14}}; \quad (4.9)$$

$$em_2 = p_{11} \overline{p_{12}} + p_{11} \overline{p_{14}} + p_{14} \overline{p_{11}} + p_{11} \overline{p_{13}} + p_{13} \overline{p_{11}}; \quad (4.10)$$

$$em_3 = p_{11} \overline{p_{12}} p_{13} + p_{12} \overline{p_{13}} + \overline{p_{11}} p_{12} + \overline{p_{11}} p_{13} p_{14}. \quad (4.11)$$

Рівняння таймера t_1 :

$$t_1 = p_{11} p_{12} p_{13} p_{14}. \quad (4.12)$$

До рівнянь скидання тригерів додаємо сигнал ALL_RESET для ручного скидання усіх тригерів. Цей сигнал потрібен щоб скинути всі тригери, так як при вмиканні живленні ПЛІС може опинитися у будь-якому стані.

Кількість станів, відповідно до циклограми, що зображена на рис. 2.2, чотирнадцять, але для реалізації напіваавтоматичного та автоматичного режимів в

одному графопереходів, введемо додатковий стан очікування. Відповідно до цього будуємо таблицю станів (табл. 4.2).

Таблиця 4.2 – Стани схеми блоку силової головки для циклограми рис. 2.2

№ стану схеми графопере- ходів (код тригерів P21p22p23p24)	Назва стану	Вхідні сигнали, що перемикають стан	Вихідні сигнали схеми, що =1 у даному стані
1 (0000)	Вихідний стан	Зі стану 15: (Semi_mode+STOP)*sq_1 стану 15: STOP	-
2 (0010)	Додатковий стан очікування для розділення автоматичного та напіваавтоматичного режимів	Зі стану 1: sq1*START* (auto_mode+semi_mode)Зі стану 15: sq_1*auto_mode	-
3 (0011)	Швидке підведення до SQ2	Зі стану 2: cycle_3*rt_pres_rt_relay_* *sq_1	em_1, em_2, em_3
4 (0001)	Перша робоча подача до SQ3	Зі стану 3:sq_2	em_1, em_2
5 (0101)	Друга робоча подача до SQ4	Зі стану 4: sq_3	em_1
6 (1101)	Робоча подача назад до SQ3	Зі стану 5: sq_4	em_2
7 (1001)	Швидке відведення до SQ1	Зі стану 6: sq_3	em_2, em_3

№ стану схемини графопере- ходів (код тригерів R21p22p23p24)	Назва стану	Вхідні сигнали, що перемикають стан	Вихідні сигнали схеми, що =1 у даному стані
8 (1011)	Швидке підведення до SQ2	Зі стану 7: <u>sq_1</u>	em_1, em_2, em_3
9 (1010)	Перша робоча подача до SQ3	Зі стану 8: <u>sq_2</u>	em_1, em_2
10 (1000)	Витримка на упорі SQ3	Зі стану 9: <u>sq_3*t_2</u>	-
11 (1100)	Робоча подача назад до SQ1	Зі стану 10: <u>sq_3</u>	em_2
12 (1110)	Швидке підведення до SQ2	Зі стану 11: <u>sq_1</u>	em_1, em_2, em_3
13 (1111)	Перша робоча подача до SQ3	Зі стану 12: <u>sq_2</u>	em_1, em_2
14 (0111)	Друга робоча подача до SQ4	Зі стану 13: <u>sq_3</u>	em_1
15 (0110)	Швидке відведення до SQ1	Зі стану 14: <u>sq_4</u>	em_2, em_3

t_2 – затримка часу для циклограми 2

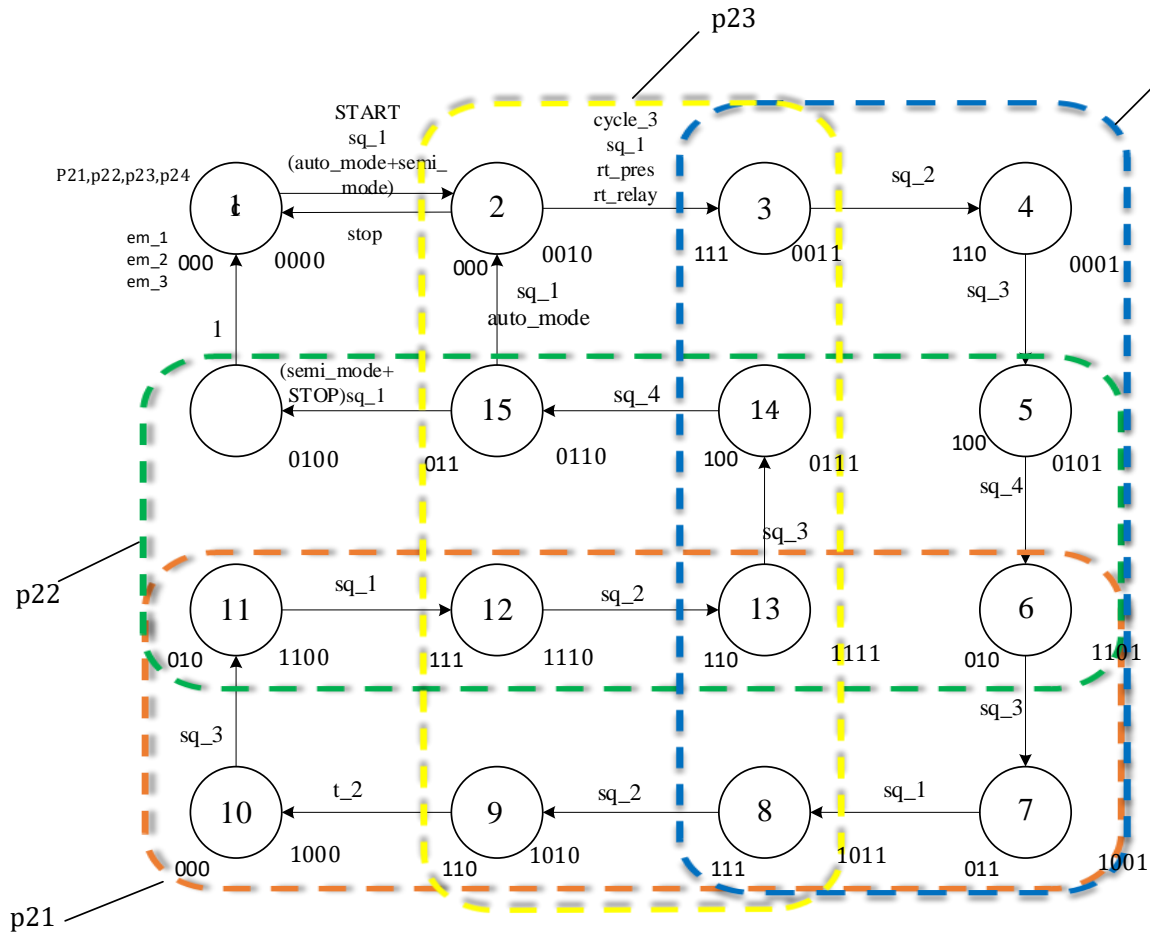


Рисунок 4.2 – Графоперехід для циклограми 2

Складаємо рівняння для умов встановлення та скидання тригерів:

Перший тригер:

$$Sp_{21} = sq_4 * p_{22} * \overline{p_{23}} * p_{24}; \quad (4.13)$$

$$Rp_{21} = sq_3 * p_{22} * p_{23} * p_{24} + ALL_RESET. \quad (4.14)$$

Другий тригер:

$$Sp_{22} = sq_3 * \overline{p_{21}} * \overline{p_{23}} * p_{24} + sq_3 * p_{21} * \overline{p_{23}} * \overline{p_{24}}; \quad (4.15)$$

$$Rp_{22} = sq_3 * p_{21} * \overline{p_{23}} * p_{24} + sq_1 * auto_mode * \overline{p_{21}} * p_{23} * \overline{p_{24}} + \overline{p_{21}} * \overline{p_{23}} * \overline{p_{24}} + ALL_RESET. \quad (4.16)$$

Третій тригер:

$$Sp_{23} = sq_1 * (auto_mode + semi_mode) * START * \overline{p_{21}} * \overline{p_{22}} * \overline{p_{24}} + sq_1 * p_{21} * \overline{p_{22}} * p_{24} + sq_1 * p_{21} * p_{22} * \overline{p_{24}}; \quad (4.17)$$

$$\begin{aligned}
 Rp_{23} = & STOP * \overline{p_{21}} * \overline{p_{22}} * \overline{p_{24}} + \\
 & +(semi_mode + STOP) * sq_1 * \overline{p_{21}} * p_{22} * \overline{p_{24}} + \\
 & +t_2 * p_{21} * \overline{p_{22}} * \overline{p_{24}} + \\
 & +sq_2 * \overline{p_{21}} * \overline{p_{22}} * p_{24} + ALL_RESET.
 \end{aligned}
 \tag{4.18}$$

Четвертий тригер:

$$\begin{aligned}
 Sp_{24} = & cycle_2 * rt_pres * rt_relay * sq_1 * \overline{p_{21}} * \overline{p_{22}} * p_{23} + \\
 & +sq_2 * p_{21} * p_{22} * p_{23};
 \end{aligned}
 \tag{4.19}$$

$$Rp_{24} = sq_4 * \overline{p_{21}} * p_{22} * p_{23} + sq_2 * p_{21} * \overline{p_{22}} * p_{23} + ALL_RESET.
 \tag{4.20}$$

Складаємо рівняння для електромагнітів:

$$em_1 = \overline{p_{21}} * p_{24} + p_{21} * p_{23}
 \tag{4.21}$$

$$em_2 = \overline{p_{22}} * p_{24} + p_{21} * p_{24} + p_{21} * p_{23} + p_{21} * p_{22} + p_{22} * p_{23} * \overline{p_{24}};
 \tag{4.22}$$

$$em_3 = \overline{p_{22}} * p_{23} * p_{24} + p_{21} * \overline{p_{22}} * p_{24} + p_{22} * p_{23} * \overline{p_{24}}.
 \tag{4.23}$$

Кількість станів, відповідно до циклограми, що зображена на рис. 2.3, чотирнадцять, але для реалізації напіваавтоматичного та автоматичного режимів в одному графопереходів, введемо додатковий стан очікування. Відповідно до цього будуємо таблицю станів (табл. 4.3).

Таблиця 4.3 – Стани схеми блоку силової головки для циклограми рис. 2.3

№ стану схеми графопере- ходів (код тригерів P21p22p23p24)	Назва стану	Вхідні сигнали, що перемикають стан	Вихідні сигнали схеми, що =1 у даному стані
1 (0000)	Вихідний стан	<u>Зі стану 15:</u> (Semi_mode+STOP)*sq_1 стану STOP	-
2 (0010)	Додатковий стан очікування для розділення автоматичного та напіваавтоматичного режимів	<u>Зі стану 1:</u> sq1*START* *(auto_mode+semi_mode) <u>Зі стану 15:</u> sq_1*auto_mode	-

№ стану схемин: графопере- ході (код тригерів P21p22p23p24)	Назва стану	Вхідні сигнали, щоперемикаю стан	Вихідні сигнали схеми,що =1 у даному стані
3 (0011)	Швидке підведення до SQ2	Зі стану 2: cycle_3*rt_pres*rt_relay_* *sq_	em_1 em_2 em_3
4 (0001)	Перша робоча подача д SQ3	Зі стану 3: sq_2	em_1 em_2
5 (0101)	Друга робоча подача до SQ4	Зі стану 4: sq_3	em_1
6 (1101)	Швидке відведення до SQ1	Зі стану 5: sq_4	em_2 em_3
7 (1001)	Швидке підведення д SQ2	Зі стану 6: sq_1	em_1 em_2 em_3
8 (1011)	Перша робоча подача д SQ3	Зі стану 7: sq_2	em_1 em_2
9 (1010)	Швидке відведення до SQ1	Зі стану 8: sq_3	em_2 em_3
10 (1000)	Швидке підведення до SQ2	Зі стану 9: sq_1	em_1 em_2 em_3
11 (1100)	Перша робоча подача д SQ3	Зі стану 10: sq_2	em_1 em_2
12 (1110)	Швидке підведення до SQ5	Зі стану 11: sq_3	em_1 em_2 em_3
13 (1111)	Перша робоча подача д SQ6	Зі стану 12: sq_5	em_1 em_2
14 (0111)	Робоча подача назад до SQ5	Зі стану 13: sq_6	em_2
15 (0110)	Швидке відведення до SQ1	Зі стану 14: sq_5	em_2 em_3

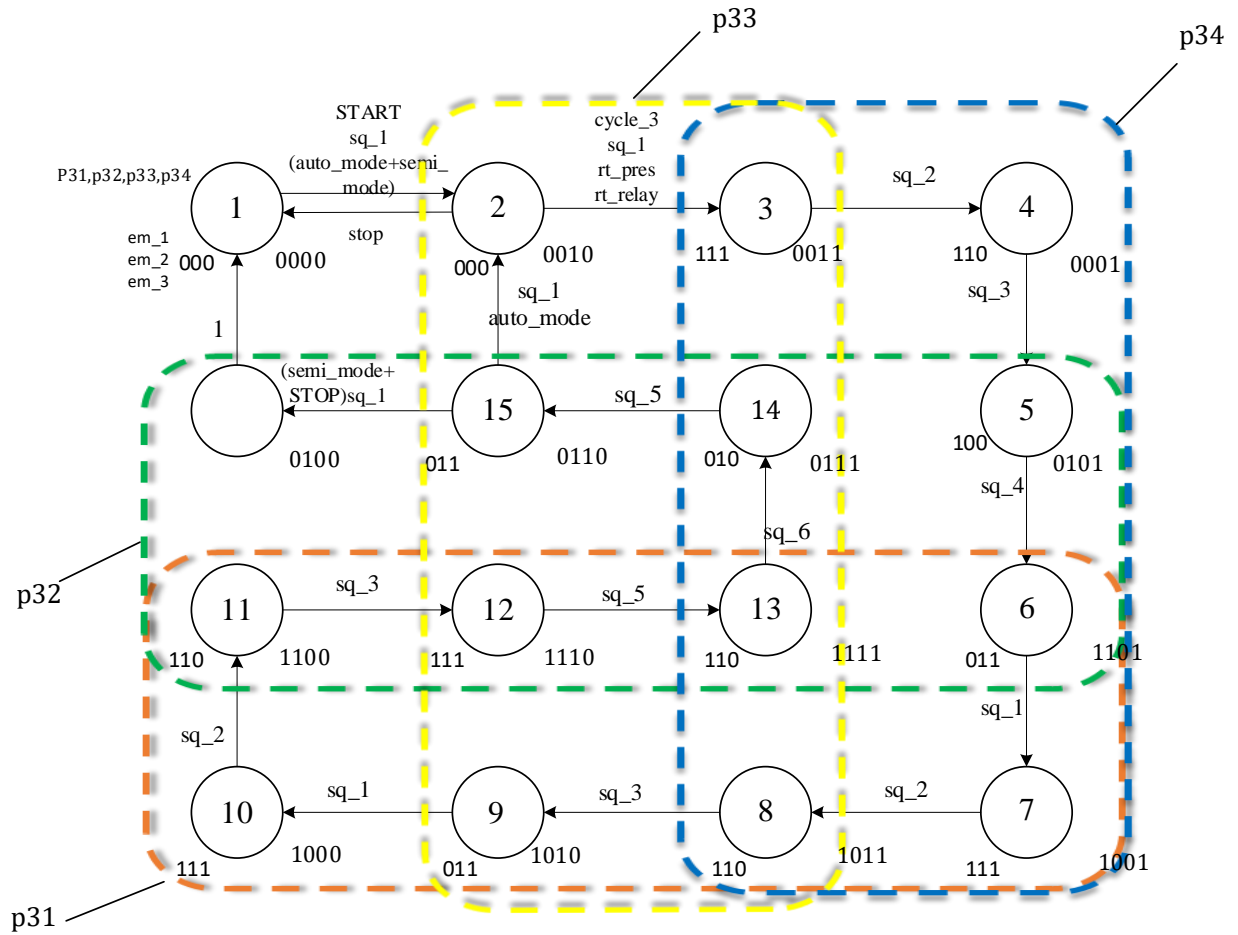


Рисунок 4.3 – Графоперехід для циклограми 3

Складаємо рівняння для встановлення та скидання тригерів:

Перший тригер:

$$Sp_{31} = sq_4 * p_{32} * \overline{p_{33}} * \overline{p_{34}}; \quad (4.24)$$

$$Rp_{31} = sq_6 * p_{32} * p_{33} * p_{34} + ALL_RESET. \quad (4.25)$$

Другий тригер:

$$Sp_{32} = sq_3 * \overline{p_{31}} * \overline{p_{33}} * \overline{p_{34}} + sq_2 * p_{31} * \overline{p_{33}} * \overline{p_{34}}; \quad (4.26)$$

$$Rp_{32} = 1 * \overline{p_{31}} * \overline{p_{33}} * \overline{p_{34}} + sq_1 * p_{31} * \overline{p_{33}} * \overline{p_{34}} + sq_1 * auto_mode * \overline{p_{31}} * \overline{p_{33}} * \overline{p_{34}} + ALL_RESET. \quad (4.27)$$

Третій тригер:

$$Sp_{33} = START * sq_1 * (auto_mode + semi_mode) * \overline{p_{31}} * \overline{p_{32}} * \overline{p_{34}} + sq_2 * p_{31} * \overline{p_{32}} * \overline{p_{34}} + sq_3 * p_{31} * p_{32} * \overline{p_{34}}; \quad (4.28)$$

$$Rp_{33} = STOP * \overline{p_{31}} * \overline{p_{32}} * \overline{p_{34}} + sq_2 * \overline{p_{31}} * \overline{p_{32}} * p_{34} + \\ + sq_1 * p_{31} * \overline{p_{32}} * \overline{p_{34}} + (semi_mode + STOP) sq_1 * \overline{p_{31}} * p_{32} * \overline{p_{34}} + (4.29) \\ + ALL_ESET.$$

Четвертий тригер:

$$Sp_{34} = cycle_3 * sq_1 * rt_pres * rt_relay * \overline{p_{31}} * \overline{p_{32}} * p_{33} + \\ + sq_5 * p_{31} * p_{32} * p_{33}; \quad (4.30)$$

$$Rp_{34} = sq_3 * p_{31} * \overline{p_{32}} * p_{33} + \\ + sq_5 * \overline{p_{31}} * p_{32} * p_{33} + ALL_RESET. \quad (4.31)$$

Складаємо рівняння для електромагнітів:

$$em_1 = p_{34} * \overline{p_{32}} + p_{34} * \overline{p_{33}} * \overline{p_{31}} + p_{31} * p_{32} * p_{33} + p_{31} * \overline{p_{33}} * \overline{p_{34}} \quad (4.32)$$

$$em_2 = p_{31} + p_{33} * p_{34} + p_{32} * p_{33}; \quad (4.33)$$

$$em_3 = p_{33} * p_{34} * \overline{p_{31}} * \overline{p_{32}} + p_{32} * p_{33} * \overline{p_{34}} + \\ + p_{31} * \overline{p_{32}} * \overline{p_{34}} + p_{31} * p_{34} * \overline{p_{33}}. \quad (4.34)$$

Будуємо таблицю станів для блоку керування поворотним столом (табл. 4.4).

Таблиця 4.4 – Стани схеми блоку поворотного стола

№ стану схеми на графопере- ході (код тригерів $p_{1m}p_{2m}p_{3m}$)	Назва стану	Вхідні сигнали, що перемикають стан	Вихідні сигнали схеми, що =1 у даному стані
1 (000)	Вихідний стан	<u>Зі стану 5:</u> (Semi_mode+STOP) <u>Зі стану 2:</u> STOP	-
2 (010)	Схема в стані перевірки наявності деталі і стартової позиції силової головки	<u>Зі стану 1:</u> sq1*START* (auto_mode+semi_mode) <u>Зі стану 5:</u> auto_mode	-
3 (011)	Працює двигун обертання стола M1	<u>Зі стану 2:</u> (rt_pres + rt_relay) * sq_1	M1

№ стану схеми на графопереході (код тригерів $p_{1m}p_{2m}p_{3m}$)	Назва стану	Вхідні сигнали, що перемикають стан	Вихідні сигнали схеми, що =1 у даному стані
4 (111)	Працює фіксації M2	Зі стану 3: $rt_m1 * rt_pres$	M2
5 (101)	Перевірка на роботу автоматичного режиму	Зі стану 4: rt_relay	-

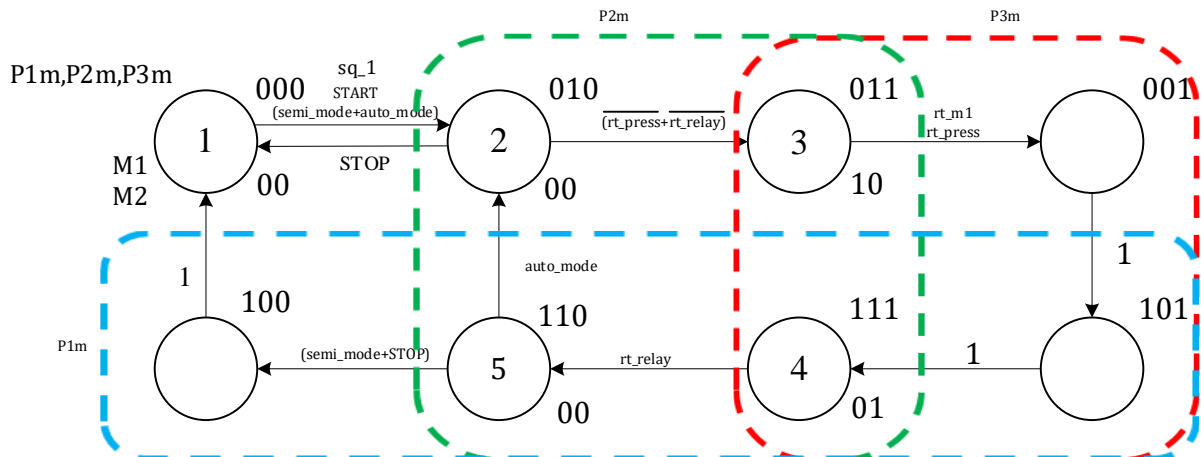


Рисунок 4.4 – Графоперехід для стола в (напів-) автоматичному режимах

Складаємо рівняння для умов встановлення та скидання тригерів:

Перший тригер:

$$Sp_{1m} = \overline{p_{2m}} * p_{3m}; \quad (4.35)$$

$$Rp_{1m} = auto_mode * p_{2m} * \overline{p_{3m}} + \overline{p_{2m}} * \overline{p_{3m}} + ALL_RESET. \quad (4.36)$$

Другий тригер:

$$Sp_{2m} = sq_1 * START * (semi_mode + auto_mode) * \overline{p_{1m}} * \overline{p_{3m}} + p_{1m} * p_{3m} \quad (4.37)$$

$$Rp_{2m} = STOP * \overline{p_{1m}} * \overline{p_{3m}} + (semi_mode + STOP) * p_{1m} * \overline{p_{3m}} + rt_m1 * rt_pres * \overline{p_{1m}} * p_{3m} + ALL_RESET. \quad (4.38)$$

Третій тригер:

$$Sp_{3m} = sq_1(\overline{rt_relay} + \overline{rt_pres}) * \overline{p_{1m}} * p_{2m}; \quad (4.39)$$

$$Rp_{3m} = rt_relay * p_{1m} * p_{2m} + ALL_RESET. \quad (4.40)$$

Складаємо рівняння для двигунів:

$$M_1 = \overline{p_{1m}} * p_{2m} * p_{3m}; \quad (4.41)$$

$$M_2 = \overline{p_{2m}} * p_{3m} + p_{1m} * p_{2m} * p_{3m}. \quad (4.42)$$

4.2 Синтез ручного режиму

В ручному режимі кожна дія силової головки керується окремою кнопкою тому рівняння вихідних сигналів електромагнітів можна скласти за табл. 4.5.

Таблиця 4.5 – Порядок ввімкнення електромагнітів для вхідних сигналів

Вхідні сигнали	Вихідні сигнали		
	em_1	em_2	em_3
fast_supply	1	1	1
feeding_1	1	1	0
feeding_2	1	0	0
feeding_back	0	1	0
fast_pullback	0	1	1

Взявши кон'юнкцію на сигнал ручного режиму manual_mode отримаємо рівняння для електромагнітів:

$$em_1 = (fast_supply + feeding_1 + feeding_1) * manual_mode; \quad (4.43)$$

$$em_2 = (fast_supply + feeding_1 + feeding_back + fast_pullback) * manual_mode; \quad (4.44)$$

$$em_3 = (fast_supply + fast_pullback) * manual_mode. \quad (4.45)$$

Рівняння для двигунів поворотного стола в ручному режимі:

$$M_1 = m_1 \cdot h; \quad (4.46)$$

$$M_2 = m_2 \cdot h. \quad (4.47)$$

Висновки по розділу 4

1. В даному розділі курсової роботи було розроблено таблиці станів, графопереходи, рівняння для RS-тригерів та для електромагнітів та двигунів у ручному та автоматичному, напів-автоматичному режимах.

2. Повний синтез для кожної циклограми та для стола дає змогу використовувати отримані рівняння в подальшому для практичного застосування в програмі Quartus. Підтвердити правильність синтезу в

програмі та подальшого застосування на практиці.

3. Наочно побудовані графопереходи дають можливість правильного синтезу для всіх циклограм та режимів роботи відповідно до завдання курсової роботи.

5 ВИБІР ТЕХНОЛОГІЧНОГО ОБЛАДНАННЯ

В курсовій роботі буде використане наступне електротехнічне обладнання.

1. ПЛІС Altera Cyclone II EP2C8Q208C8 – призначена для прийому та видачі керуючих сигналів на схеми керування промисловими механізмами. Розпіновка та опис пінів зазначені в табл. 5.1 і 5.2 відповідно.[7]
2. Програматор – призначений для перетворення сигналу що надходить від USB порту персонального комп'ютера в сигнал USB Blaster Altera – JTAG для ПЛІС (FPGA, CPLD).[8]
3. Мікросхема PS2802-4 (6 шт.) – оптрон призначений для керування реле слабкими сигналами від ПЛІС.[9] (Табл. 5.3).
4. Мікросхема ULN2004A – призначена для підвищення сигналу, який виходить із ПЛІС для керування реле.[10]
5. Проміжні реле Weidmüller RCI484R24 (5 шт.) – призначені для керування електромагнітними пускатками та котушками.[11] (Табл. 5.4).
6. Магнітний пускач Schneider Electric LP1K0910BD (2шт.) – призначений для керування двигуном поворотного стола.[12] (Табл. 5.5).
7. Реле максимального струму LT4706BA.[13] (Табл. 5.6).
8. Кінцевий вимикач ME8111 (6 шт.).[14] (Табл. 5.7).
9. Фотоелектричний лазерний датчик 42EF-D8JBA-A2 – датчик наявності деталі на робочій позиції.[15] (Таблиця 5.8).
10. Електромагнітна котушка Asarps 2W (3 шт.) – для управління силовою головкою.[16]
11. Трифазний мотор-редуктор IE2-132S-4 (2 шт.) – призначений для повороту стола. Номінальною потужністю 5.5 кВт.[17] (Таблиця 5.9).
12. Кнопки для керування станком LAY5-EA31АСКО A0140010185 (15 шт.) (Таблиця 5.10).
13. Сигнальні світлодіоди(10 шт.) – призначені для індикації роботи в певних режимах.[19]
14. Реле часу REV-120N (2 шт.)– для витримки на упорі силової головки[20] (Таблиця 5.11).

Загальний вигляд ПЛІС Altera Cyclone II EP2C8Q208C8 розроблено у середовищі Dip Trace з прив'язкою до корпусу QFP216P40_2600X2600X170L60X18N, показаний на рис. 5.1.

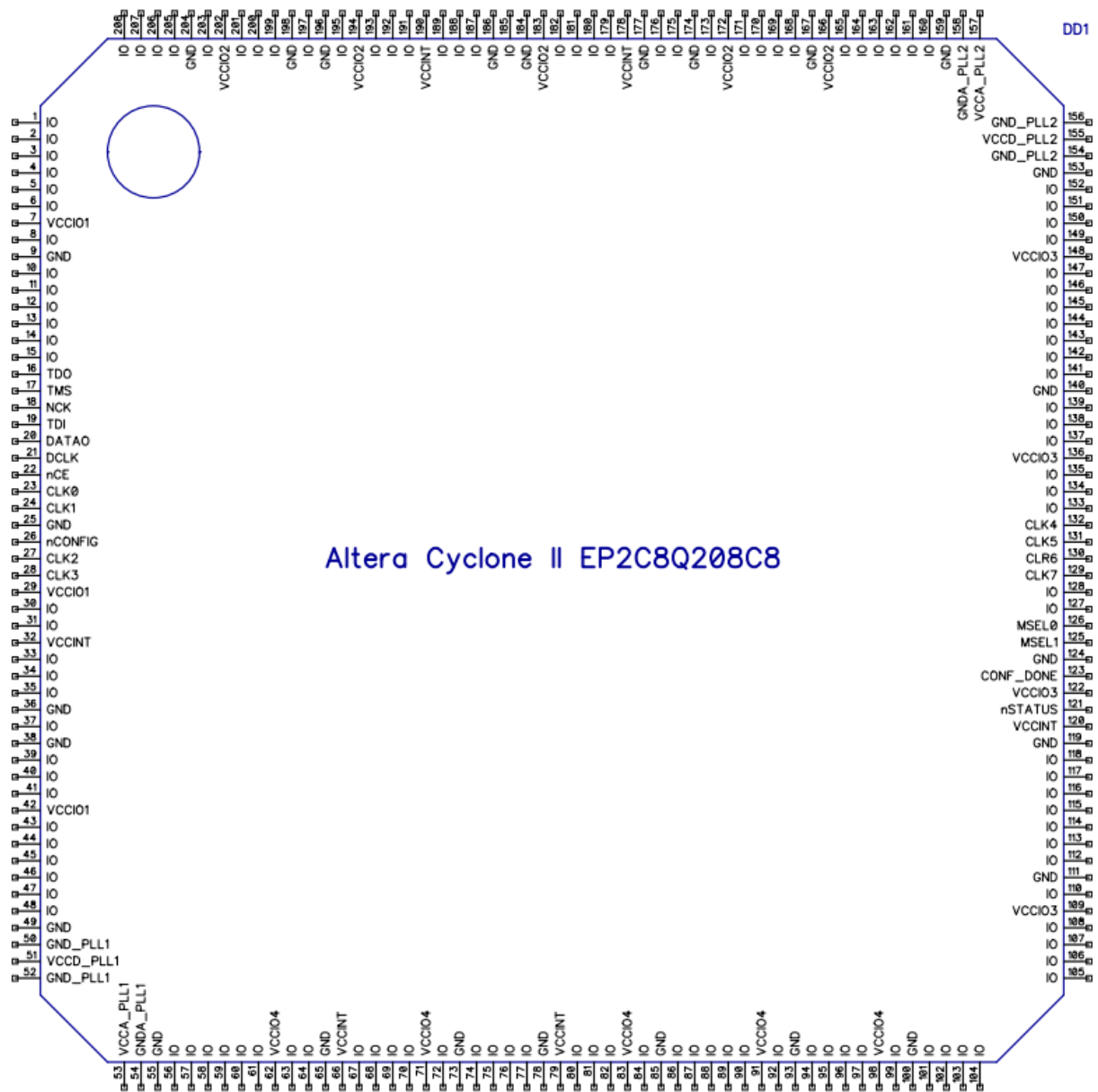


Рисунок 5.1 – Загальний вигляд ПЛІС Altera Cyclone II EP2C8Q208C8

Розпіновка ПЛІС Altera Cyclone II EP2C8Q208C8 [7] у відповідності з сигналами на функціональній схемі (рис. 3.1) показана у табл. 5.1. Опис типів пінів ПЛІС та вказівки їх підключення показані у табл. 5.2[22]

Таблиця 5.1 – Використовувані піни на платі

Номер IOBANK	Назва піна/ Функціонал	Номер піна	Назва сигналу	Номер IOBANK	Назва піна/ Функціонал	Номер піна	Назва сигналу
B1	VCCIO1	7		B3	IO	112	M1
B1	IO	8	START	B3	IO	113	M2
B1	GND	9		B3	IO	114	
B1	IO	10	STOP	B3	IO	115	
B1	IO	11	ALL_RESE T	B3	IO	116	
B1	IO	12	auto_mode	B3	IO	118	
B1	TDO	16		B3	VCCIO3	122	
B1	TMS	17		B3	GND	124	
B1	TCK	18		B3	IO	127	
B1	TDI	19		B3	IO	133	
B1	GND	25		B3	IO	135	
B1	VCCIO1	29		B3	VCCIO3	136	
B1	IO	33	semi_mode	B3	IO	137	
B1	IO	34	manual_mod e	B3	IO	138	
B1	IO	35	cycle_1	B3	IO	139	
B1	GND	38		B3	GND	140	
B1	IO	39	cycle_2	B3	IO	141	
B1	IO	40	cycle_3	B3	IO	142	
B1	IO	41	fast_supply	B3	IO	143	
B1	VCCIO1	42		B3	IO	144	
B1	GND	49		B3	IO	146	
B1	GND_PLL1	50		B3	IO	147	
B1	VCCD_PLL 1	51		B3	VCCIO3	148	
B1	GND_PLL1	52		B3	GND	153	
B4	VCCA_PLL 1	53		B3	GND_PLL2	154	
B4	GNDA_PLL 1	54		B3	VCCD_PLL 2	155	
B4	GND	55		B3	GND_PLL2	156	
B4	IO	57	feeding_1	B2	VCCA_PLL 2	157	
B4	IO	58	feeding_2	B2	GNDA_PLL 2	158	
B4	IO	59	feeding_bac k	B2	GND	159	
B4	IO	60	fast_pullbac k	B2	IO	161	
B4	IO	61	rotate_table	B2	IO	162	

1	2	3	4	5	6	7	8
B4	VCCIO4	62		B2	IO	163	
B4	GND	65		B2	IO	164	
B4	VCCINT	66		B2	IO	165	
B4	IO	68	sq_1	B2	VCCIO2	166	
B4	IO	69	sq_2	B2	GND	167	
B4	IO	70	sq_3	B2	IO	171	
B4	VCCIO4	71		B2	VCCIO2	172	
B4	IO	72	sq_4	B2	IO	173	
B4	GND	73		B2	GND	174	
B4	IO	74	sq_5	B2	IO	175	
B4	GND	78		B2	IO	176	
B4	VCCINT	79		B2	GND	177	
B4	VCCIO4	83		B2	VCCINT	178	
B4	IO	84	sq_6	B2	IO	179	
B4	GND	85		B2	VCCIO2	183	
B4	IO	86	rt_pres	B2	GND	184	
B4	IO	87	rt_relay	B2	IO	185	
B4	IO	88	rt_m1	B2	GND	186	
B4	IO	90	em_1	B2	IO	188	
B4	VCCIO4	91		B2	IO	189	
B4	IO	92	em_2	B2	VCCINT	190	
B4	GND	93		B2	IO	191	
B4	IO	96	em_3	B2	IO	193	
B4	IO	97	t_1	B2	VCCIO2	194	
B4	VCCIO4	98		B2	IO	195	
B4	IO	99	t_2	B2	GND	196	
B4	GND	100		B2	IO	201	
B4	IO	101		B2	VCCIO2	202	
B3	IO	106		B2	IO	203	
B3	VCCIO3	109		B2	GND	204	
B3	IO	110		B2	IO	205	
B3	GND	111		B2	IO	207	

Таблиця 5.2 – Опис типів пінів та вказівки їх підключення

Назва піна	Тип піна	Опис	Вказівки підключення
1	2	3	4
Стандартні піни та піни живлення			
VCCINT	Живлення	Це внутрішні логічні масиви напруги живлення. VCCINT також подає живлення на вхідні буфери, що використовуються для стандартів LVPECL, LVDS (звичайні штифти вводу / виводу та CLK), диференціальних HSTL та диференціальних стандартів вводу / виводу SSTL.	Підключіть усі піни VCCINT до 1,2 В. Розв'язка залежить від вимог до роз'єднання конструкції конкретної плати.
VCCIO[1..8]	Живлення	Це піни напруги вводу / виводу для банків від 1 до 8. Кожен банк може підтримувати різний рівень напруги. VCCIO подає живлення на вихідні буфери для всіх стандартів вводу / виводу.	Переконайтеся, що підключений рівень напруги VCCIO відповідає звіту .pin із програмного забезпечення Quartus® II. Розв'язка залежить від вимог, пов'язаних з конструктивною розв'язкою конкретної плати.
GND	Заземлення	Піни заземлення.	Підключіть усі піни GND до площини GND плати.
VREFB[1..8]N[0..3]	I/O	Вхідна опорна напруга для кожного банку вводу / виводу. Якщо банк використовує стандарт вводу / виводу, орієнтований на напругу, ці штифти використовуються як накопичувачі напруги для банку.	Якщо в банку не використовуються стандарти вводу / виводу, пов'язані з напругою, піни VREF доступні як шпильки користувачів вводу / виводу. Розв'язка залежить від вимог, пов'язаних з конструктивною розв'язкою конкретної плати.
VCCA_PLL[1..4]	Живлення	Аналогове живлення для PLL.	Підключіть ці піни до 1,2 В, навіть якщо PLL не використовується. Використовуйте ізольований лінійний запас для кращої швидкості колювання. Ви можете підключити всі піни VCCA_PLL до одного лінійного живлення, щоб мінімізувати витрати. Потужність на PLL повинна бути відключена. Розв'язка залежить від вимог, пов'язаних з конструктивною розв'язкою конкретної плати.
VCCD_PLL[1..4]	Живлення	Цифрове живлення для PLLs.	Підключіть ці піни до найбільш низького цифрового живлення на платі (1,2 В), яке також постачається до VCCINT, навіть якщо PLL не використовується. Потужність на PLL повинна бути відключена. Розв'язка залежить від вимог, пов'язаних з конструктивною розв'язкою конкретної плати.
GND_A_PLL[1..4]	Заземлення	Аналогове заземлення для PLLs.	Підключіть ці піни безпосередньо до тієї ж площини заземлення, що і цифровий заземлення пристрою, навіть якщо PLL не використовується.
GND_PLL[1..4]	Заземлення	Заземлення PLLs.	Підключіть ці піни до площини GND на платі.
Піни JTAG			
TCK	Вхід	Виділений вхідний пін JTAG для годинника.	Підключіть цей пін до GND через резистор 1-кОм. Якщо схема JTAG не використовується, підключіть TCK до GND.
TMS	Вхід	Виділений вхідний пін JTAG, який забезпечує керуючий сигнал для визначення переходів станів машини контролера TAP.	Підключіть цей пін до резистора 1-кОм через VCCIO BANK, в якому він перебуває. Якщо схема JTAG не використовується, підключіть TMS до VCCIO.
TDI	Вхід	Виділений тестовий пін JTAG для вказівки, тесту даних та програмування.	Підключіть цей пін до резистора 1-кОм через VCCIO BANK, в якій він перебуває. Якщо схема JTAG не використовується, підключіть TDI до VCCIO.
TDO	Вихід	Виділений контактний вихід даних JTAG для вказівок, тестування та програмування даних.	Якщо він не знаходиться в режимі JTAG, цей пін повинен залишатися без з'єднання.

Таблиця 5.3 – Характеристики мікросхеми PS2802-4

Параметр		Значення
Діод	Прямий струм (DC)	50 mA
	Зворотний струм	6 V
	Пік прямого струму	1 A
Транзистор	Колектор до емітера напруга	80 V
	Емітер до колектора напруга	0,3 V
	Колекторний струм	50 mA/ch
Напруга ізоляції		2500 Vr.m.s.
Робоча температура навколишнього середовища		-55.. +100 °C

Таблиця 5.4 – Характеристики проміжного реле Weidmüller RCI484R24

Параметр		Значення
Вхід		
Номінальна напруга управління		24 V AC
Потужність		0.75 VA
Опір котушки		350 Ω ± 10 %
Індикатор стану		red LED
Вихід		
Номінальна напруга комутації		240 V AC
Безперервний струм		0.5 A
Ємність перемикавання змінного струму		2000 VA
Затримка включення		≤ 10 ms
Макс. комутаційна напруга		400 V

Таблиця 5.5 – Характеристики контактора Schneider Electric LP1K0910BD

Параметр	Значення
Продукт або тип компонента	Контактор
Застосування контакторів	Управління двигуном Резистивне навантаження
Номінальна робоча напруга	690 V
Номінальний робочий струм	10 A
Номінальна напруга котушок	220 V, AC

Таблиця 5.6 – Характеристики реле максимального струму LT4706BS

Параметр	Значення
Продукт або тип компонента	Електронне реле струму
Застосування реле	Блокування ротора, механічне заклинювання Установка Перевантаження Чутливість до фазової недостатності

Параметр	Значення
Номінальна напруга живлення	24 V AC 24 V DC
Номінальна напруга ізоляції	600 V AC

Таблиця 5.7 – Характеристики кінцевого вимикача ME8111

Параметр	Значення
Робоча швидкість	від 0,5 мм до 50 м / сек
Частота операцій	Механічно: 120 операцій / хв. Електрично: 30 операцій / хв.
Тривалість служби	Механічно: 10 000 000 операцій Електрично: 300 000 операцій
Ступінь захисту	IEC 529 класу IP65

Таблиця 5.8 – Характеристики лазерного датчика 42EF-D8JBA-A2

Параметр	Значення
Режим зондування	Поляризований світловідбиваючий
Робоча напруга	24V AC \pm 10%
Джерело світла	Видимий червоний
Відстань зондування	0.025...3 m
Вихідна функція	Світло працює

Таблиця 5.9 – Характеристики мотор-редуктора IE2-132S-4

Параметр	Значення
Асинхронний двигун 380V 50Hz 1500r/min (3 фази)	
Потужність	5.5 kw
Номінальний струм	14.7 A
Номінальна швидкість	1440 r/min
Ефективність	88.7 %

Таблиця 5.10 – Характеристики кнопки управління

Параметр	Значення
Робоча частота	50 Гц
Робоча напруга	AC380 / DC110
Діапазон робочих температур	-5 ... + 55
Ступінь захисту	IEC 529 класу IP40
Тривалість роботи	Електронно 100000 Механічно 1000000

Таблиця 5.11 – Характеристики Реле часу REV-120N

Параметр	Значення
Продукт або тип компонента	Електронне реле часу
Застосування реле	Витримка поворотної головки на упорі
Номінальна напруга живлення	20 - 265 V AC 20 - 75 V DC
Номінальна напруга ізоляції	450 V AC

Таблиця 5.12 – Характеристики мікросхеми TXS0108E.

Параметр	Значення
Напруга живлення низького рівня	1.2V - 3.3V (VCCA)
Напруга живлення високого рівня	1.65V - 5.5V (VCCB)

Висновки до розділу 5

1. В даному розділі курсової роботи було описано та вибрано технологічне обладнання, що буде використане в даній роботі. Побудовано ПЛІС в програмі Dip Trace.

2. Цей пункт курсової дає змогу чітко зрозуміти об'єм та вартість застосування даної курсової на практиці. Наочно побудована ПЛІС та повний опис її пінів дає змогу легко їх знайти та використати для певного сигналу.

3. Повний розбір та чіткий вибір обладнання для подальшого використання дає змогу легко реалізувати дану курсову роботу на практиці.

6 РОЗРОБКА ПРОГРАМИ ДЛЯ ПЛІС У СЕРЕДОВИЩІ QUARTUS II НА MOBI FBD

У проєкті використовується плата Altera Cyclone II EP2C8Q208C8, як показано на рис. 6.1

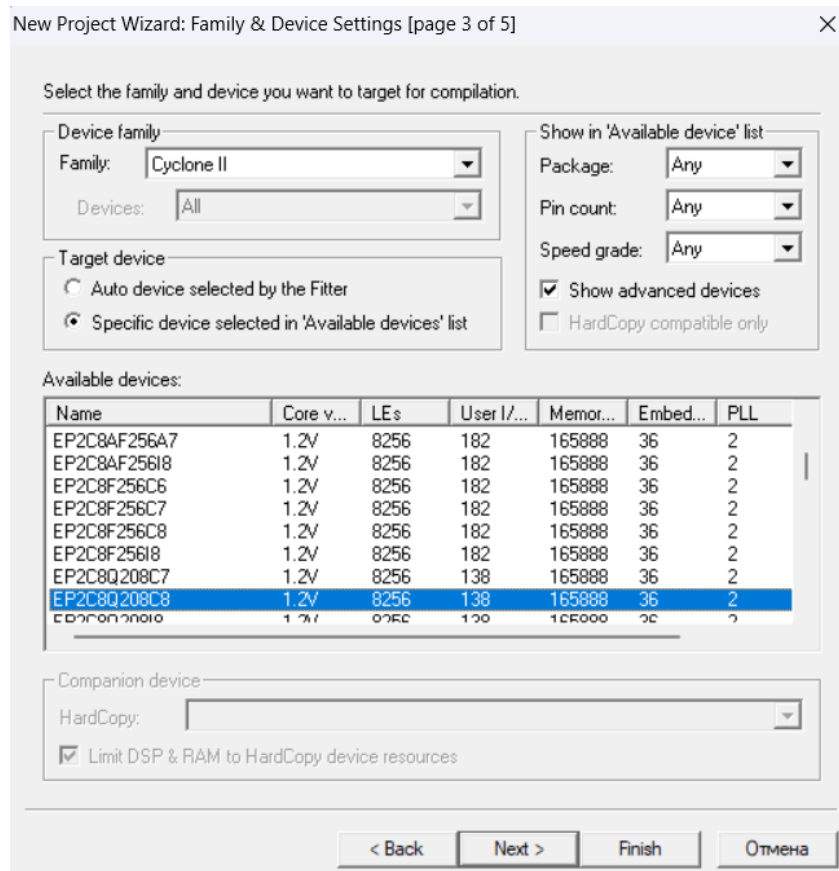


Рисунок 6.1 – Менеджер створення проєкту. Вибір плати

Створимо блок RS-тригера. Схема RS-тригера та її схематичний блок показані на рис. 6.2.

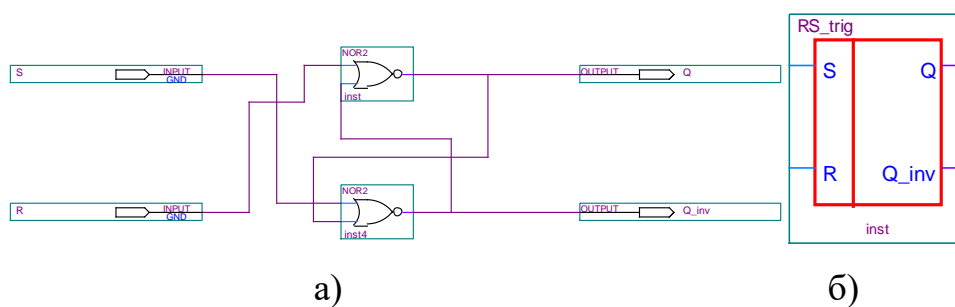


Рисунок 6.2 – Схема RS-тригера (а) та схематичний блок (б)

Далі по рівнянням графопереходів з пункту 4 складаємо схеми. На рис. 6.3 та рис. 6.4 зображені схеми керування силовою головкою та столом у ручному режимі.

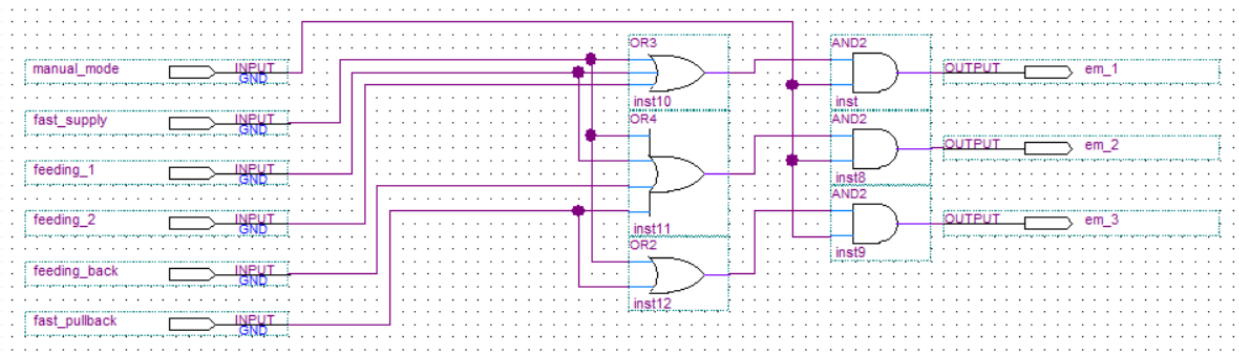


Рисунок 6.3 – Схема керування силовою головкою в ручному режимі

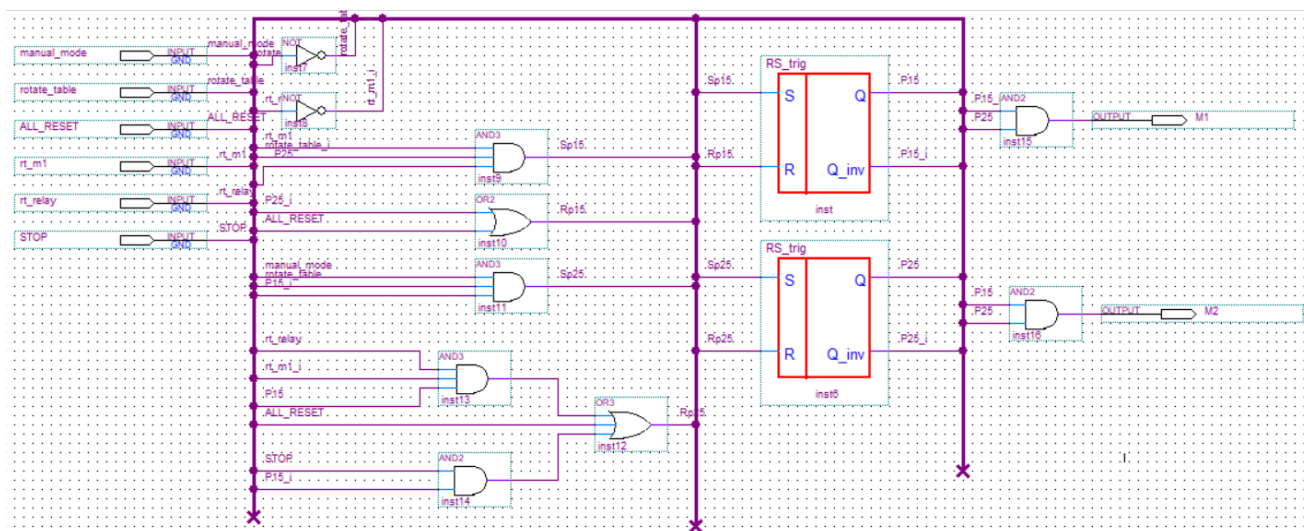


Рисунок 6.4 – Схема керування столом в ручному режимі

На рис. 6.5 – 6.8 зображені схеми керування силовою головкою по кожній циклограмі і столом в автоматичному та напіваавтоматичному режимах.

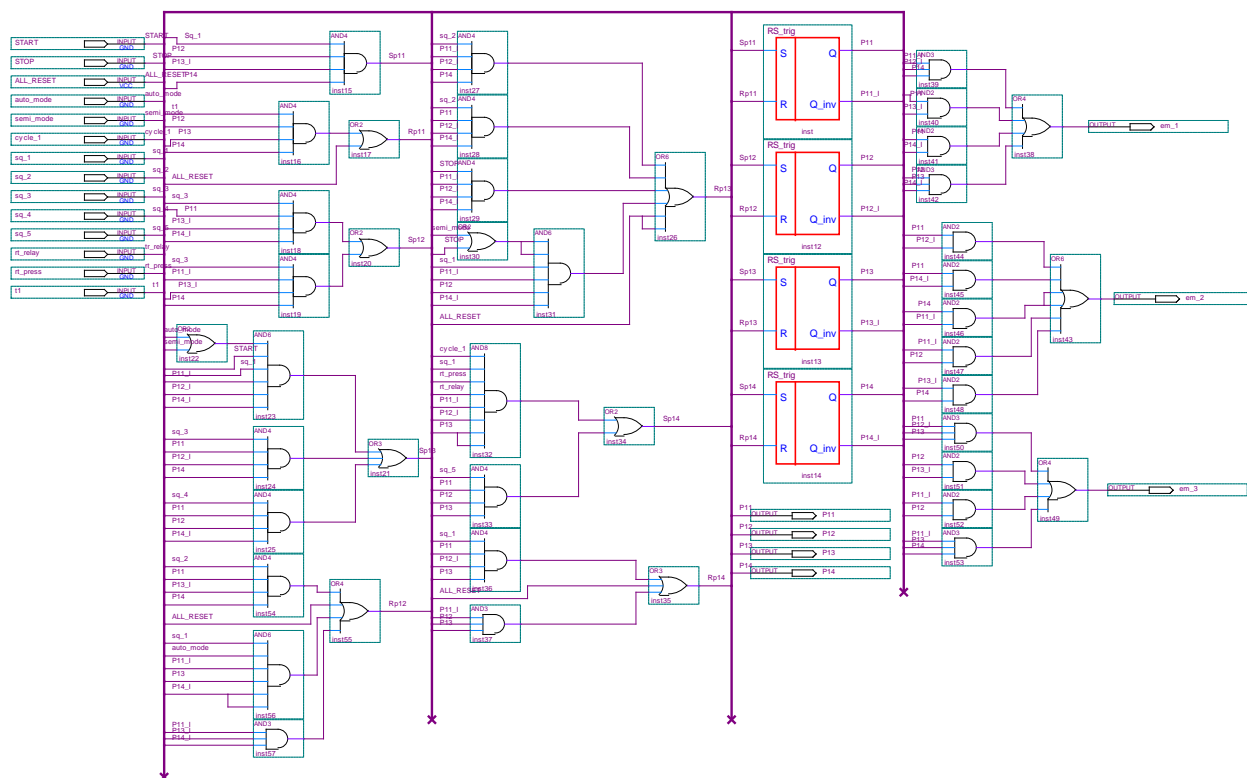


Рисунок 6.5 – Схема керування силовою головкою в автоматичному та напівавтоматичному режимі по циклограмі 1

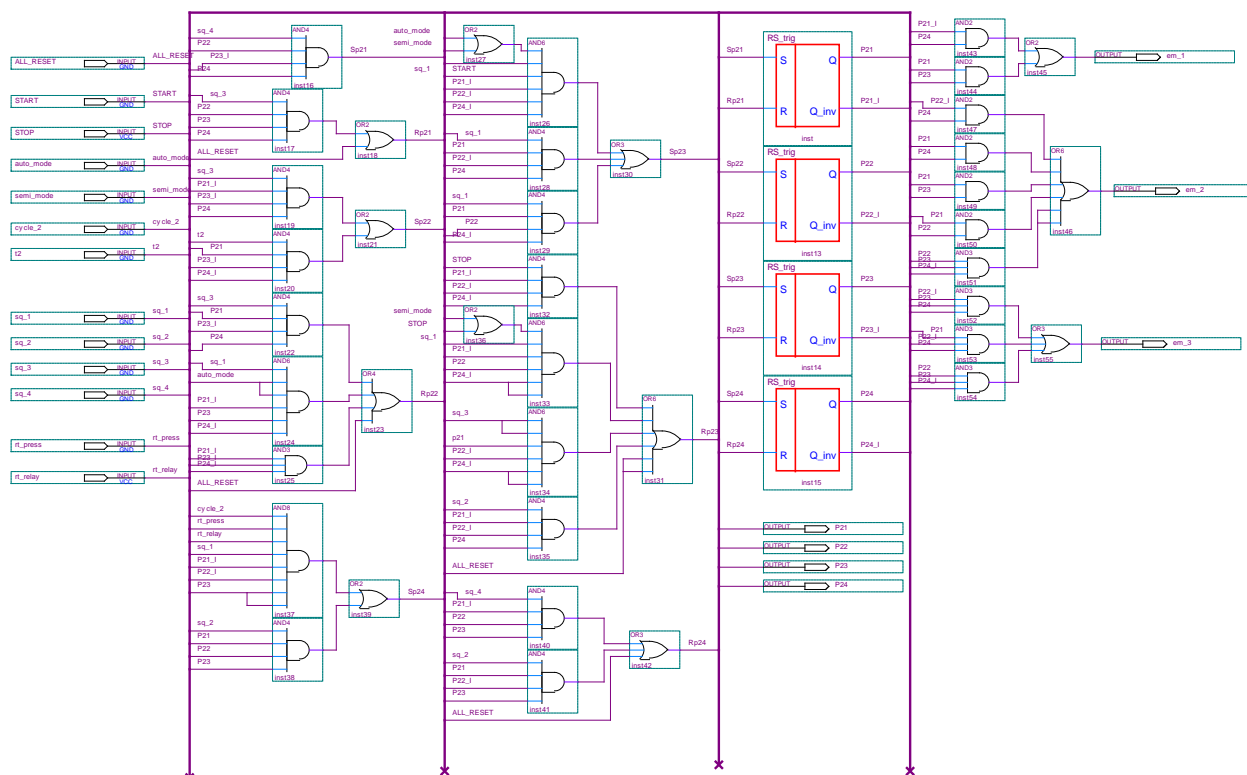


Рисунок 6.6 – Схема керування силовою головкою в автоматичному та напівавтоматичному режимі по циклограмі 2

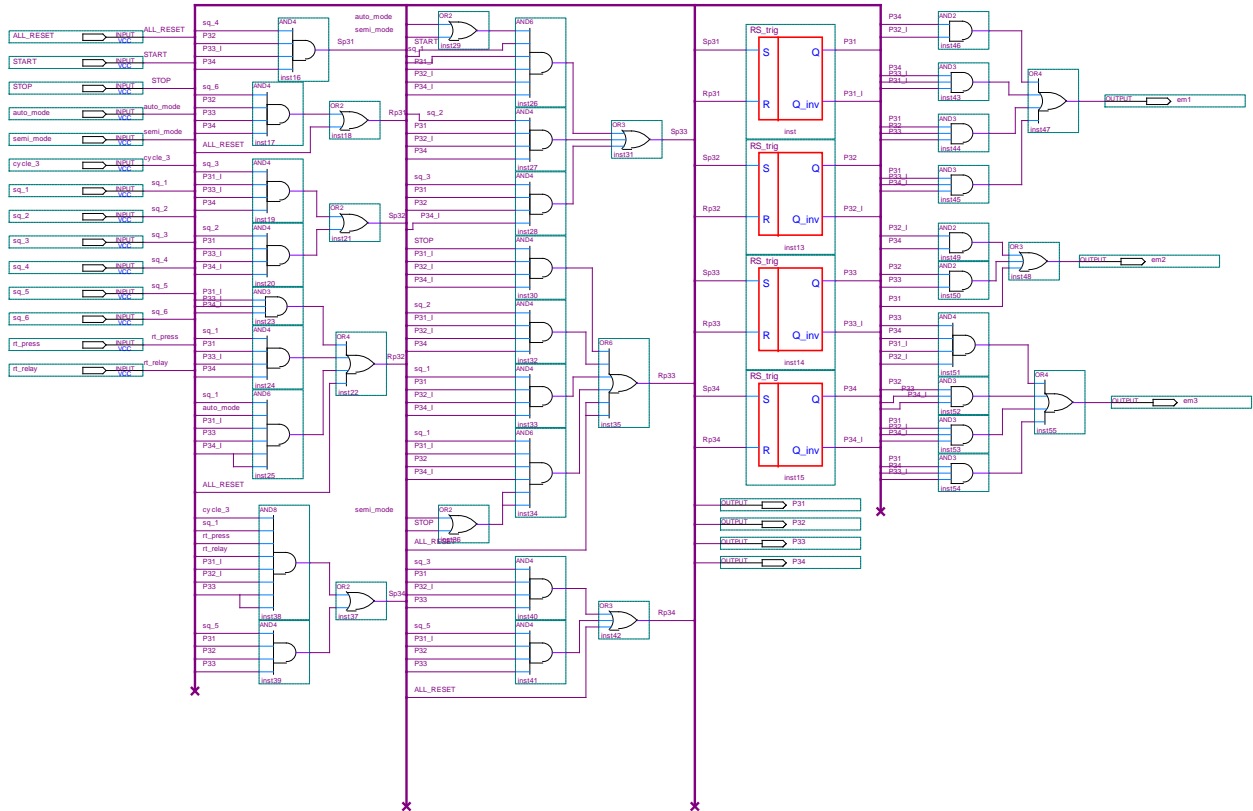


Рисунок 6.7 – Схема керування силовою головкою в автоматичному та напівавтоматичному режимі по циклограмі 3

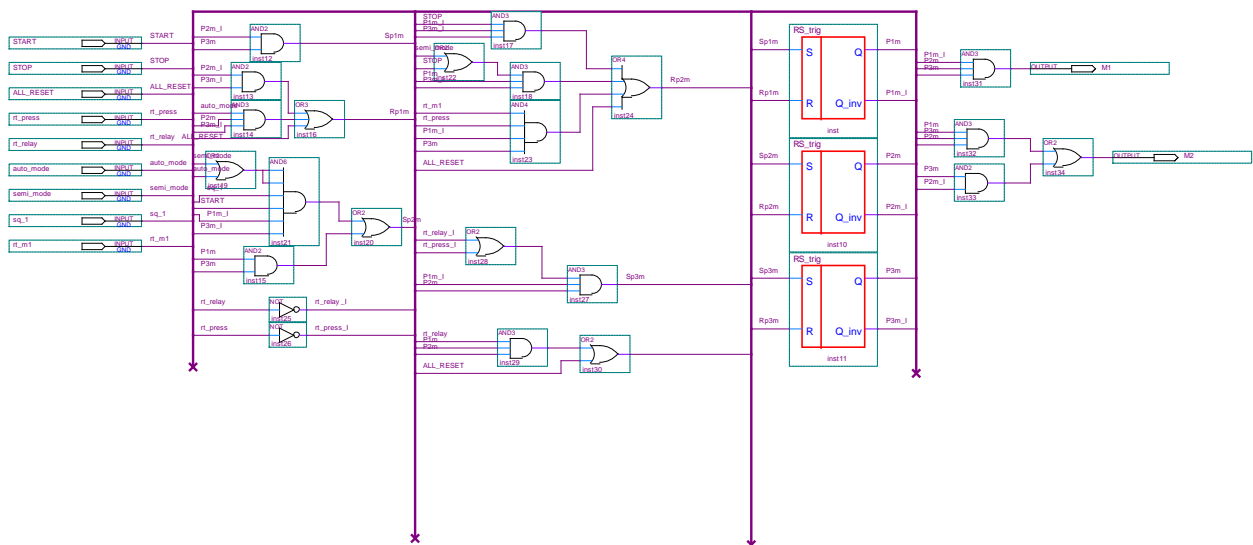


Рисунок 6.8 – Схема керування столом в автоматичному та напівавтоматичному режимі

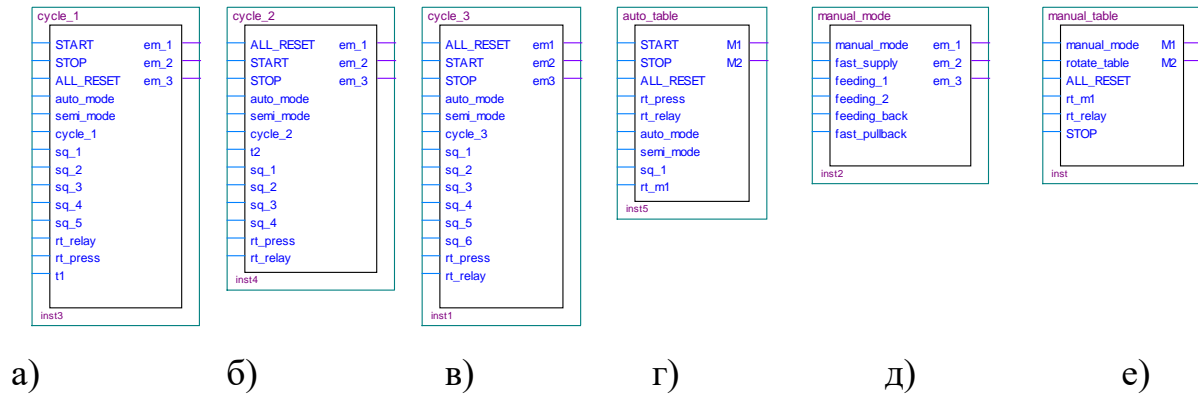


Рисунок 6.9 – Схематичні блоки до схем циклограм 1, 2, 3 (а, б, в), схеми керування столом (г) та ручних режимів (д, е)

Основна схема зображена на рис. 6.10. У наступному пункті по цій схемі складаються часові діаграми для перевірки і демонстрації роботи системи автоматичного керування.

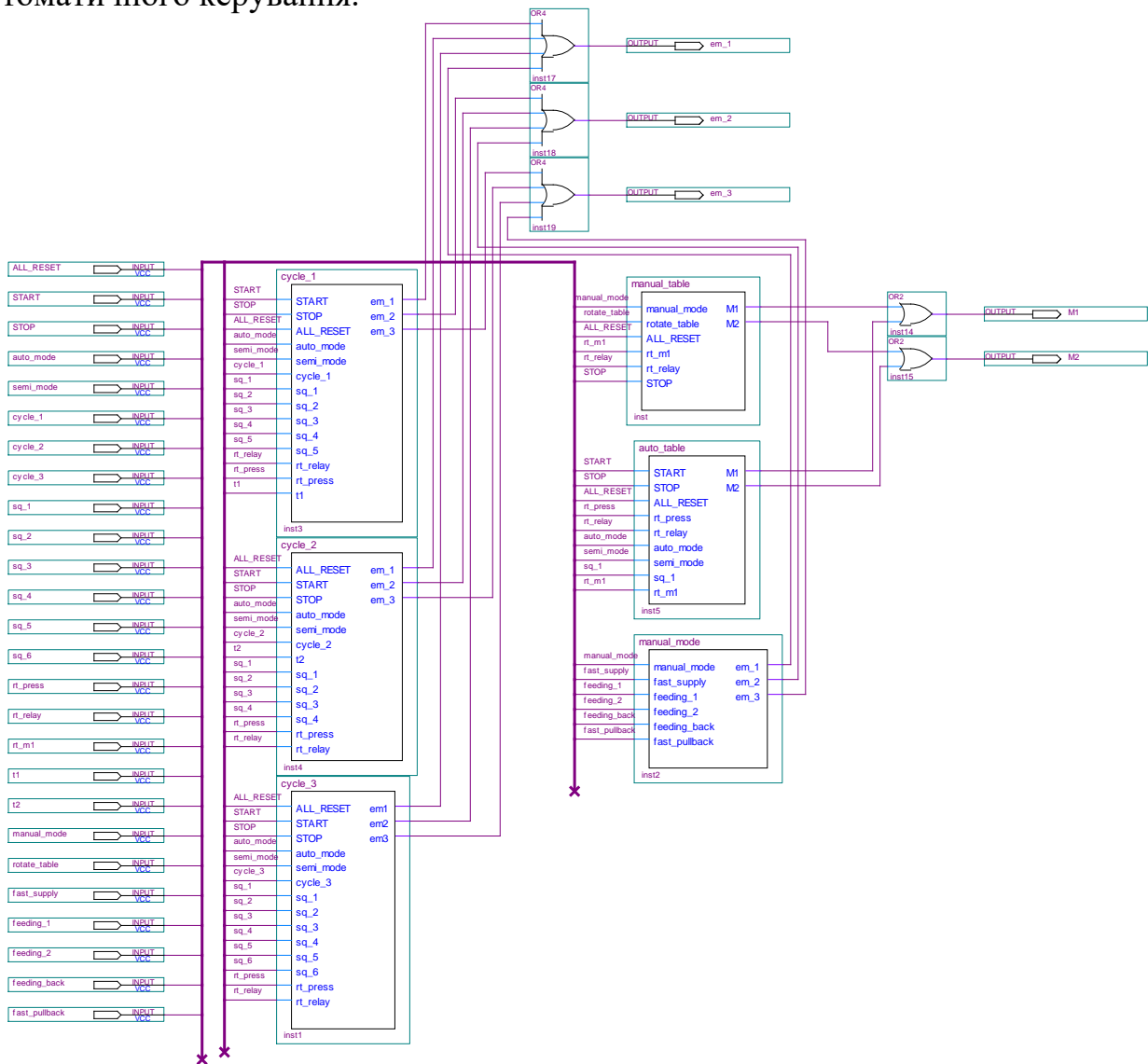


Рисунок 6.10 – Загальна схема керування

Висновки по розділу 6

1. В даному розділі курсової роботи було складено в програмі Quartus II кожний елемент загальної схеми відповідно до записаних в п.4 рівнянь для тригерів та потім з цих елементів побудована вся схема, яка була показана у п.3.

2. Цей пункт курсової дає основу для подальшого моделювання схеми в програмі та за наявності усунути недоліки роботи складеної схеми чи рівнянь.

3. Повна побудова кожного елементу схеми дає змогу легко розуміти структуру та принцип роботи кожного елементу та загальної схеми в цілому.

7 ВІЗУАЛІЗАЦІЯ РОБОТИ ПРОГРАМИ В СЕРЕДОВИЩІ QUARTUS II

На рис. 7.1-7.3 показана часова діаграма роботи системи в автоматичному режимі для кожної циклограми. На початку роботи усі тригери скидаються сигналом ALL_RESET для коректної роботи. Далі кнопкою START стіл повертається після чого силова головка починає обробляти деталь. Автоматична обробка зупиняється кнопкою STOP або перемиканням на інший режим.

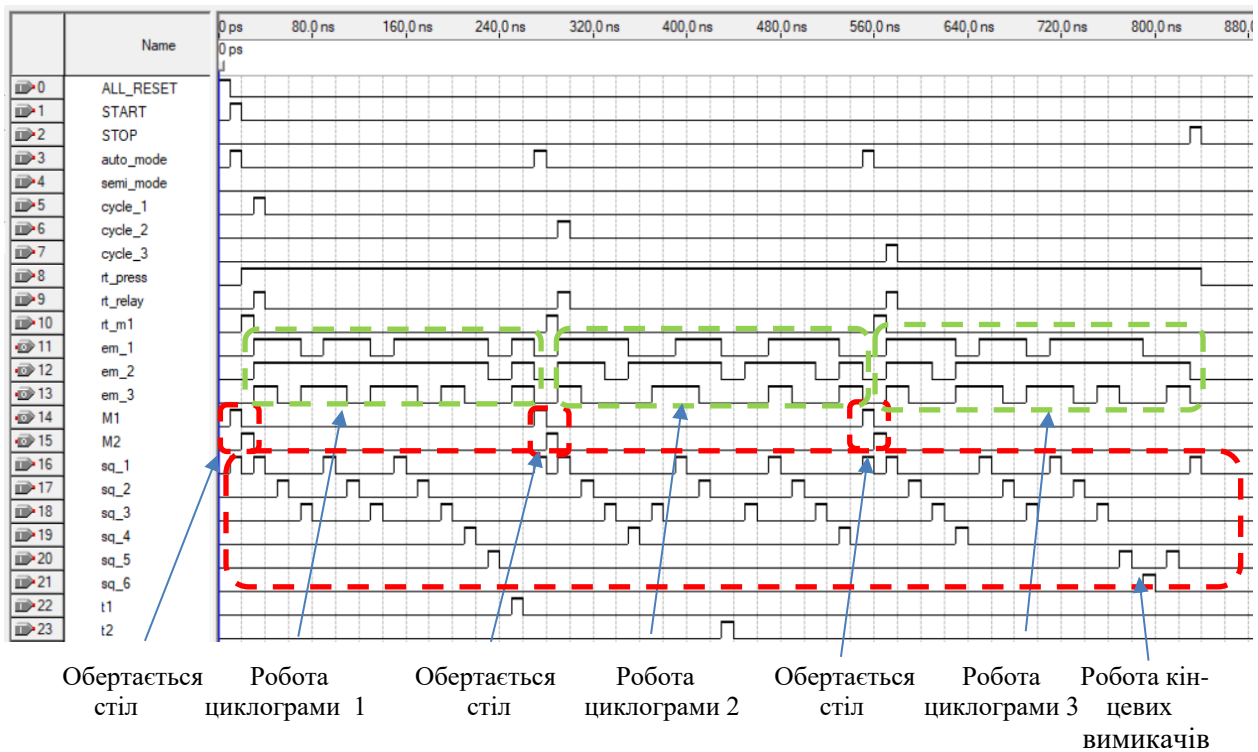


Рисунок 7.1 – Часова діаграма системи в автоматичному режимі

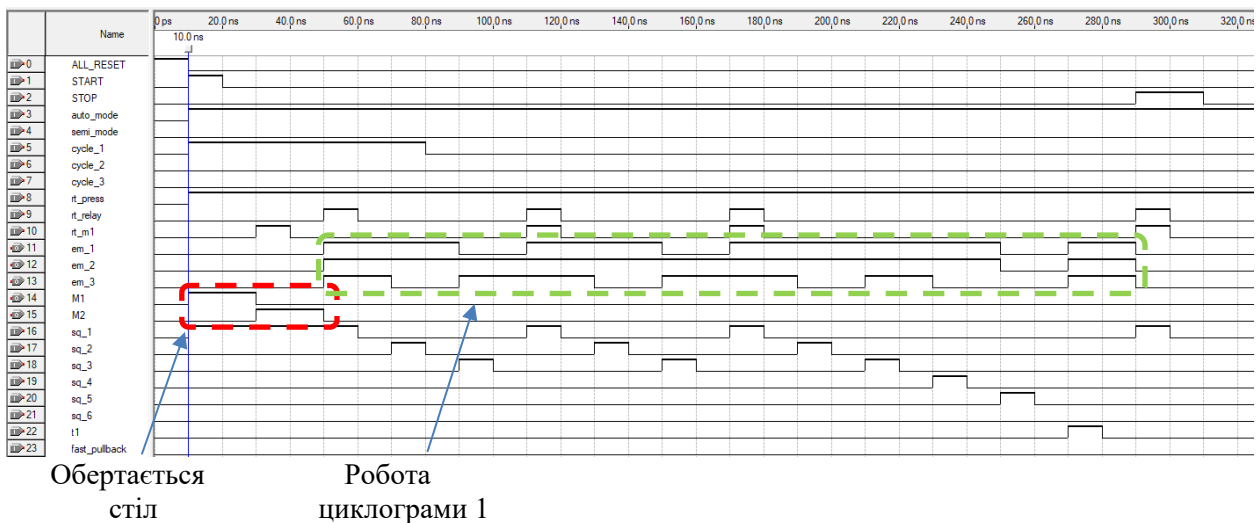
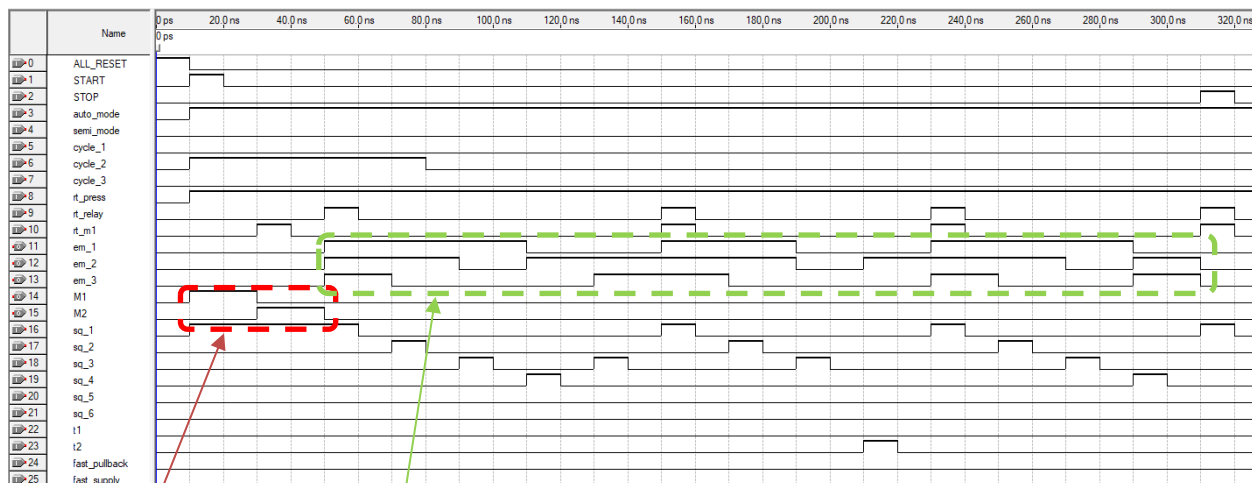


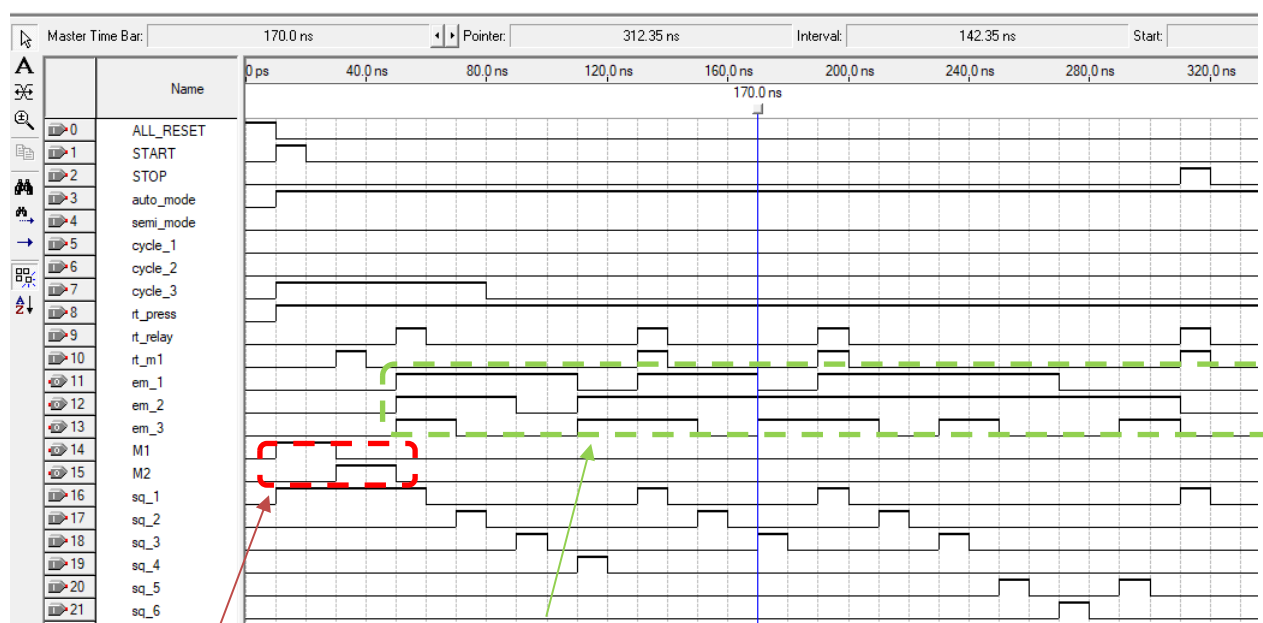
Рисунок 7.2 – Часова діаграма системи в напіваавтоматичному режимі(циклограма 1)



Обертається
стіл

Робота
циклограми 2

Рисунок 7.3 – Часова діаграма системи в напівавтоматичному режимі (циклограма 2)



Обертається
стіл

Робота
циклограми 2

Рисунок 7.4 – Часова діаграма системи в напівавтоматичному режимі (циклограма 3)

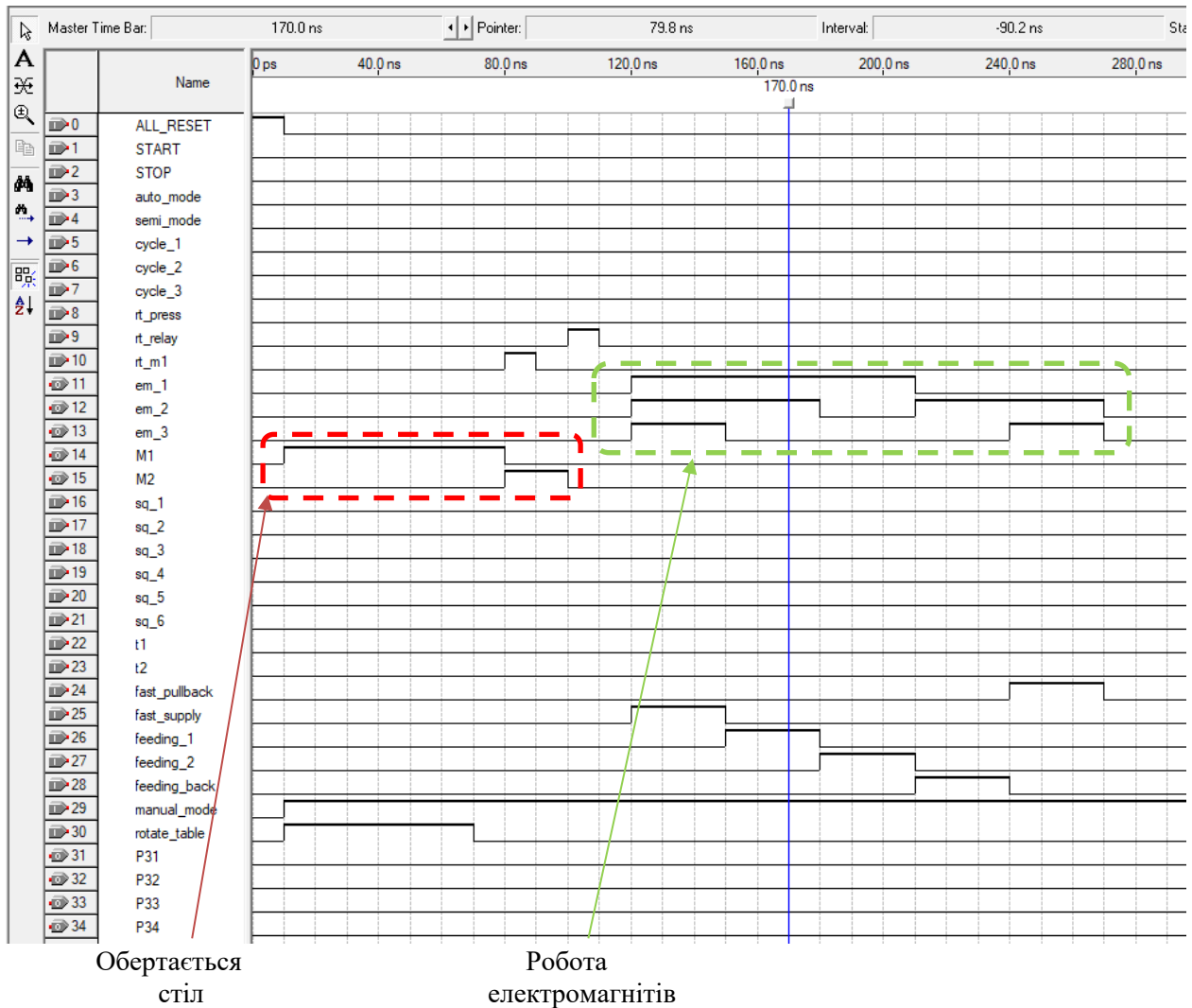


Рисунок 7.5 – Часова діаграма системи в ручному режимі

Висновки по розділу 7

1. В даному розділі курсової роботи було складено в програмі Quartus II часові діаграми для кожної з заданих в завданні циклограм та симулювалась їх робота в ручному та автоматичному режимах.
2. Цей пункт курсової дає основу для подальшого втілення проекту в життя та повне розуміння роботи схеми в різних режимах та з різними вхідними сигналами.
3. Повна побудова часових діаграм для кожної циклограми дає змогу легко розуміти структуру та принцип її роботи, що дає змогу легко вносити певні корективи та з легкістю втілити цю програму на робочий верстат.

8 РОЗРАХУНОК БЛОКІВ ЖИВЛЕННЯ

В даній курсовій роботі, враховуючи вибрані елементи, необхідно розрахувати блоки живлення (БЖ) на відповідні напруги, які живлять обладнання:

- на 1,2 В постійної напруги: для живлення внутрішніх макрокомірок ПЛІС;
- на 3,3 В постійної напруги: для живлення вхідних сигналів та банків ПЛІС;
- на 5 В постійної напруги: для живлення діодів сигналізації;
- на 24 В постійної напруги: для живлення реле.

Існує дві категорії блоків живлення: трансформаторні і безтрансформаторні. В даній курсовій роботі використовуємо трансформаторні блоки живлення тому, що вони досить прості у виготовленні і мають низький рівень електромагнітних випромінювань і, відповідно, перешкод. Істотним недоліком є значна маса і габарити, викликані наявністю трансформатора.

Головним завданням блоку живлення є зниження величини напруги до прийнятного рівня, а також перетворення (випрямлення) із змінного в постійний. Крім того, рівень вихідної напруги повинен залишатися постійним незалежно від коливань вхідної напруги на первинній обмотці трансформатора. Тобто, окрім перетворення, БЖ повинен забезпечувати стабілізацію напруги.

Загалом структура блоку живлення складається з трансформатора, випрямляча, фільтра і стабілізатора (рис. 8.1).

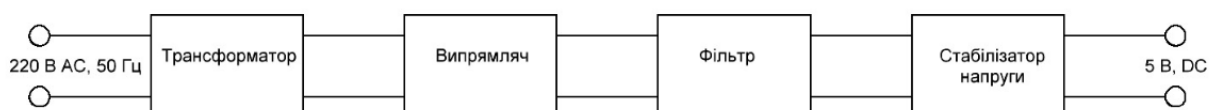


Рисунок 8.1 – Загальна структура блоку живлення

Окрім основних вузлів, ще використовується ряд допоміжних, наприклад: індикаторні світлодіоди, які сигналізують про наявність напруги. Якщо в БЖ передбачене регулювання напруги, то можлива наявність вольтметра.

Схема в класичному виконанні включає: мережевий трансформатор, діодний міст, конденсаторний фільтр, стабілізатор і світлодіод. Останній виконує роль індикатора і підключається через струмообмежуючий резистор. Загальна схема блоків живлення на 24, 5, 3.3 і 1.2 В показана на рис. 8.2; 8.3; 8.4; 8.5. відповідно

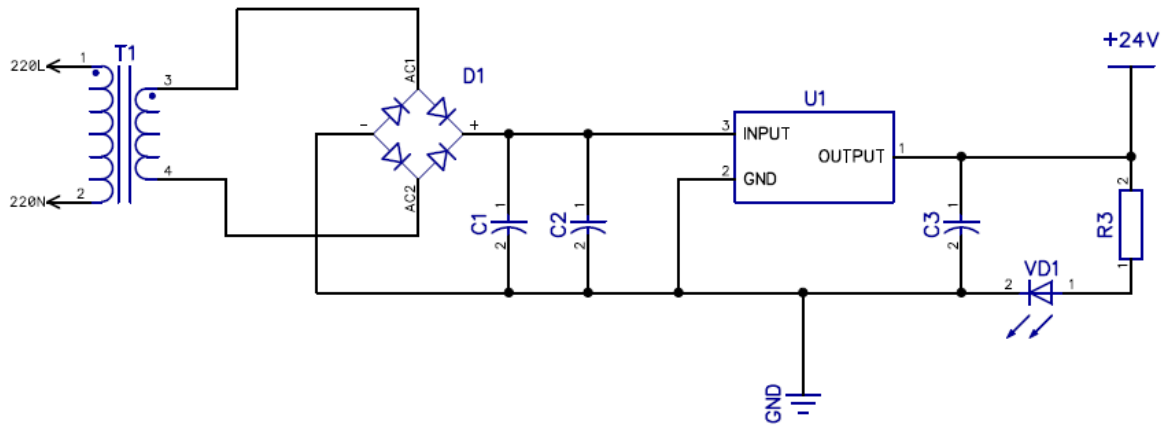


Рисунок 8.2 – Блок живлення на 24В

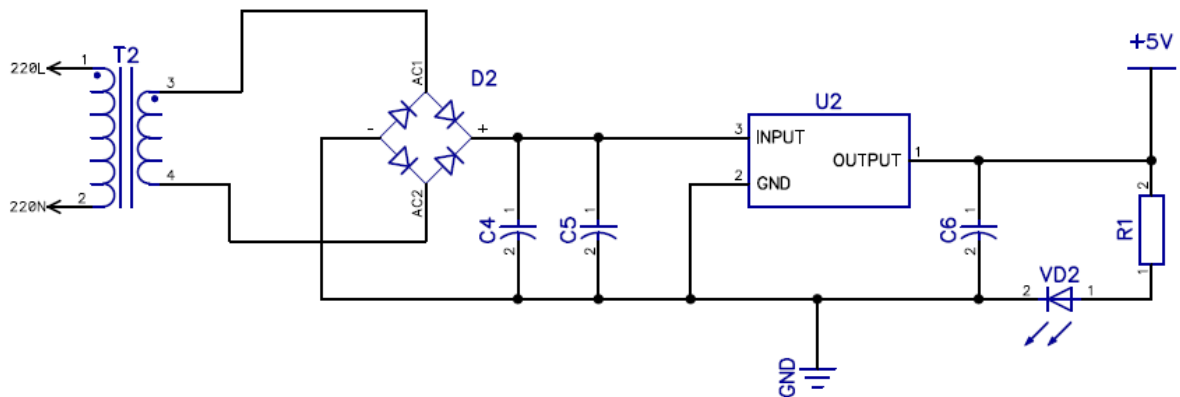


Рисунок 8.3 – Блок живлення на 5В

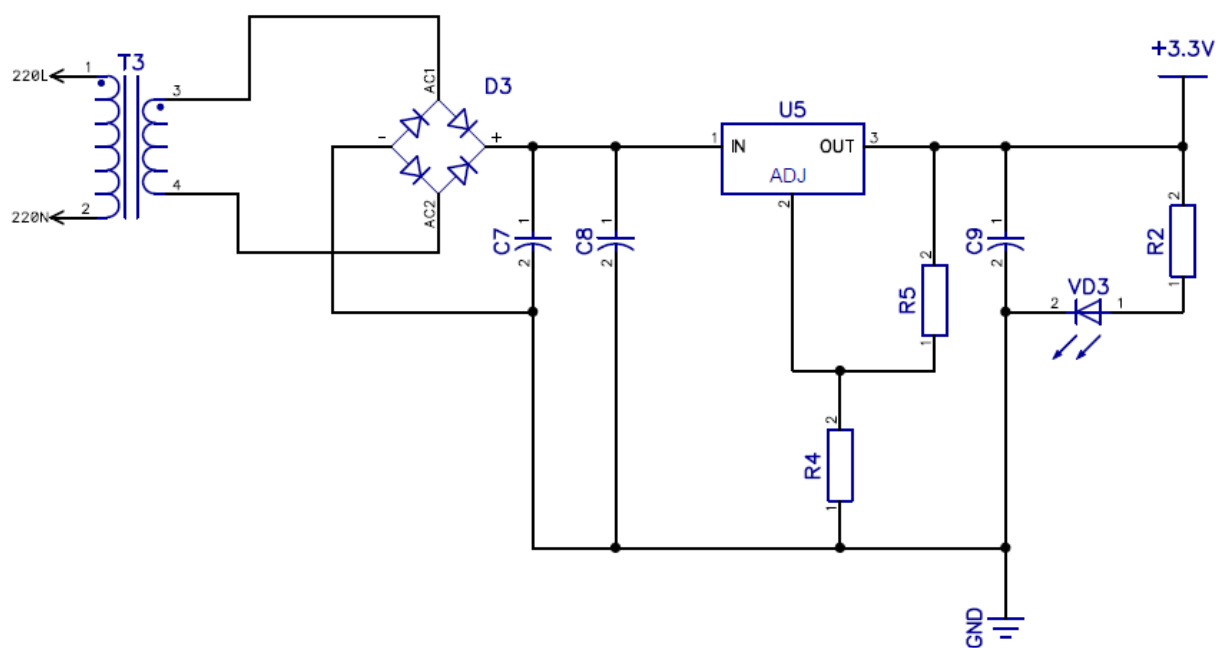


Рисунок 8.4 – Блок живлення на 3.3В

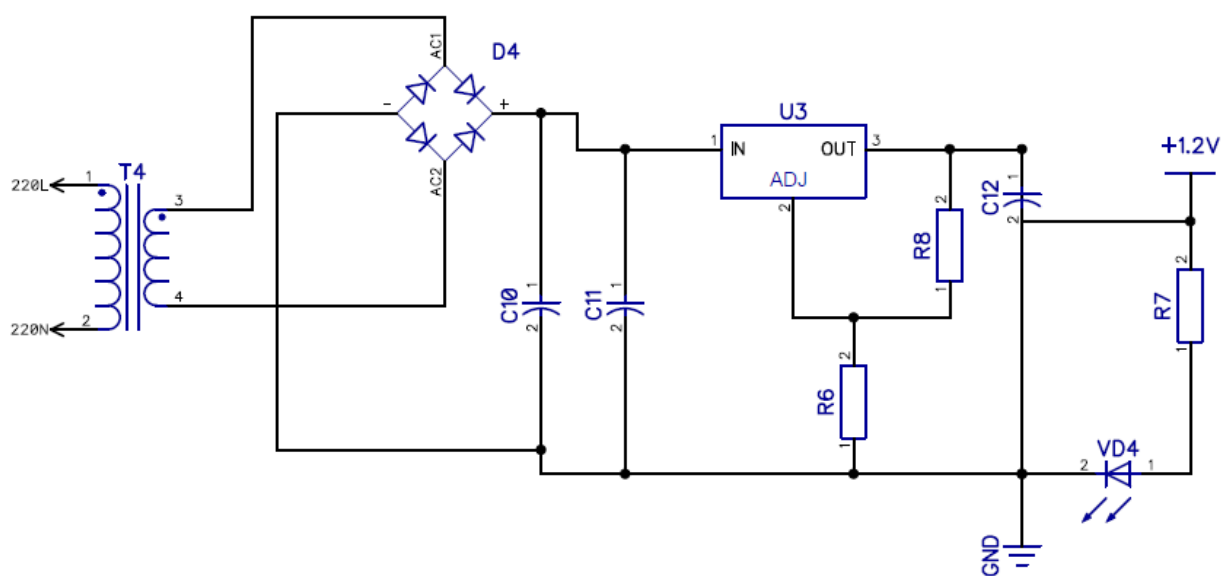


Рисунок 8.5 – Блок живлення на 1.2В

Таблиця 8.1 – Специфікація використаних елементів

Мітка	Ім'я	Значення	Кількість
C1, C4, C7, C10	CAP_0402_M	4700 мкФ	4
C2, C3, C5, C6,C8, C9, C11, C12	CAP_0402_M	0.1 мкФ	8
D1	DBL201G	28Vx1.5A	1
D2	DBL201G	8Vx1.5A	1
D3	DBL201G	6Vx1A	1
D4	DBL201G	5Vx1A	1
R1, R2, R3, R4, R5, R6, R7, R8	Resistor 1K	1K	8
T1, T2, T3, T4	630D		4
U1	LM7824		1
U2	LM7805		1
U3, U4	LM7817AH		2
VD1, VD2, VD3, VD4	LED		4

Розглянемо детальніше кожен елемент схеми.

Інтегральний стабілізатор напруги.

Головним елементом, від значень напруги та струму якого здійснюється підбір інших елементів є інтегральний стабілізатор напруги LM7805 на 5 В. При його відсутності, коливання напруги живлення 220 В, призведе до пропорційного коливання напруги після випрямлення, що недопустимо для мікросхем та елементів.

Найбільш поширені стабілізатори напруги серії LM7805 і LM7824. Дві букви вказують на виробника. Тому замість LM можуть бути і інші літери, наприклад CM. Маркування складається з чотирьох цифр. Перші дві - 78 або 79 означають позитивну або негативну напругу.

Для вибору стабілізатора необхідно визначитись з величиною напруги на виході та струмом необхідним для живлення всіх елементів. Напруга

стабілізатора є вихідною напругою БЖ. (Якщо необхідний БЖ на 5 В, то беремо LM7805). Струм рахується в залежності від кількості елементів. Сумується весь споживаний струм кінцевими вимикачами, діодами, ПЛІС, датчиками і, таким чином, визначаємо загальний. Якщо загальний струм перевищує допустимий для стабілізаторів типу LM78 та LM79, то можна використати, наприклад, LM338 де напруга та струм регулюється в межах 1.2 – 32 В, 0-5 А).

Трансформатор напруги.

Оскільки в БЖ ліміт по струму задає стабілізатор, то всі інші елементи розраховуються на струм не менший ніж в ньому. Отже, струм вторинної обмотки трансформатора обирається не менше, ніж допустиме значення в стабілізаторі.

Напруга має бути не нижче стабілізованого значення, враховуючи, що після випрямлення і згладжування U повинна бути на 2-3 В більше, ніж стабілізована, тобто на вхід стабілізатора слід подавати на декілька вольт більше його вихідного значення. Інакше він буде працювати некоректно. Наприклад, для LM7805 вхідна $U = 7-8$ В; для LM7812 $\rightarrow 15$ В. Однак, слід враховувати, що при занадто завищеній значенні U , мікросхема буде перегріватися, оскільки зайва напруга гаситься на її внутрішньому опорі.

Потужність трансформатора рахуємо по закону Ома, виходячи з того, яка обрана напруга та струм на вторинній обмотці.

Випрямляч.

Призначений для випрямлення змінної напруги на вторинній обмотці трансформатора в постійну пульсуючу.

У якості випрямляча виступає діодний міст, який може бути спаяний з окремих низькочастотних діодів типу LN4007, або обраний готовий, на струм не менше струму стабілізатора, та напругою, що відповідає U на вторинній обмотці трансформатора.

Конденсаторний фільтр.

Після діодного моста напруга має пульсуючий характер і непридатна для живлення мікросхем, які чутливі до перепадів напруги. Тому для згладжування застосовується електролітичний конденсатор великої ємності, не менше 1000 мкФ, зазвичай 4700 мкФ, і напругою дещо вищою, ніж вторинна напруга

трансформатора.

Конденсатори C10 і C11 призначені для згладжування високочастотних пульсацій, які виникають при роботі стабілізатора LM7817 АН. Зазвичай ставлять керамічні конденсатори ємністю 0.1 мкФ.

Індикація вихідної напруги.

Індикація необхідна для візуального відображення наявності вихідної напруги. Обирається звичайний світлодіод з напругою 5В та струмообмежуючий резистор 1 кОм.

Висновки по розділу 8

1. В даному розділі курсової роботи було розроблено блоки живлення для напруг 24В, 5В, 3.3В, 1.2В. Також зроблено детальний перелік елементів, які складають цей блок та їх призначення, опис.

2. Цей пункт курсової дає змогу за допомогою розробленого блоку забезпечити живлення макрокомірок ПЛІС, вхідних сигналів ПЛІС, реле, датчики та кнопки.

3. Повна побудова блока живлення, що перетворює змінну напругу на постійну дає змогу функціонувати схемі на практиці та жити всі необхідні елементи загальної схеми.

9 РОЗРОБКА СХЕМИ ЕЛЕКТРИЧНОЇ ПРИНЦИПОВОЇ

9.1 Пульти керування

На пультах керування є кнопки і перемикачі (Рис. 9.1) які живляться від джерела живлення на 24 В і подають сигнал на ПЛІС. Кнопки підключені до стягуючих резисторів, на перемикачах стоять діоди для індикації стану.

Сигнал з кнопок передається на мікросхему TXS0108E для перетворення сигналу з 3.3V на сигнал 5V для світлодіодів.

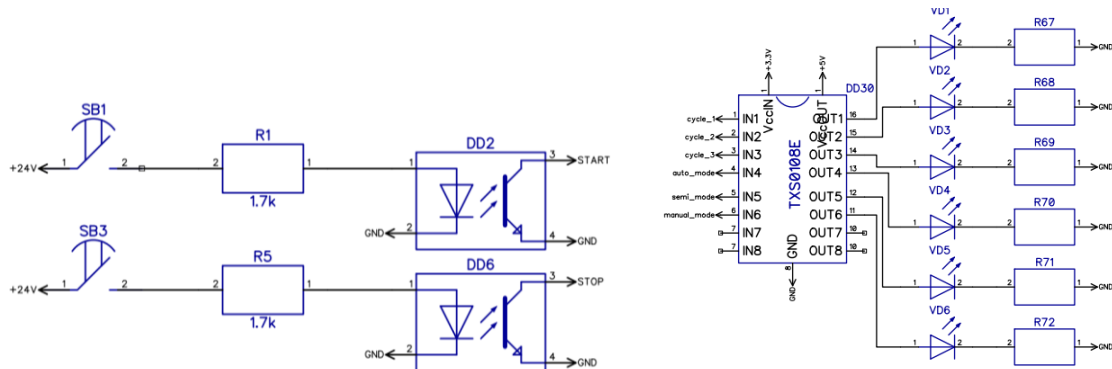


Рисунок 9.1 – Кнопки START STOP на пультах керування, а також діоди для індикації вибраного режиму

9.2 Блок датчиків

В блоці датчиків міститься кінцеві вимикачі і реле максимального струму які живляться від джерела на 24 В. Для захисту ПЛІС сигнали від датчиків передаються через оптопару.

На рис. 9.2 зображена частина блоку датчиків.

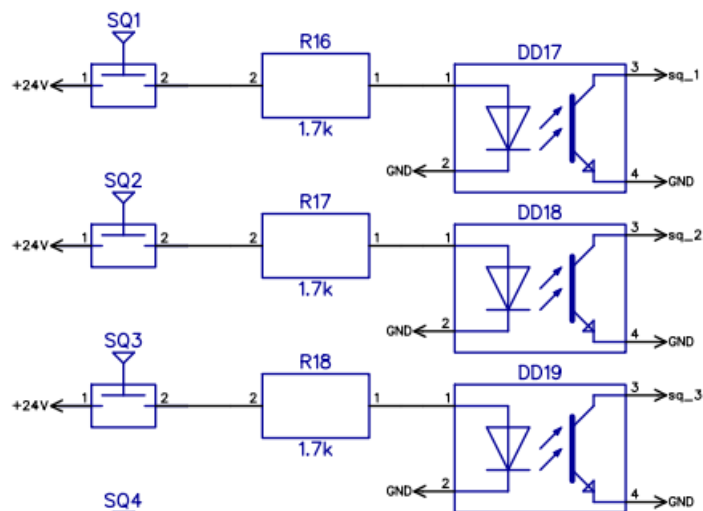


Рисунок 9.2 – Частина блоку датчиків

9.5 Блок живлення

На рис. 9.5. зображений блок живлення на 24В і 5В.

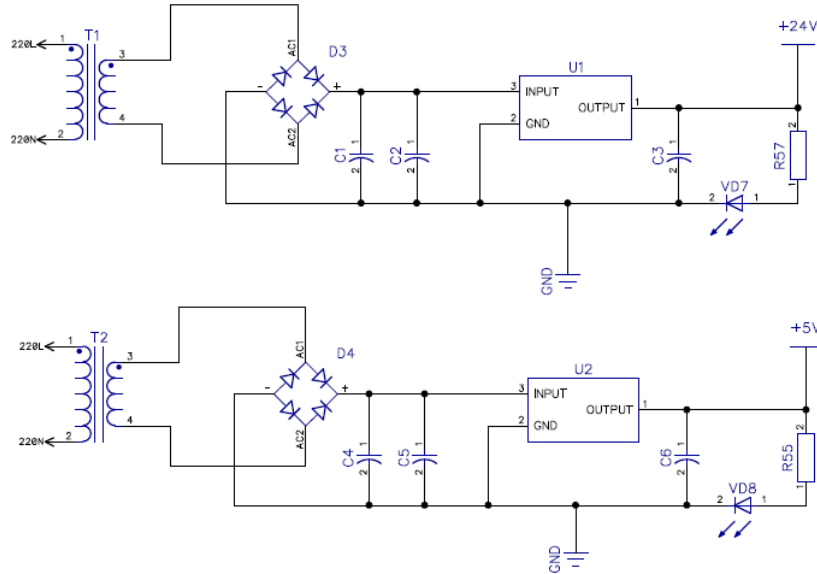


Рисунок 9.5 – Блоки живлення на 24В та 5В

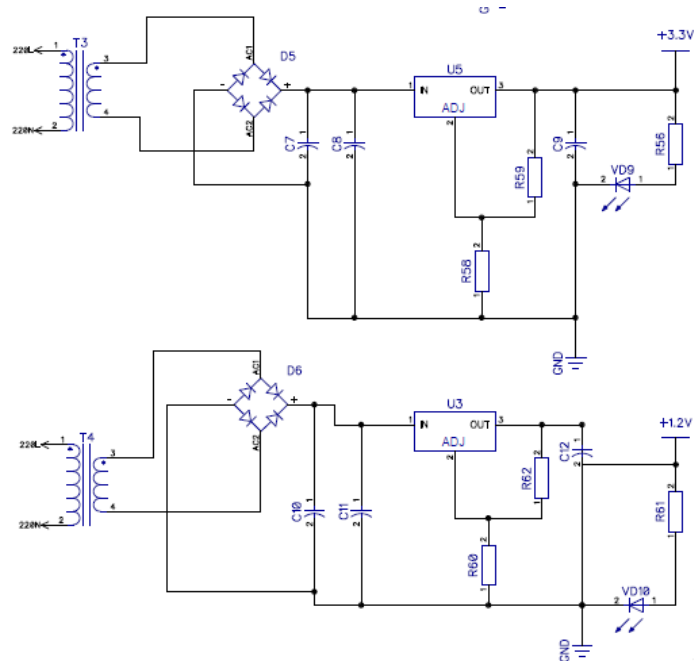


Рисунок 9.6 - Блоки живлення на 3.3В та 1.2В

Змінний струм 220 В трансформується трансформаторами (T1,T2,T3,T4) і випрямляється діодними мостами (D3, D4, D5, D6). Далі струм проходить через стабілізатори з фіксованої напругою LM7824TC (U1) LM7805TC (U2) на виході отримується струм на 24 В і 5 В відповідно. Струм 5 В живить регулятори напруги (U8, U9) які видають струм на 3.3 В і 1.2 В. В схемі підключен діоди (D7, D8, D9, D10) для індикації.

9.6 Інші позначення

На рис. 9.7 зображений програматор JTAG для запису програм на ПЛІС з персонального комп'ютера.

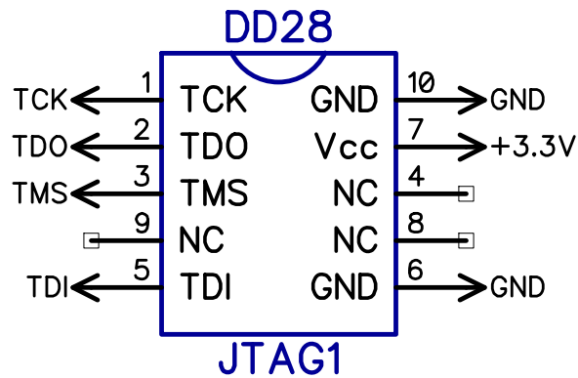


Рисунок 9.6 – Роз'єм програматора

На рисунку 9.8 зображені порти для підключення зовнішнього живлення на 220 В та 380 В.

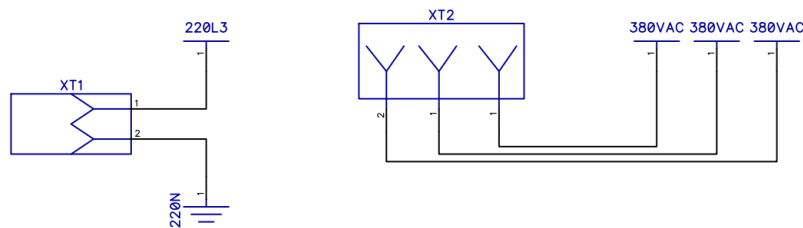


Рисунок 9.7 – Порти зовнішнього живлення

Таблиця 9.1 – Специфікація та перелік елементів

№	Мітка	Им'я	Значення	Кількість
1.	220L3	Vcc		1
2.	220N, GND2, GND5	GND		3
3.	380VAC1, 380VAC4, 380VAC5	380VAC		4
4.	C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12	CAP_0402_M		12
5.	D3, D4, D5, D6	DBL201G		4
6.	DD1	Altera Cyclone II EP2C8Q208C8		1
7.	DD2, DD3, DD4, DD5, DD6, DD7, DD8, DD9, DD10, DD11, DD12, DD13, DD14, DD15, DD16, DD17, DD18, DD19, DD20, DD21, DD22, DD23, DD24, DD25, DD26, DD27	SFH617A		26

8.	DD28	JTAG1		1
9.	DD29	ULN2004		1
10.	DD30	TXS0108E		1
11.	K2	KM3		1
12.	KM1, KM2	Relay_3		2
13.	KV1, KV2, KV3, KV4, KV5	Relay		5
14.	M1, M2	Motor		2
15.	R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20, R21, R22, R23, R24, R25, R26	Resistor_10k	10k	26
16.	R27, R28, R29, R30, R31, R32, R33, R34, R35, R36, R37, R38, R39, R40, R41, R42, R43, R44, R45, R46, R47, R48, R49, R50, R51, R52	Resistor_4.7k	4.7k	26
17.	R55, R56, R57, R58, R59, R60, R61, R62	Resistor 1K	1k	8
18.	R67, R68, R69, R70, R71, R72	Resistor_300	300	6
19.	S1, S5	SWICH3		2
20.	SB1, SB2, SB3, SB4, SB5, SB6, SB7, SB8, SB9	Button		9
21.	SQ1, SQ2, SQ3, SQ4, SQ5, SQ6, SQ7, SQ8, SQ9, SQ10, SQ11	LimitSwich		11
22.	T1, T2, T3, T4	630D		4
23.	U1, U2	LM7824		2
24.	U3, U5	LM7817AH		2
25.	U4, U6, U7	Electromagnet		3
26.	VD1, VD2, VD3, VD4, VD5, VD6, VD7, VD8, VD9, VD10	LED		10
27.	XT1	Conector		1
28.	XT2	Conector Pow		1

Висновки по розділу 9

1. В даному розділі було складено кінцеву схему електричну принципову на основі синтезу, виборі обладнання та блоків живлення, які були здійснені в минулих розділах.

2. Розроблено блоки живлення, блоки кнопок керування, блок силової частини та інших.

3. Готові елементи підключено до вибраної раніше ПЛІС.

ЗАГАЛЬНІ ВИСНОВКИ

В даній курсовій роботі було виконано актуальне завдання: система автоматизації силової головки та поворотного стола агрегатного верстату, яка працює на мікросхемі ALTERA Cyclone II EP2C8Q208C8. Було отримано наступні результати:

1. Ознайомлення зі сферами застосування FPGA. Програмовані логічні інтегральні схеми застосовуються майже в усіх сферах промисловості та поширені в багатьох варіаціях в різних виробників. ПЛІС може стати основою для більш потужних мікросхем.

2. Сформоване завдання та проведена його деталізація. Для розуміння поставленої задачі.

3. Було розроблено функціональну схему системи керування, визначено вхідні та вихідні сигнали для користування ними під час синтезу та бодальної роботи.

4. Проведено головний логічний синтез циклів роботи силової головки та поворотного стола. Синтез був здійснений методом графопереходів за допомогою RS тригері. Даний пункт був фундаментальною основою для подальших розділів.

5. Вибрано електротехнічне обладнання для роботи агрегатного верстата. Вибір обладнання дав змогу зрозуміти принцип дії заданої системи, яка складається з набору трансформаторів струму, реле, вибраної ПЛІС, кнопок, датчиків і т.д. .

6. Розроблено програми на мові FBD у середовищі Quartus II та основі попереднього синтезу з пункту 4. Це дало змогу перевірити вірність рівнянь які були складені в попередніх пунктах, та переконатися в набутому досвіді роботи з мовою FBD.

7. Перевірено вірність побудови і роботи наших схем за допомогою часових діаграм. Часові діаграми дозволили перевірити вірність рівнянь. Це знання допоможе у подальшій розробці схем.

8. Здійснено розрахунки блоків живлення, були зроблені блоки живлення, які необхідні для роботи агрегатного верстату. Проектування блоків було виконане у програмі DipTrace.

9. Побудовано кінцеву схему електричну принципову. Графічно відобразили схему побудови нашого агрегатного верстата за допомогою, вибраного раніше обладнання.

СПИСОК ЛІТЕРАТУРИ ДО КУРСОВОЇ РОБОТИ

1. Ресурс Wikipedia, розділ ПЛІС, URL:
<https://uk.wikipedia.org/wiki/ПЛІС> дата звернення (19.02.2023)
2. Field-programmable gate array. Стаття з вікіпедії (англійською мовою).
URL: <https://cutt.ly/R3NHUTI> дата звернення (19.02.2023)
3. " CPLD" Xilinx, Inc., CPLD URL: <https://cutt.ly/e3NNIkb> дата звернення (19.02.2023)
4. Стаття з сайту Geeksforgeeks, автор: Сангпрія Гаутам URL:
<https://cutt.ly/G3NN6k5> дата звернення (19.02.2023)
5. "What are FPGAs?" Xilinx, Inc. URL: <https://cutt.ly/y3Mf33d>
дата звернення (19.02.2023)
6. "FPGAs & Programmable Devices" Intel, Inc URL:
<https://cutt.ly/z3Mhnew> дата звернення (19.02.2023)
7. ПЛІС Altera Cyclone II EP2C8Q208C8 URL: <https://biakom.com/store/19476-altera-simeystvo-cyclone-ii/21105-ep2c8q208c8>
дата звернення (19.03.2023)
8. USB Blaster Altera - JTAG програматор для ПЛІС (FPGA, CPLD). URL:
<https://cutt.ly/SwqUu9cZ> дата звернення (19.03.2023)
9. Мікросхема PS2802-4 URL: <https://ru.findic.com/price/ps2802-4-vQZB42mQX.html> дата звернення (19.03.2023)
10. Мікросхема ULN2004A URL:
https://www.rcscomponents.kiev.ua/product/uln2004a_22505.html дата звернення (19.03.2023)
11. Проміжні реле Weidmüller RCI484R24 URL:
<https://catalog.weidmueller.com/catalog/Start.do?localeId=ru&ObjectID=8870350000>
дата звернення (19.03.2023)
12. Магнітний пускач Schneider Electric LP1K0910BD URL:
<https://cutt.ly/pwqUpzs6> дата звернення (19.03.2023)
13. Реле максимального струму LT4706BA URL: <https://cutt.ly/uwqUpW1Z>
дата звернення (19.03.2023)
14. Кінцевий вимикач ME8111 URL: <https://cutt.ly/mwqUaEhw> дата

звернення (19.03.2023)

15. Фотоелектричний лазерний датчик URL: <https://cutt.ly/9wqUsaAr> дата звернення (19.03.2023)

16. Електромагнітна котушка Asarps URL: <https://cutt.ly/YwqUsUNw> дата звернення (19.03.2023)

17. Трифазний мотор-редуктор IE2-132S-4 URL: <https://cutt.ly/YwqUsBzW> дата звернення (19.03.2023)

18. Кнопки для керування станком LAY5-EA31ACKO A0140010185__URL: <https://cutt.ly/ywqUdwOr> дата звернення (19.03.2023)

19. Сигнальні світлодіоди URL: <https://cutt.ly/LwqUd2iq> дата звернення (19.03.2023)

20. Реле часу REV-120N URL: <https://cutt.ly/OwqUdkID> дата звернення (19.03.2023)

21. Перетворювач сигналу для світлодіодів TXS0108E URL: <https://cutt.ly/0wqUfT6D> дата звернення (19.03.2023)

22. Розпіновка та опис пінів. URL: <https://www.intel.com/content/www/us/en/content-details/744087/cyclone-ii-ep2c8-fpga-ep2c8q208c8n-dofc.html> дата звернення (19.03.2023)