

Міністерство освіти і науки України
Національний технічний університет України
“Київський політехнічний інститут імені Ігоря Сікорського”

Кафедра Електромеханічні
системи автоматизації,
електропривід та
електромобільність

Лабораторна робота №8

ЛОГІЧНИЙ СИНТЕЗ ТА ДОСЛІДЖЕННЯ СХЕМ
АВТОМАТИЗАЦІЇ ТИПОВИХ ПРОМИСЛОВИХ МЕХАНІЗМІВ
НА ОСНОВІ
ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМ (ПЛІС)

Виконав:	студент групи	ЕП-11
	бригада №2	
	Жолоб О. С.	
Перевірив:	доц.	
	Волянський Р.С.	

Київ – 2023

Мета роботи – навчитися програмувати ПЛІС Altera Cyclone II EP2C5T144C8N для реалізації одноктактних та багатотактних схем автоматичного керування промисловими механізмами.

Програма роботи

Перед початком лабораторної роботи група ділиться на бригади відповідно до кількості робочих місць. Кожному студенту бригади необхідно вибрати один із варіантів (1-6), який містить 4 завдання, з таблиці 5.1. Для кожного з чотирьох завдань необхідно:

1. Виконати логічний синтез схеми керування, та отримати логічні вирази, що описують схему (**виконується вдома під час СРС**).

2. За виразами у пункті 1 скласти схему на логічних елементах в пакеті програмного забезпечення Quartus II.

3. Зробити позначення виводів вхідних та вихідних змінних.

4. Провести часову симуляцію роботи схеми.

5. Записати програму до ПЛІС.

6. Підключити кнопки, світлодіоди, мікродвигуни і т.п. до входів/виходів ПЛІС відповідно до заданої кількості вхідних/вихідних сигналів, зробити «підтяжку» на GND вхідних сигналів.

7. Перевірити відпрацювання заданих умов роботи на стенді.

8. Показати зібрану схему викладачу та продемонструвати її роботу (**викладач підтверджує своїм підписом у протоколі працездатність схеми**);

9. Оформити звіт по лабораторній роботі та зробити висновки.

ЗАВДАННЯ ДО ЛАБОРАТОРНОЇ РОБОТИ

1. Умови роботи схем задано наступними логічними функціями.

Скласти схему на логічних елементах та перевірити її працездатність

$$1.6 \quad f_1 = \overline{a}bcd + \overline{a}bc + b\overline{c}e + abc$$

$$f_2 = (\overline{a} + b + \overline{c})(a + c + \overline{e})(c + \overline{d} + e)$$

$$f_3 = (a + b + \overline{d})(c + e)\overline{a}bcd$$

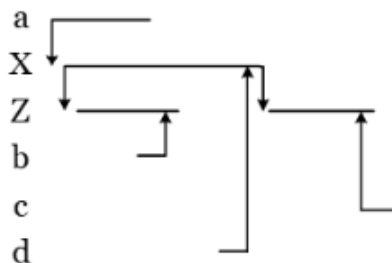
2. Виконати логічний синтез багатотактної схеми та перевірити її працездатність (в задачах з двигунами в якості вихідних змінних використовувати мікродвигуни M1 та M2).

2.6 Автомат керується кнопками a і b і має чотири вихідних сигнали X_1 , X_2 , X_3 , X_4 . Схема працює так. Спочатку натискають одну з кнопок, а потім, не відпускаючи її – другу. Коли одну з кнопок буде відпущено, сигнал на одному з виходів залежно від черговості натиснення та відпускання кнопок згідно з таблицею 3, повинен набувати значення одиниця. Після відпускання другої кнопки схема набуває вихідний стан (усі вихідні сигнали дорівнюють нулеві).

Таблиця 5.2

Першою кнопка	натиснута	Першою кнопка	відпущена	Сигнал 1 на виході
a		a		X_1
a		b		X_2
b		b		X_3
b		a		X_4

3. Виконати синтез схеми за умовами роботи, заданими у вигляді циклограм, та перевірити її працездатність.



4. Виконати синтез генератора десяткових чисел на основі JK-тригерів та перевірити її роботу.

Задані послідовності двійкових чисел: 0,5,3,4,6,6,4,3,5,0,5,3...

Виконання.

1.6 $f_1 = a\bar{b}cd + \bar{a}\bar{b}c + b\bar{c}e + abc$

$f_2 = (\bar{a} + b + \bar{c})(a + c + \bar{e})(c + \bar{d} + e)$

$f_3 = (a + b + \bar{d})(c + e)\bar{a}\bar{b}cd$

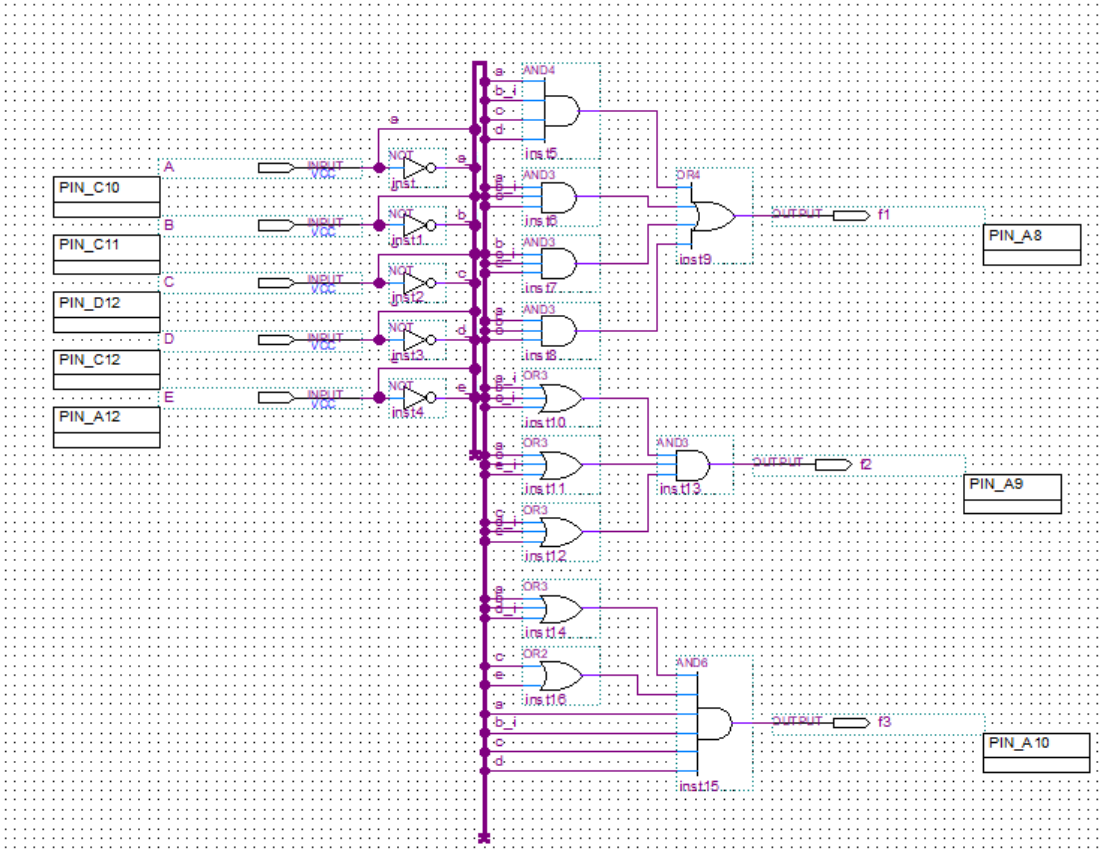


Рисунок 1 - Логічна схема до 1-го завдання

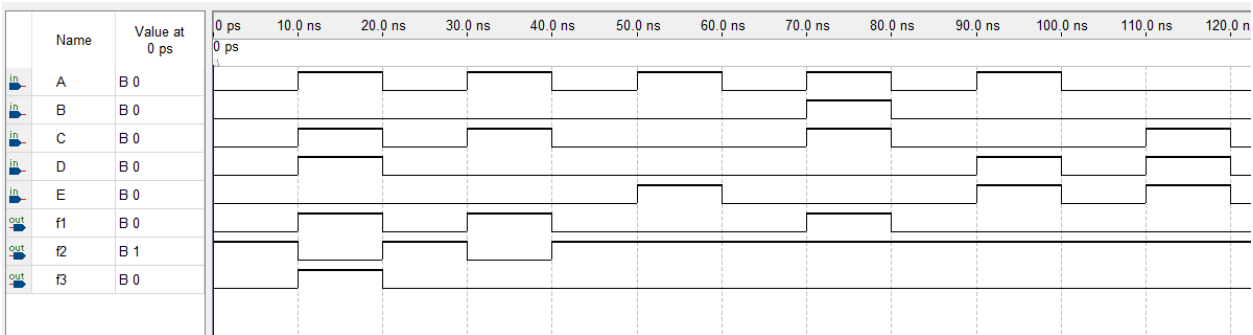


Рисунок 2 – Часова діаграма до завдання 1

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location	I/O Standard
in A	Input	PIN C10	7	B7 N0	PIN C10	3.3-V LVTTTL
in B	Input	PIN C11	7	B7 N0	PIN C11	3.3-V LVTTTL
in C	Input	PIN D12	7	B7 N0	PIN D12	3.3-V LVTTTL
in D	Input	PIN C12	7	B7 N0	PIN C12	3.3-V LVTTTL
in E	Input	PIN A12	7	B7 N0	PIN A12	3.3-V LVTTTL
out f1	Output	PIN A8	7	B7 N0	PIN A8	3.3-V LVTTTL
out f2	Output	PIN A9	7	B7 N0	PIN A9	3.3-V LVTTTL
out f3	Output	PIN A10	7	B7 N0	PIN A10	3.3-V LVTTTL

Рисунок 3 – Розпіновка до завдання 1

2.6 Автомат керується кнопками a і b і має чотири вихідних сигнали X_1, X_2, X_3, X_4 . Схема працює так. Спочатку натискають одну з кнопок, а потім, не відпускаючи її – другу. Коли одну з кнопок буде відпущено, сигнал на одному з виходів залежно від черговості натиснення та відпускання кнопок згідно з таблицею 3, повинен набувати значення одиниця. Після відпускання другої кнопки схема набуває вихідний стан (усі вихідні сигнали дорівнюють нулеві).

Таблиця 5.2

Першою кнопка	натиснута	Першою кнопка	відпущена	Сигнал 1 на виході
a		a		X_1
a		b		X_2
b		b		X_3
b		a		X_4

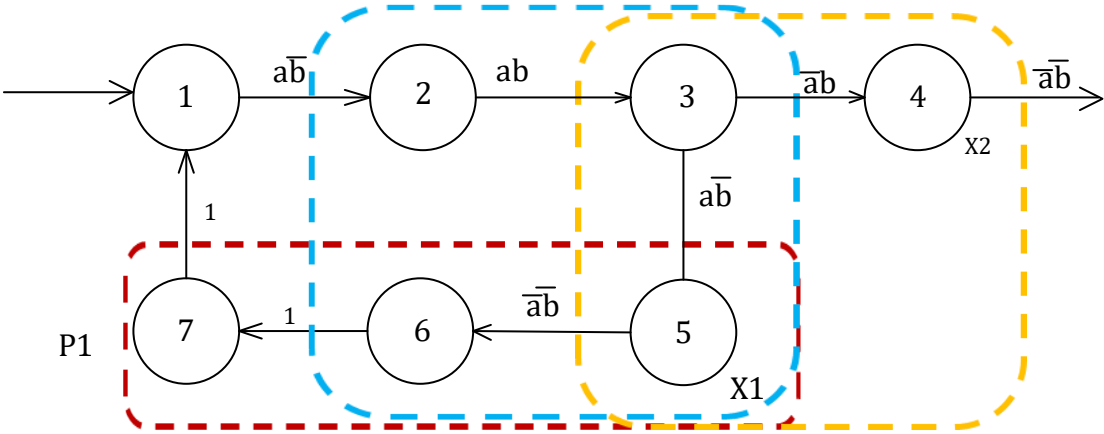


Рисунок 4 - Графоперехід для x_1 та x_2

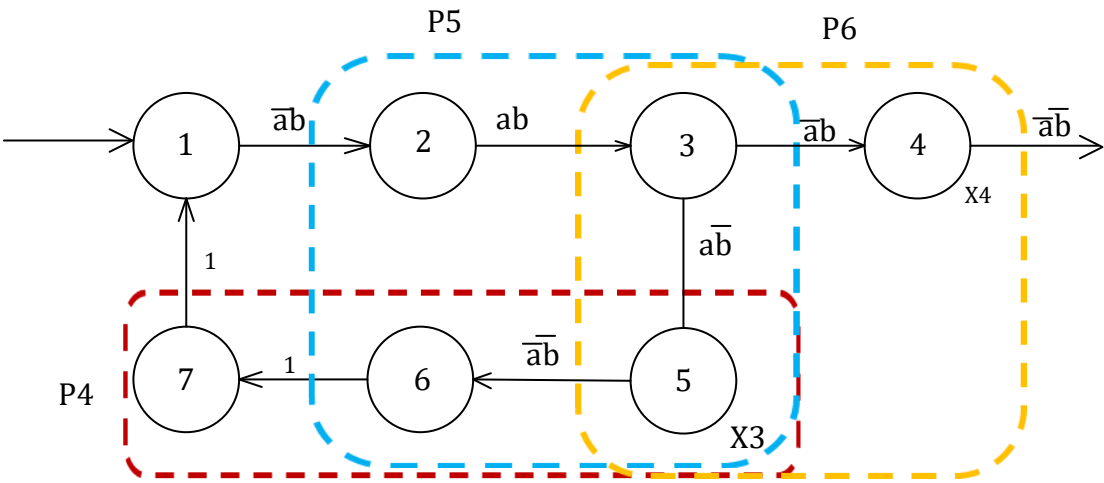


Рисунок 5 - Графоперехід для x_3 та x_4

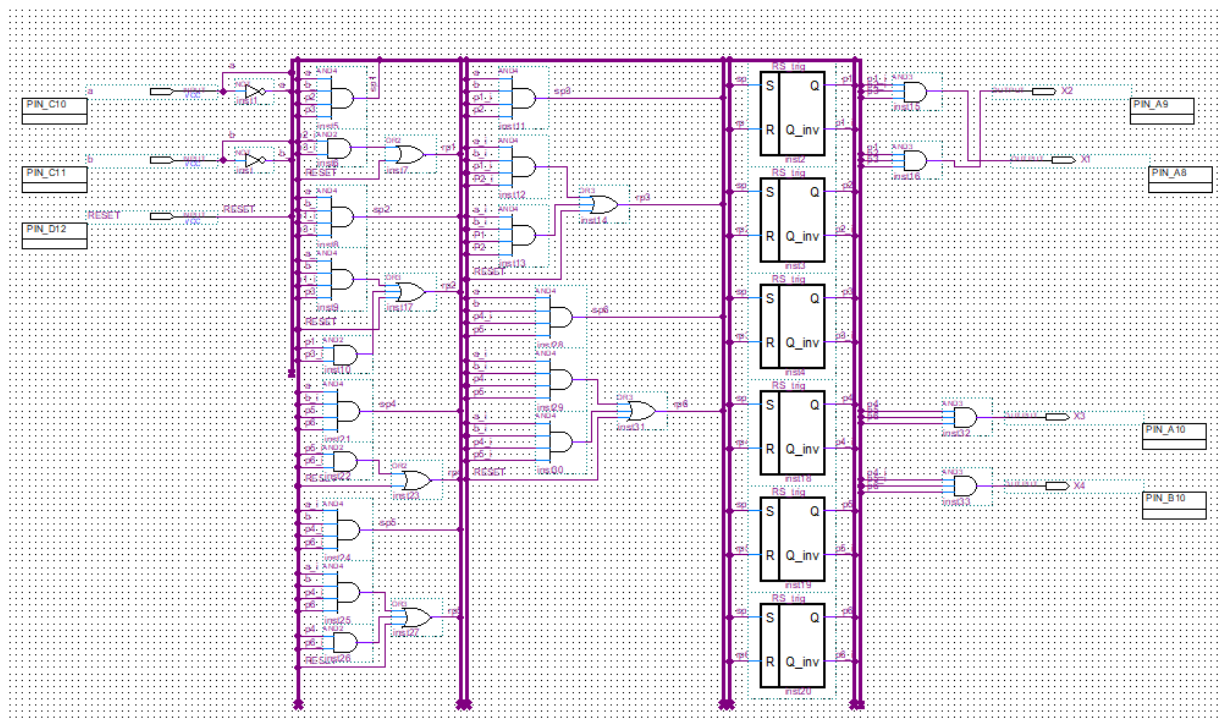


Рисунок 6 - Логічна схема до 2-го завдання

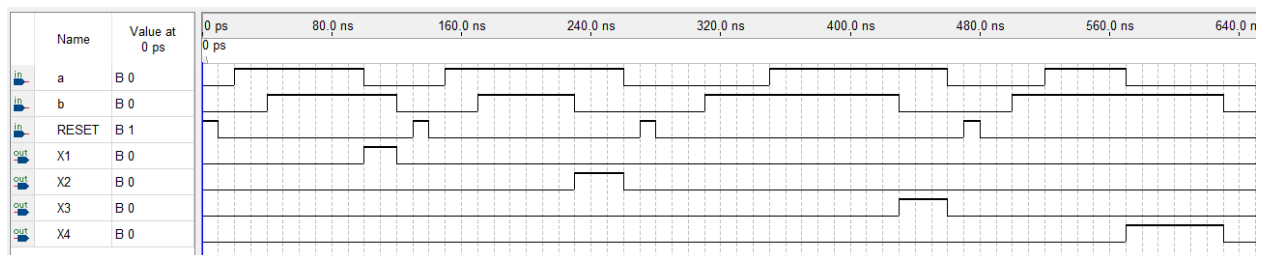


Рисунок 7 – Часова діаграма до завдання 2

3. Виконати синтез схеми за умовами роботи, заданими у вигляді циклограм, та перевірити її працездатність.

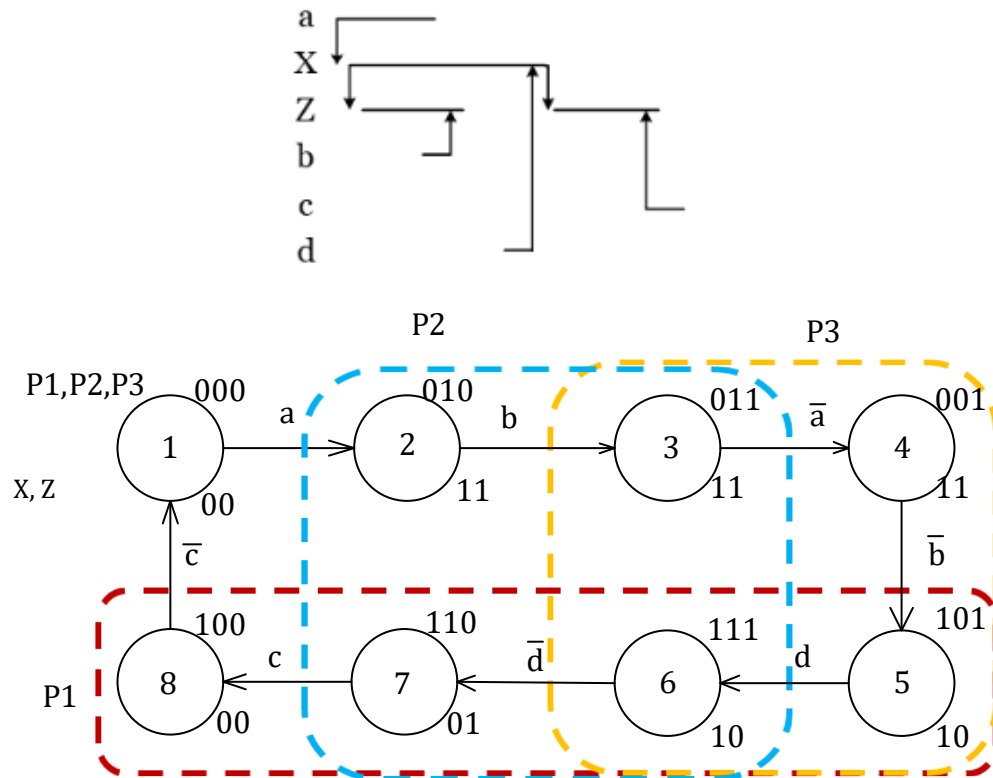


Рисунок 8 – Графоперехід для завдання 3

$$Sp1 = \overline{b}p_2p_3$$

$$Rp1 = \overline{c}p_2p_3 + \text{RESET}$$

$$Sp2 = ap_1p_3 + dp_1p_3$$

$$Rp2 = \overline{a}p_1p_3 + cp_1p_3 + \text{RESET}$$

$$Sp3 = bp_1p_2$$

$$Rp3 = \overline{d}p_1p_2 + \text{RESET}$$

$$X = p_3 + p_1p_2$$

$$Z = \overline{p_1}p_2 + \overline{p_1}p_3 + p_2p_3$$

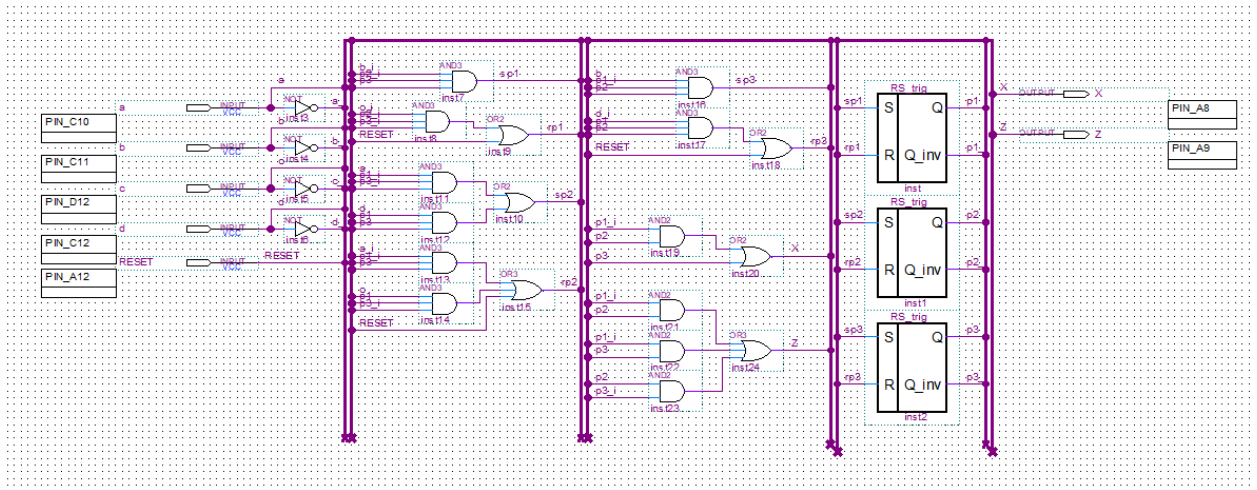


Рисунок 9 – логічна схема до завдання 3

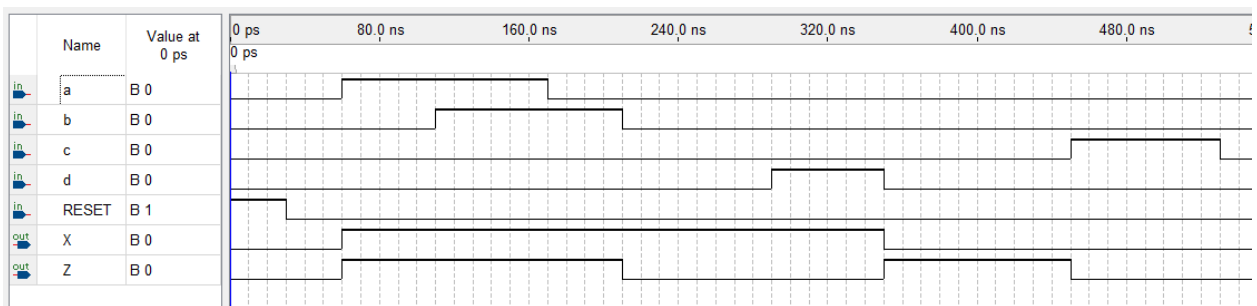


Рисунок 10 – часова діаграма до завдання 3

4. Задані послідовності двійкових чисел: 0,5,3,4,6,6,4,3,5,0,5,3...

	P1	P2	P3	P4			
0	0	0	0	0	1	0	1
5	1	0	1	1	0	1	1
3	0	1	1	1	1	0	0
4	1	0	0	1	1	1	0
6	1	1	0	1	1	1	0
6	1	1	0	0	1	0	0
4	1	0	0	0	0	1	1
3	0	1	1	0	1	0	1
5	1	0	1	0	0	0	0

Рисунок 11 – Таблиця для вихідних станів і станів переходу з урахуванням додаткової проміжної змінної

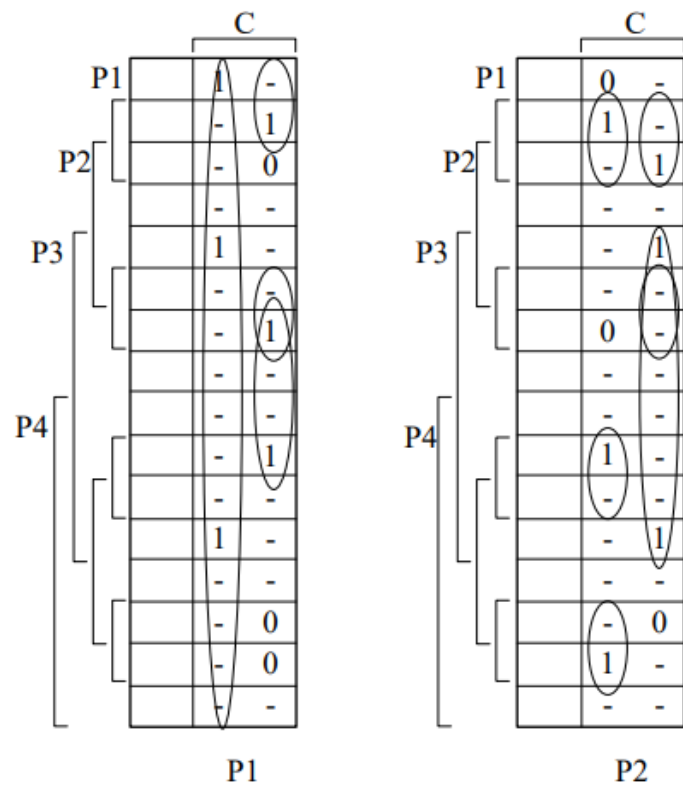


Рисунок 12 – Карти Карно для першого і другого тригера

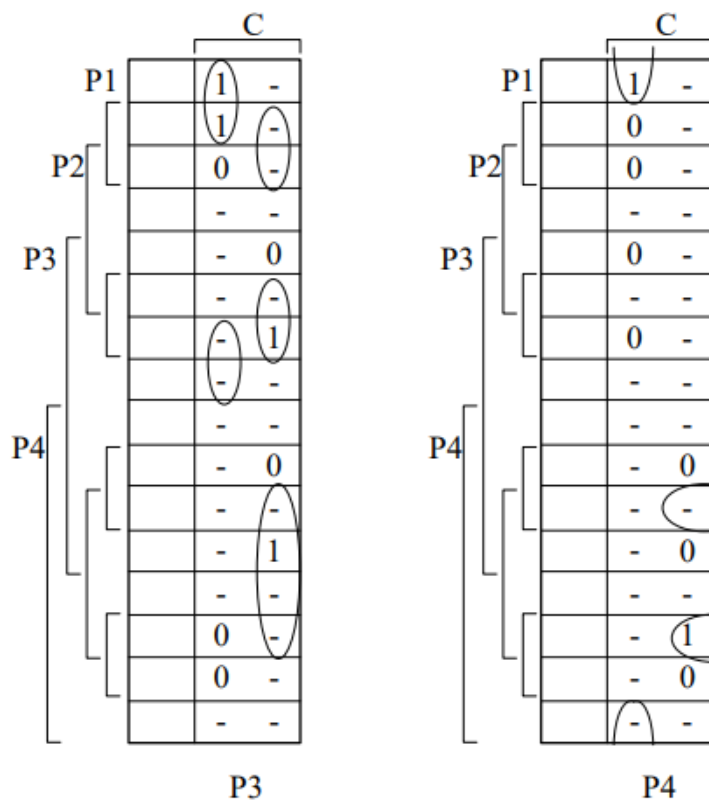


Рисунок 13 – Карти Карно для третього і четвертого тригера

Рівняння для встановлення тригерів:

$$J_{p1} = 1$$

$$J_{p2} = \overline{p_1 p_3} + \overline{p_1 p_4}$$

$$J_{p3} = \overline{p_2 p_4}$$

$$J_{p3} = \overline{p_1 p_2 p_3}$$

Рівняння для скидання тригерів:

$$K_{p1} = \overline{p_2 p_4} + \overline{p_2 p_3}$$

$$K_{p2} = p_3 + \overline{p_1 p_4}$$

$$K_{p3} = \overline{p_1 p_4} + p_2 p_4$$

$$K_{p4} = p_1 p_2 p_4$$

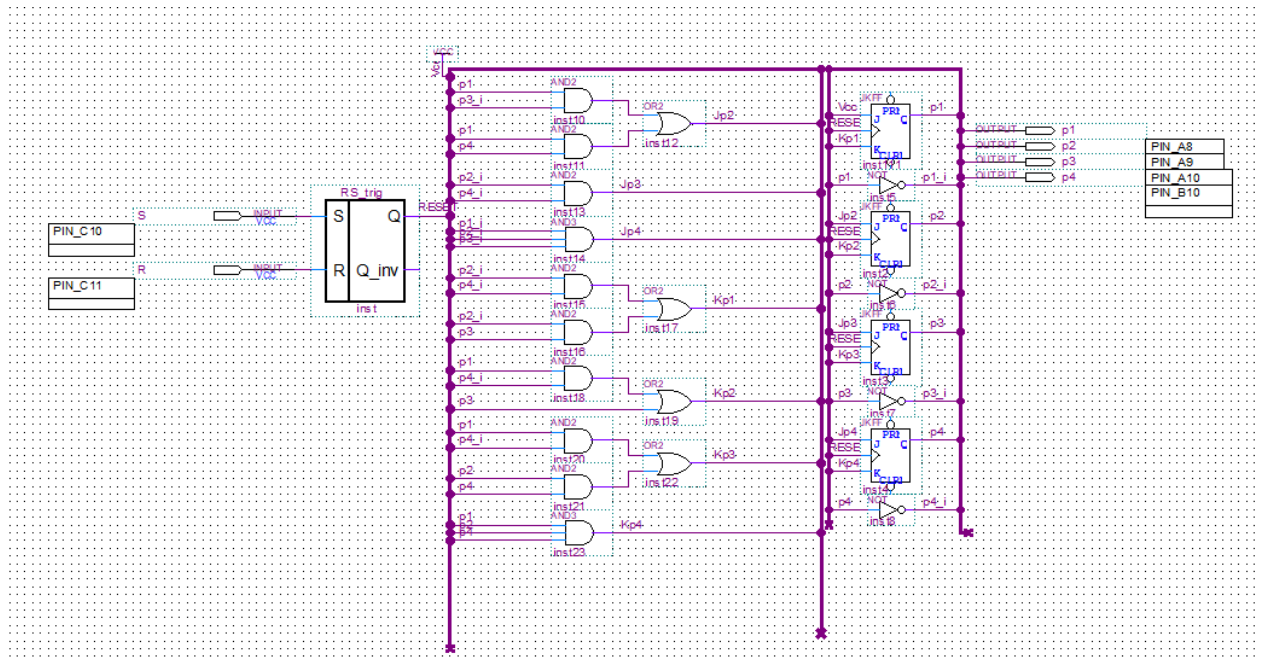


Рисунок 14 – логічна схема до завдання 4

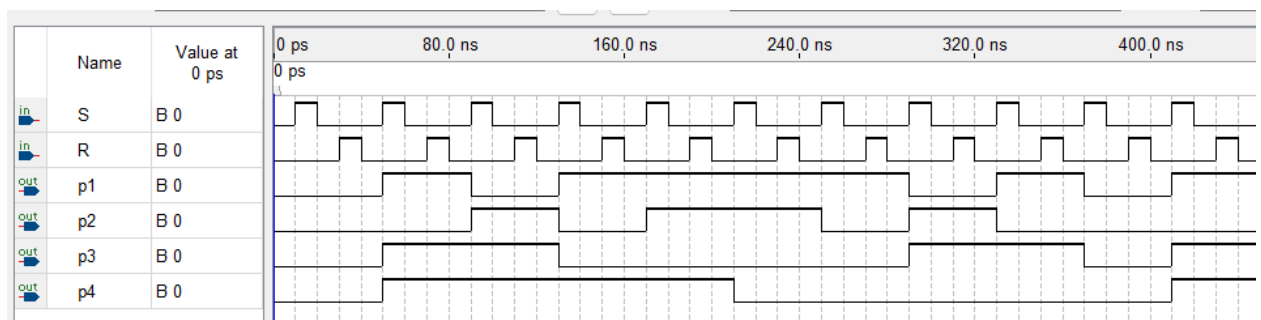


Рисунок 15 – Часова діаграма до 4-го завдання

ВИСНОВКИ

Під час виконання лабораторної роботи було виконано реалізацію рівнянь алгебри логіки на логічних елементах, синтез багатотактної схеми методом графопереходів, синтез схеми за циклограмою та реалізовано періодичне виведення чисел за допомогою JK-тригерів. Всі схеми реалізовані в програмному середовищі Quartus II на мові FBD та перевірені на часових діаграмах.