**DISEÑO DE CIRCUITOS NO LINEALES**

**INFORME**

**GRUPO 2**

**Daniel Esteban González Zuluaga**

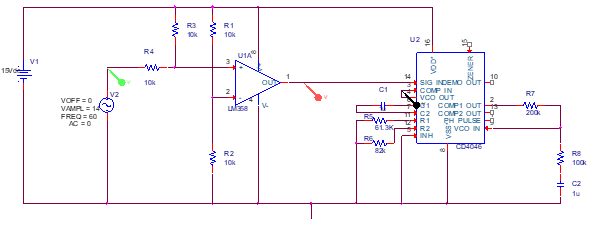
**Juan Diego Sánchez Parra**

**Santiago Burgos Martínez**

**18/Febrero/2020**

**CIRCUITO ESQUEMÁTICO COMPLETO DEFINITIVO**

1. **Circuito esquemático completo definitivo**

****

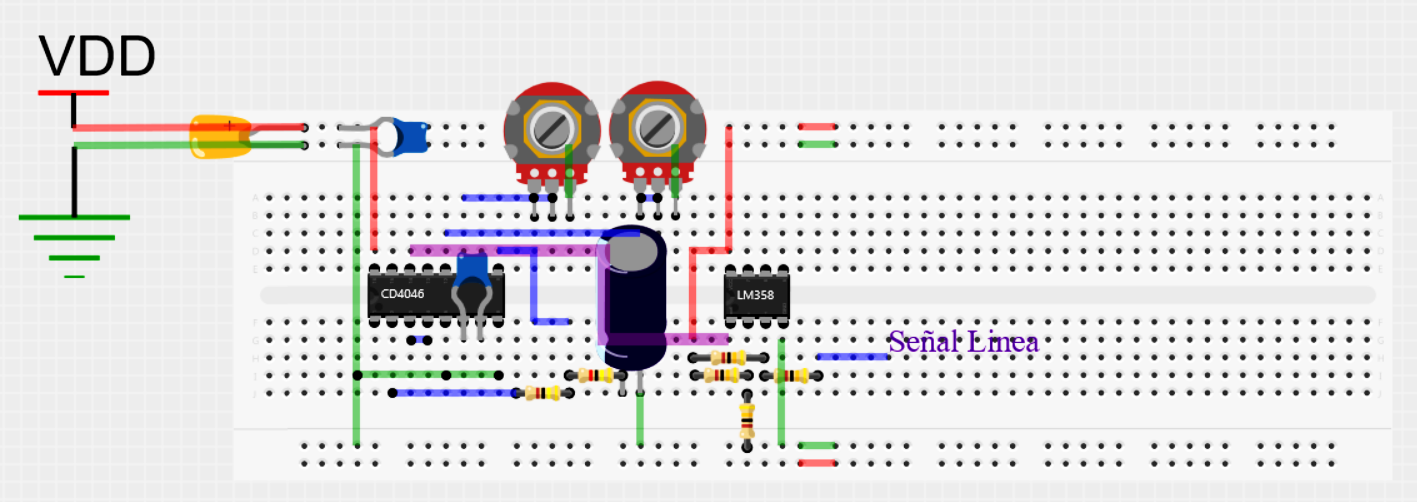
***Figura 1. Esquemático definitivo.***

1. **Listado de componentes definitivo con número de parte**

|  |  |  |  |
| --- | --- | --- | --- |
| **Componente** | **Cantidad** | **Número de parte** | **Esquemático** |
| CD4046 | 1 | [296-2052-5-ND](https://www.digikey.com/product-detail/en/texas-instruments/CD4046BE/296-2052-5-ND/67295) | U2 |
| LM358 | 1 | [296-1395-5-ND](https://www.digikey.com/product-detail/en/texas-instruments/LM358P/296-1395-5-ND/277042) | U1A |
| Potenciómetro 100k | 2 | [RV4N104C-ND](https://www.digikey.com/product-detail/en/precision-electronics-corporation/RV4NAYSD104A/RV4N104C-ND/222811) | R5,R6 |
| Resistencia 100k | 1 |  | R8 |
| Resistencia 200k | 1 |  | R7 |
| Resistencia 61.3k | 1 |  | R5 (resistencias de precisión para reemplazar los potenciómetros) |
| Resistencia 82k | 1 |  | R6 (resistencias de precisión para reemplazar los potenciómetros) |
| Resistencia 10k | 4 |  | R1,R2,R3,R4 |
| Capacitor 0.1 uF  (Poliéster) | 1 |  | Polarización |
| Capacitor 1 uF  (Poliéster) | 1 |  | C1 |
| Capacitor 10 uF  (Tantalio) | 1 |  | Polarización |
| Capacitor 1 uF  (Electrolítico) | 1 |  | C2 |

***Tabla 1. Listado de componentes.***

1. **Imágenes de los layers del PCB diseñado (si aplica) especificando dimensiones del mismo**

***Figura 2. Implementación en Protoboard del esquemático completo.***

**PROTOCOLOS DE PRUEBAS EMPLEADOS**

1. **Variables medidas**

* Polarización de los integrados CD4046 y LM358
* Voltaje en el pin 2 (entrada no inversora) del integrado LM358
* Pin 1, salida del integrado LM358.
* Pin 4 (salida del VCO) del integrado CD4046
* Pin 14 (entrada de la señal principal) del integrado CD4046

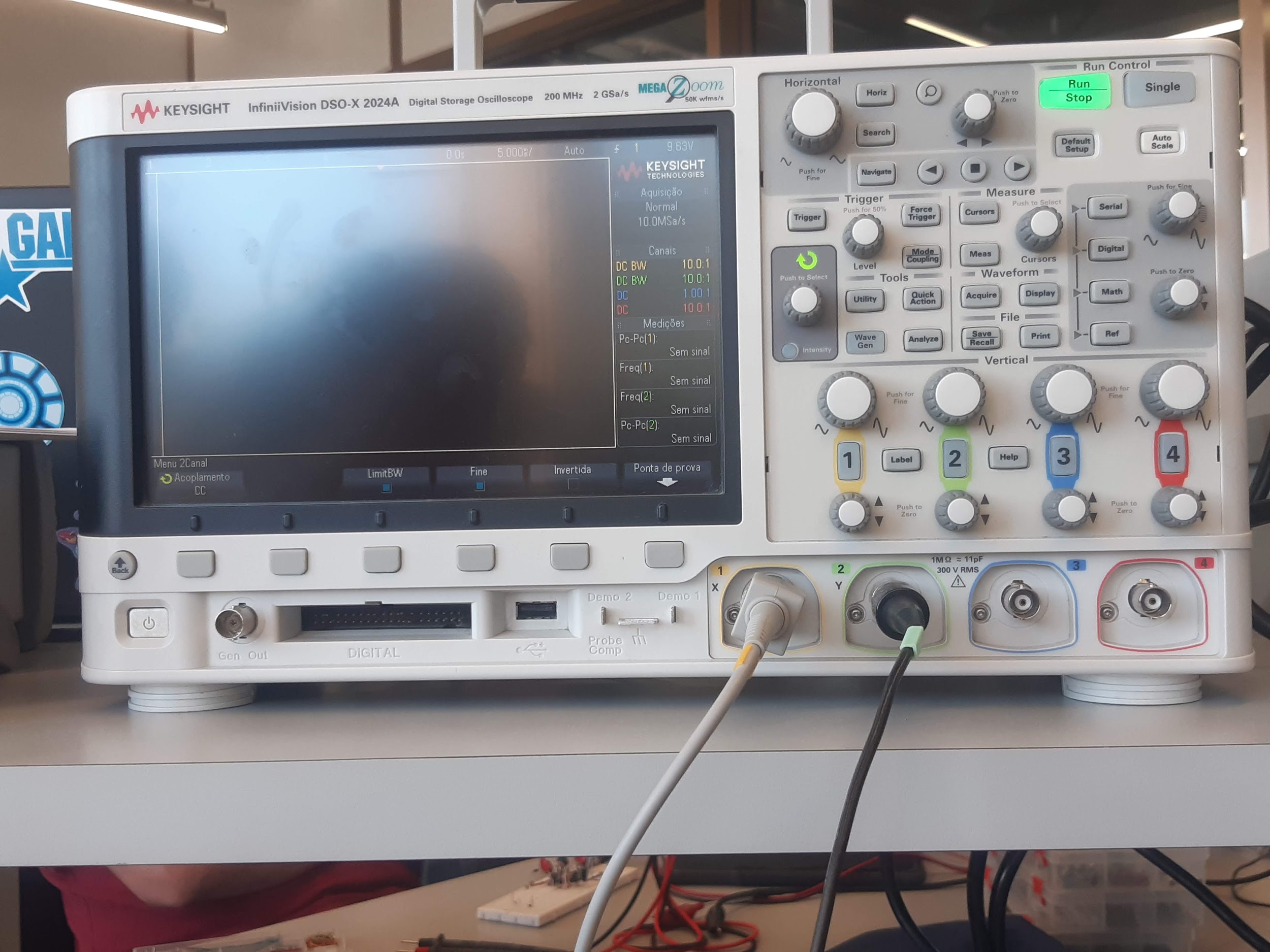
1. **Rango de estas medidas**

* Polarización: la polarización es single y va de 0V (GND) a 15V
* El voltaje en el terminal 2 del integrado LM358 debe ser de Vcc/2 = 7.5

1. **Equipos e instrumentos utilizados con sus referencias**



***Figura 3. Fuente de alimentación KEYSIGHT U8031A***

******

***Figura 4. Osciloscopio KEYSIGHT DSO-X2024A***

******

***Figura 5. Generador de funciones KEYSIGHT 33500B***

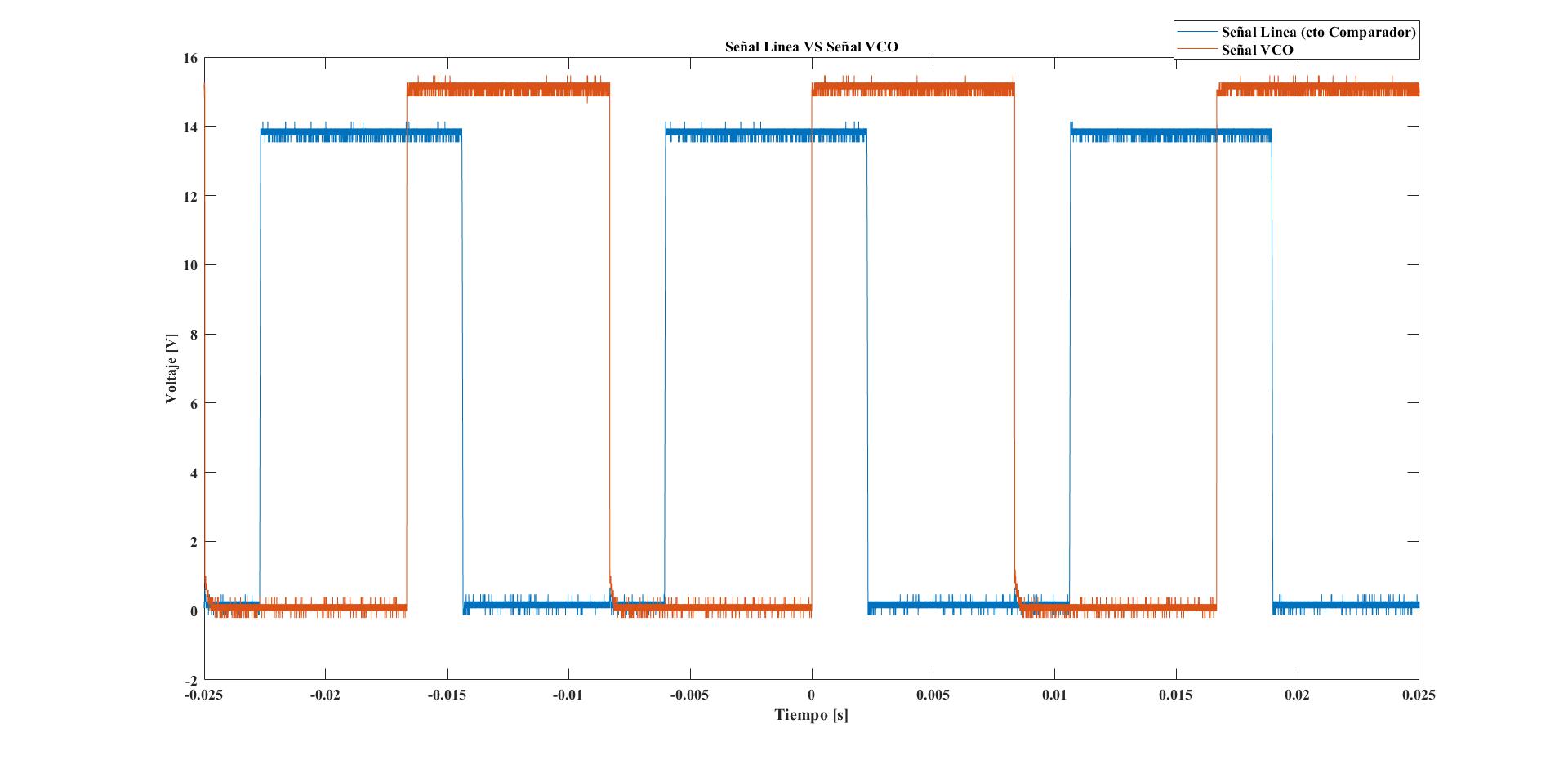
******

***Figura 6. Multímetro AGILENT 34401A***

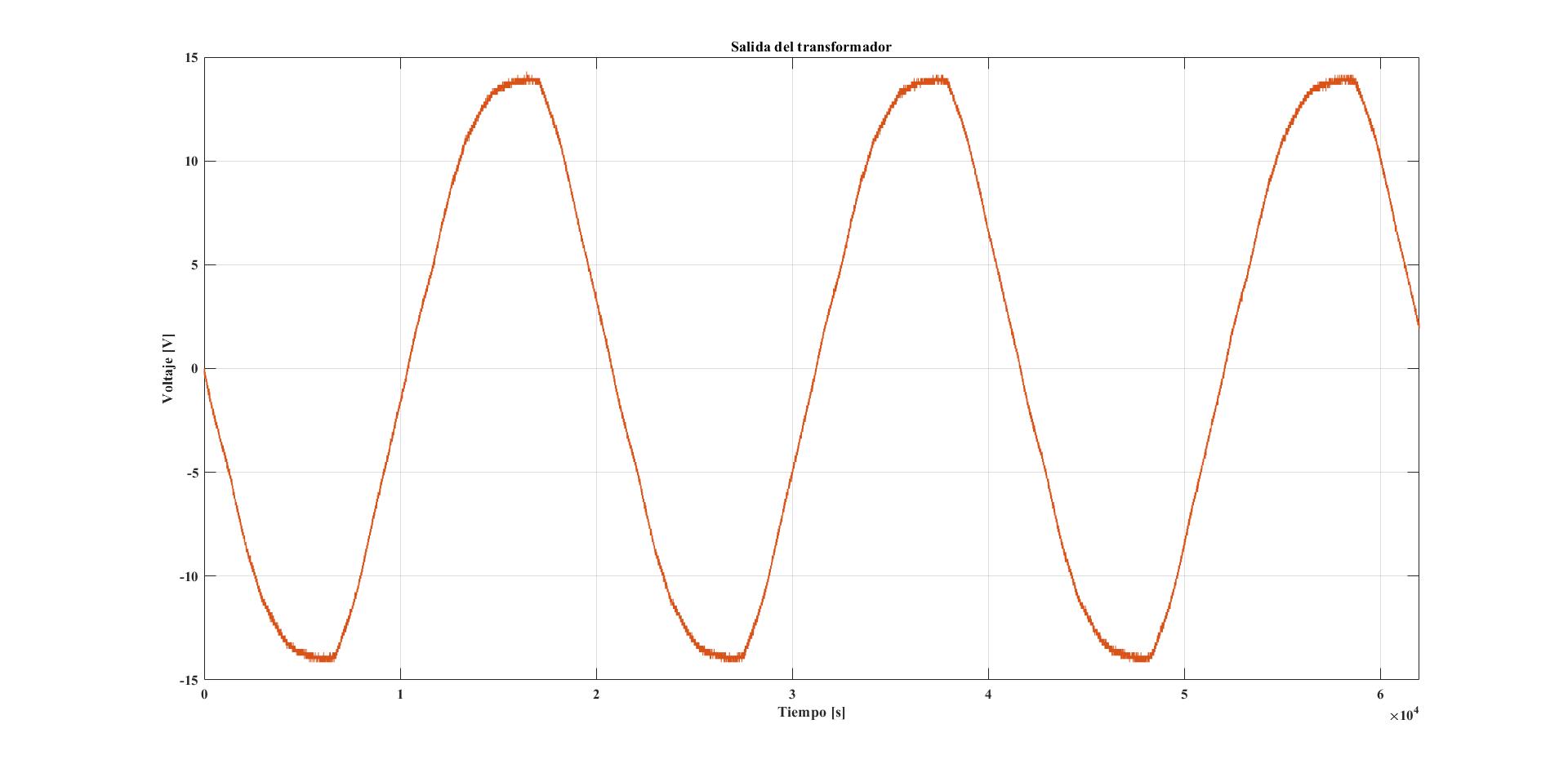
**ANÁLISIS DE LOS RESULTADOS OBTENIDOS**

Los resultados obtenidos de la realización de esta práctica fueron: la obtención de un rango de enganche en frecuencia que va desde 32Hz hasta 67 Hz y un desfase de la frecuencia central requerida (60Hz) respecto a la señal de salida del VCO de 132°.

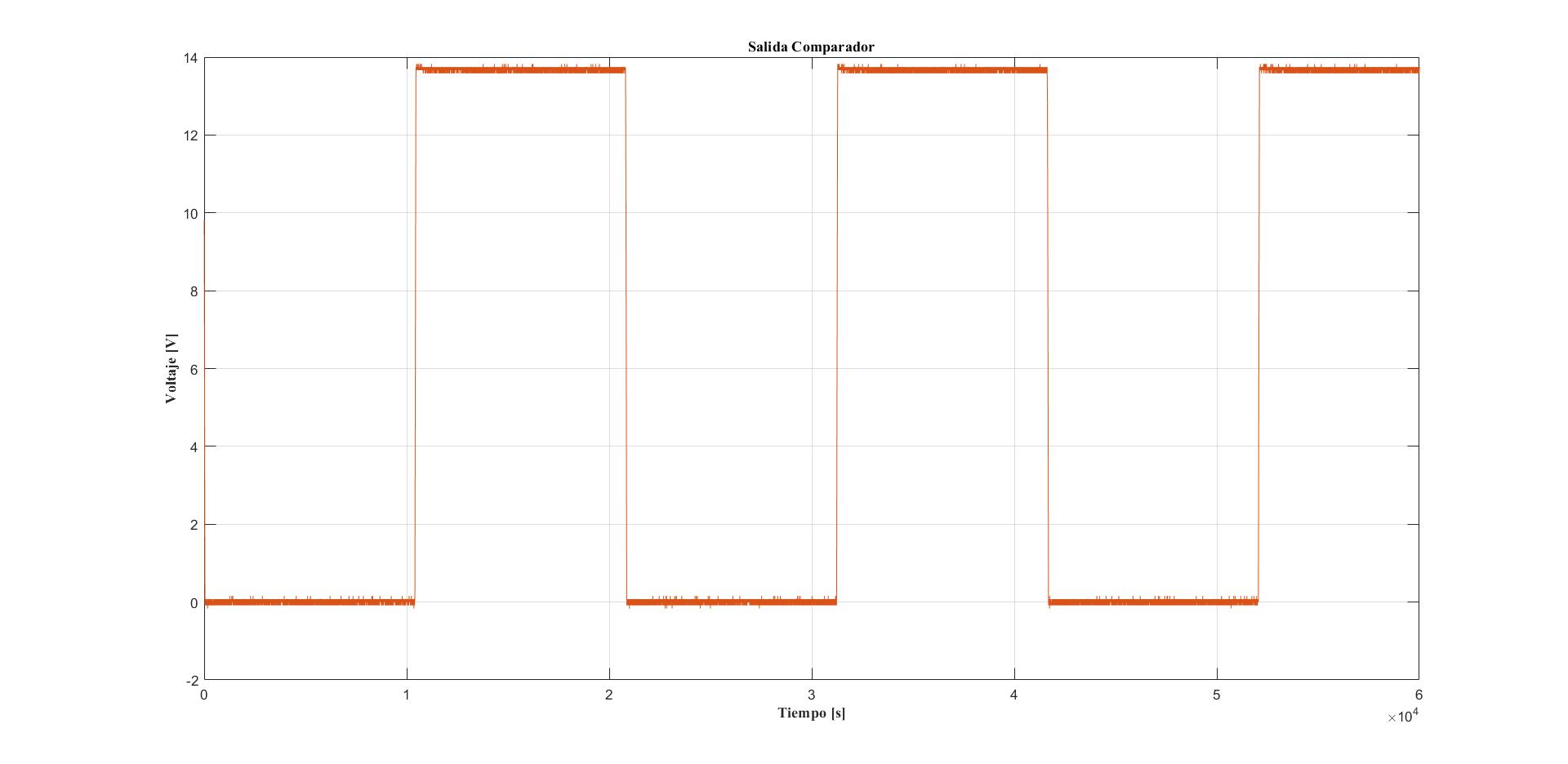
En la figura 7 se puede ver la salida del CD4046 comparado con la señal de la línea comercial, según el diseño de PLL el desfase debe estar entre 0° y 180° (desfase máximo de π), en la gráfica se puede identificar el enganche a una frecuencia de 60 Hz. Para lograr esta comparación se tuvo que acondicionar la señal de la línea para que pudiera ser recibida por el integrado CD4046, esto se logra usando un circuito comparador basado en el integrado LM358. Con el circuito comparador la onda sinusoidal pasa a ser una onda cuadrada como se puede ver en la Figura 8 (línea sin acondicionar) y en la Figura 9 (línea acondicionada).



***Figura 7. Señal línea VS salida VCO*.**

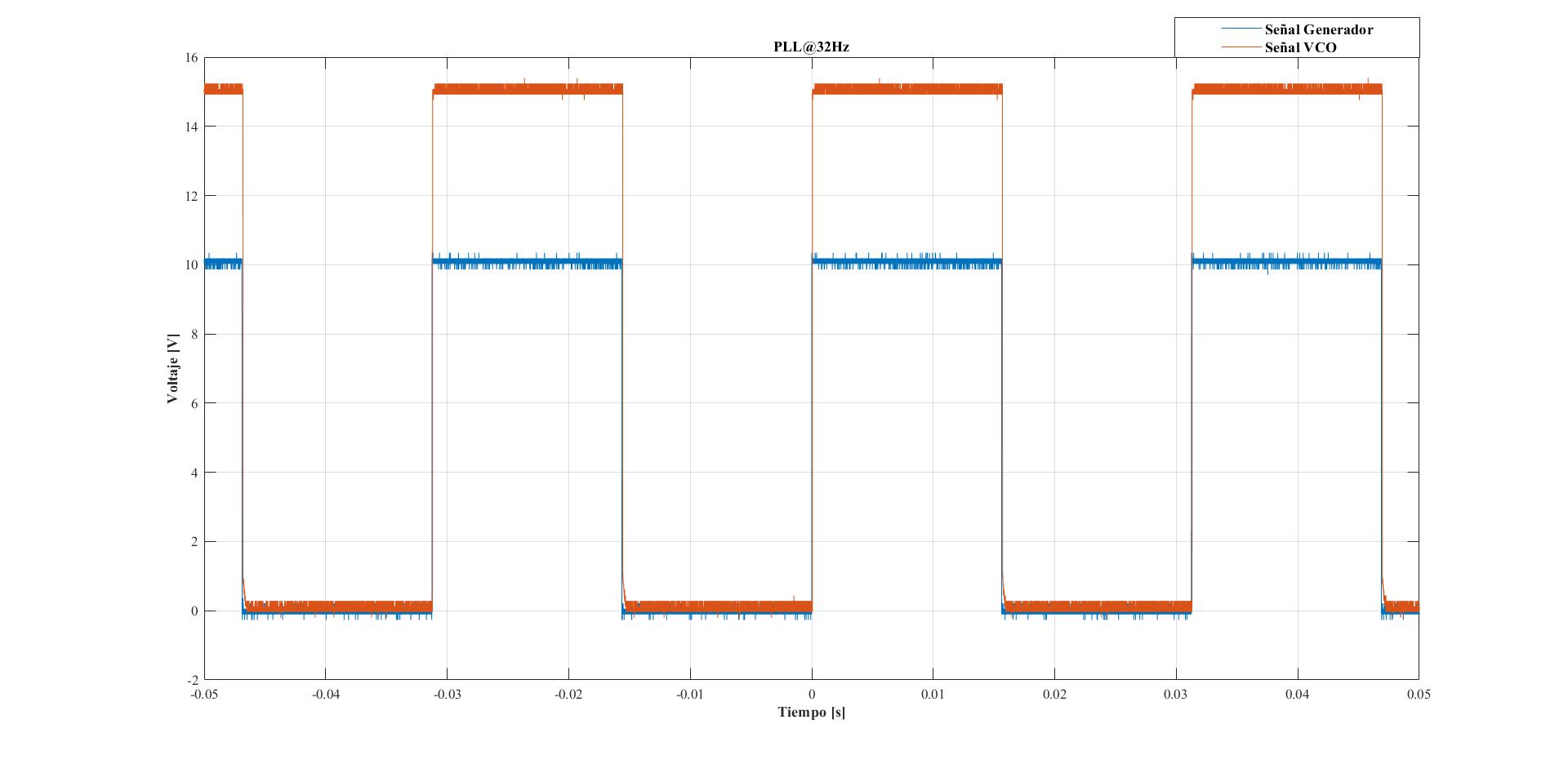


***Figura 8. Salida del transformador.***

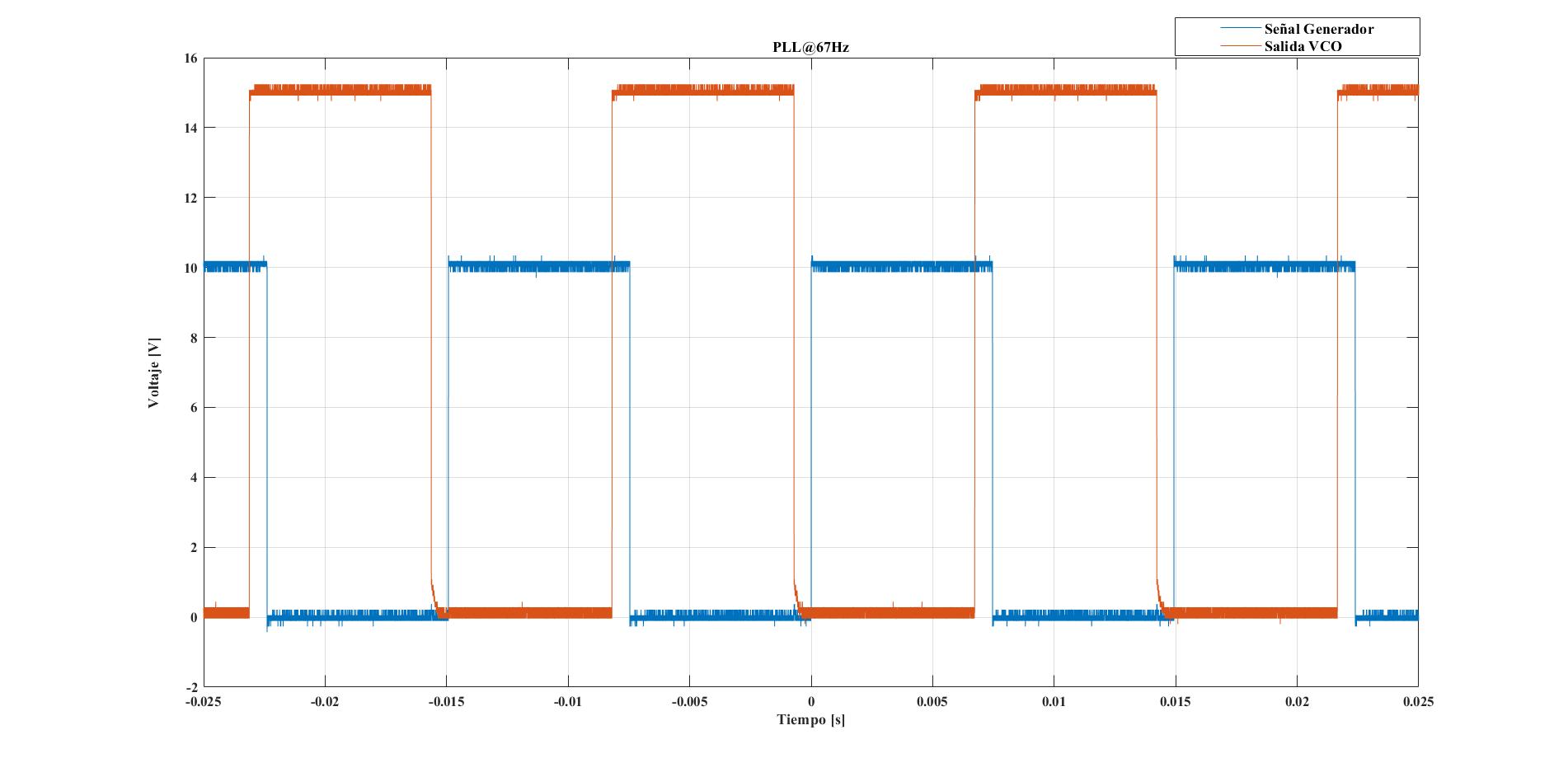


***Figura 9. Salida comparador LM358***

Para observar los rangos de enganche del PLL y realizar pruebas de funcionamiento de este, la entrada de la línea acondicionada se sustituye por el generador de funciones (Figura 5) para así de esta manera poder realizar cambios en la frecuencia. Como se mencionó el límite de enganche por debajo de la frecuencia central es de 32 Hz visto en la Figura 10, y el límite por arriba de la frecuencia central es de 67 Hz visto en la Figura 11.



***Figura 10. Enganche a 32 Hz.***



***Figura 11. Enganche a 67 Hz.***

1. **Cuadro comparativo entre valores teóricos y/o simulados con respecto a los obtenidos con el diseño.**

**Protocolo de pruebas**

|  |  |  |  |
| --- | --- | --- | --- |
| ***Mediciones*** | ***Simulación*** | ***Experimental*** | ***Teórico*** |
| *Polarización V+*  *V-* | 15 V  0 V | *15.016 V*  *0 V* | 15 V  0 V |
| *Señal VCO Vpp*  *Offset*  *Frecuencia* | 15 Vpp  7.5 V  60 Hz | 15.5 Vpp  7.45 V  60 Hz | 15 Vpp  7.5 V  60 Hz |
| *Salida comparador Vp* | 13.8 Vp | 14.5 Vp | 15 V |
| *Salida del transformador* | 9 VRMS  12.728 Vp  25.456 Vpp | 10 VRMS  14.2 Vp  28.5 Vpp | 9 VRMS  12.728 Vp  25.456 Vpp |
| *PLL@60Hz fase* | *No Aplica* | *136.7°* | *No Aplica* |
| *PLL@32Hz fase* | *No Aplica* | *0.57°* | *No Aplica* |
| *PLL@67Hz fase* | *No Aplica* | *162.32°* | *No Aplica* |

***Tabla 2. Protocolo de pruebas.***

1. **Evaluación de los resultados**

La comparación de los resultados obtenidos con los cálculos teóricos permiten determinar la calidad y el correcto funcionamiento del diseño realizado, ahora, en algunos resultados experimentales se tienen ciertas diferencias respecto a los teóricos: como lo son los rangos de enganche y voltajes de salida que no son exactos, ya que en los cálculos teóricos se tenía un rango de enganche y se obtuvo por debajo, ypor encima, teniendo en cuenta la . Sin embargo, el resultado en general del PLL es el esperado con los cálculos y la simulación, obteniendo en la práctica valores de desfase cercanos y acuerdo a los teóricos.

**PROBLEMAS PRESENTADOS DURANTE EL DISEÑO**

1. **Descripción de los problemas encontrados durante el diseño**

* La calibración/ajuste de la frecuencia central del VCO para los rangos de enganche, la cual depende de los potenciómetros, se complicó debido a la falta de resistencias de precisión.
* Pasar de una onda seno a una onda cuadrada para poder entrar al integrado CD4046 (acondicionamiento), esto debido a que la comparación de señales que realiza el PLL es entre señales cuadradas.
* Reducción del voltaje nominal de la línea por medio de un transformador reductor, debido a que los integrados estaban polarizados a un voltaje de 15V y en sus terminales no pueden recibir el voltaje de la línea sin una previa modificación.

1. **Descripción de soluciones implementadas**

Se pudo observar que el enganche dependía considerablemente del valor de las resistencias R5 y R6, ya que en un principio no se lograba crear un enganche usando resistencias no variables, al ser reemplazarlas por potenciómetros se consiguió el enganche. Ahora, para pasar la onda seno a cuadrada se realizó la investigación pertinente acerca de los comparadores para conseguir una señal apta (a partir de la señal de la línea) para entrar al PLL.

Por último, el uso de un transformador reductor, el cual entrega en su salida una onda seno de 10 VRMS, con la cual ya es posible trabajar y ser manejada por los integrados de los circuitos del proyecto.

1. **Cambios realizados durante el diseño**

En el diseño (cálculos teóricos y simulación) se quería un rango de enganche que estuviera entre 57 Hz y 63 Hz, en la práctica se observa que el rango obtenido se amplía considerablemente y se llega a tener un rango de 33 Hz hasta 67 Hz, como se puede observar en las Figuras 10 y 11, esta consideración no afecta el proyecto ya que el objetivo es que haya enganche con la línea.

1. **Posibles alternativas para mejorar el diseño implementado**

Para poder mejorar el diseño se quiere implementar el circuito en PCB, pero esta opción será aplazada hasta la presentación del proyecto final, debido a que se traen algunos componentes desde Estados Unidos. Por último, para garantizar el mismo enganche que con la protoboard se utilizaran Trimmers.

**CONCLUSIONES**

Se presentaron algunos inconvenientes en el desarrollo del PLL específicamente en cuadrar la frecuencia de oscilación del VCO, teniendo en cuenta las dos resistencias que la modificaban. Sin embargo, el resultado en general del PLL es el esperado con los rangos de enganche que cumplen los requerimientos y objetivos propuestos. Otro aspecto en el que se pudo avanzar fue el uso del transformador y el comparador con los cuales se acondicionó la señal de la línea.

**BIBLIOGRAFÍA**

**[1]** Bhag S. Guru y Hüseyin R. Hiziroglu, *Maquinas electricas y transformadores,* Retrieved from

<https://www.academia.edu/27018835/Maquinas_Electricas_y_transformadores.Bhag_S._Guru.pdf>

**[2]** A. A. Khan, H. Cha and H. F. Ahmed, "High efficiency buck and boost type AC-AC converters," *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Geneva, 2015, pp. 1-10.

doi:10.1109/EPE.2015.7309136<http://ieeexplore.ieee.org.ezproxy.javeriana.edu.co:2048/stamp/stamp.jsp?tp=&arnumber=7309136&isnumber=7309048>

# **[3]** *Optoacoplador, que és y cómo funciona* <https://hetpro-store.com/TUTORIALES/optoacoplador/> , consultado el 03/02/2020

**[4]***CD4046B Phase-Locked Loop: A Versatile Building Block for Micropower Digital and Analog Applications*, <http://www.ti.com/lit/an/scha002a/scha002a.pdf> , consultado el 03/02/2020

**[5]***El Disparador Schmitt, tomado de*<http://hyperphysics.phy-astr.gsu.edu/hbasees/Electronic/schmitt.html> , Consultado 21/10/2013.

**[6]** Fairchild (2010). Dual Operational Amplifier Lm358. Retrieved from.<https://www.sigmaelectronica.net/manuals/LM358A.pdf>

**[7]** Datasheet integrado CD4046 -<https://www.sigmaelectronica.net/manuals/CD4046.pdf> - Consultado 21/10/2013.

**[8]** Best, R. E. (1993). Phase-locked loops. theory, design and applications. McGraw-Hill. Retrieved from <https://search-ebscohost-com.ezproxy.javeriana.edu.co/login.aspx?direct=true&db=cat01040a&AN=pujbc.345469&lang=es&site=eds-live>

**[9]** Transformador MAGOM M-507 <https://magomelectronica.com/asc/producto/transformador-m-507/>