

# תרגום לסטודנט – מימוש מעגלים ב Verilog

## תיאור כללי

ברשותך ארבעה קבצים :

1. **شرطוט בסיסי** – מעגל פשוט המבוסס על שערים לוגיים בסיסיים.
2. **شرطוט מתקדם** – מעגל ה כולל מספר תת-מעגלים.
3. **شرطוט אטגר** – מעגל מורכב יותר המשלב רכיבים לוגיים שונים ומבנה היררכי.
4. **טבלתאמת** – טבלה המציגת את הפונקציה הבוליאנית הסופית של כל מעגל, המשמשת לבדיקה ולאימונות.

עליך למש עבור כל אחד משלושת الشرוטוטים בסיסי / מתקדם / אטגר :

## חלק א – מימוש מבני (Structural)

במימוש זה עלייך :

1. לפרך את الشرוטות לשערים לוגיים פשוטים לשרטוט.
2. ליצור חוטים (wire) בהתאם לחבריהם הפנימיים.
3. לשמר על מבנה זהה לשרטוט – זהו מימוש “פיזי”.

## חלק ב – מימוש Verilog התנהגותי באמצעות (Behavioral – always)

במימוש זה עלייך :

1. לתאר את הפונקציה הלוגית במונחים התנהגותיים, ללא חיבור פיזי של שערים.
2. להשתמש בבלוק :

always @(\*) begin

...

End

3. **דges** : המימוש צריך להיות קריא, מסודר, וייצג את הפונקציה הלוגית כפי שמופיעעה בשרטוט.

## חלק ג – מימוש התנהגותי באמצעות (Behavioral – assign)

במימוש זה עלייך :

1. להביע את כל הפונקציה במשווה לוגית אחת או מספר משווהות.
2. **dges** : המימוש חייב להיות קומבינטורית בלבד אלא always

#### חלק ד – בדיקת נכונות מול טבלת האמת

עבור כל מעגל (בסיסי / מתקדם / אטגר) :

1. הפק טבלת אמת עבור המימוש שלך (או השתמש בטבלה הנתונה).
2. השווה בין הפלטטים בפועל לבין טבלת האמת.
3. וודא שכל המימושים (Structural, assign, always) מחזירים אותן תוצאות עבור כל אותם הקלטטים.

#### חלק ה – מימוש רכיבים לוגיים בסיסיים ונגזרים

במסגרת חלק זה עליך ליצור מודול Verilog נפרד עבור כל אחד מהרכיבים הבאים :

##### 1. רכיבים בסיסיים:

AND	.i
OR	.ii
XOR	.iii
NAND	.iv
NOR	.v
NOT	.vi

##### 2. רכיבים מורכבים:

**MUX (Recommended: 2→1 MUX or 4→1 MUX)** .i

**DECODER (Recommended: 2→4 Decoder)** .ii

**ENCODER (Recommended: 4→2 Encoder)** .iii

##### א. סוגי המימוש הנדרשים:

עבור כל אחד מ-9 הרכיבים שלושת סוגי המימוש :

- **מימוש מבני** (structural)
- **מימוש התנהגותי** always
- **מימוש התנהגותי** assign

##### דגשים:

- יש לצרף טבלת אמת עבור כל רכיב.
- יש לאמת שכל הגראסאות שקולות לוגית.

## דרישות הגשה

3شرطוטים × 3סוגי מימוש = **מודולים 9**

9רכיבים × 3מימושים = **מודולים 27**

סה"כ 36 : **מודולי Verilog**

- כל מודול חייב לכלול את שמות הפינים כפי שמופיעים בشرطוט.
- כל קוד חייב להיות תקין מבחינה תחביר ולבור קומpileציה.
- קוד חייב להיות מותועד : הוסף הערות קצרות ומודיקות.
- הקפיד על שמות משתנים משמעותיים וסדר כתיבה מחייב.