

# תרגיל לסטודנט – מימוש מעגלים ב Verilog

## תיאור כללי

ברשותך ארבעה קבצים :

1. **שרטוט בסיסי** – מעגל פשוט המבוסס על שערים לוגיים בסיסיים.
  2. **שרטוט מתקדם** – מעגל הכולל מספר תת-מעגלים.
  3. **שרטוט אתגר** – מעגל מורכב יותר המשלב רכיבים לוגיים שונים ומבנה היררכי.
  4. **טבלת אמת** – טבלה המציגה את הפונקציה הבוליאנית הסופית של כל מעגל, המשמשת לבדיקה ולאימות.
- עליך לממש עבור כל אחד משלושת השרטוטים בסיסי / מתקדם / אתגר :

## חלק א – מימוש Verilog מבני (Structural)

במימוש זה עליך :

1. לפרק את השרטוט לשערים לוגיים פשוטים and, or, xor, not, nand, nor בהתאם לשרטוט.
2. ליצור חוטים (wire) בהתאם לחיבורים הפנימיים.
3. לשמור על מבנה זהה לשרטוט – זהו מימוש “פיזי”.

## חלק ב – מימוש Verilog התנהגותי באמצעות (Behavioral – always)

במימוש זה עליך :

1. לתאר את הפונקציה הלוגית במונחים התנהגותיים, ללא חיבור פיזי של שערים.
2. להשתמש בבלוק :  
always @(\*) begin  
...  
End
3. **דגש** : המימוש צריך להיות קריא, מסודר, וייצג את הפונקציה הלוגית כפי שמופיעה בשרטוט.

## חלק ג – מימוש Verilog התנהגותי באמצעות (Behavioral – assign)

במימוש זה עליך :

1. להביע את כל הפונקציה במשוואה לוגית אחת או מספר משוואות.
2. **דגש** : המימוש חייב להיות קומבינטורי בלבד ללא always

## חלק ד – בדיקת נכונות מול טבלת האמת

עבור כל מעגל (בסיסי / מתקדם / אתגר) :

1. הפק טבלת אמת עבור המימוש שלך (או השתמש בטבלה הנתונה).
2. השווה בין הפלטים בפועל לבין טבלת האמת.
3. ודא שכל המימושים (Structural, assign, always) מחזירים אותן תוצאות עבור כל אותם הקלטים.

## חלק ה – מימוש רכיבים לוגיים בסיסיים ונגזרים

במסגרת חלק זה עליך ליצור מודול Verilog נפרד עבור כל אחד מהרכיבים הבאים :

### 1. רכיבים בסיסיים:

- i. AND
- ii. OR
- iii. XOR
- iv. NAND
- v. NOR
- vi. NOT

### 2. רכיבים מורכבים:

- i. MUX (Recommended: 2→1 MUX or 4→1 MUX)
- ii. DECODER (Recommended: 2→4 Decoder)
- iii. ENCODER (Recommended: 4→2 Encoder)

### א. סוגי המימוש הנדרשים:

עבור כל אחד מ-9 הרכיבים שלושת סוגי המימוש :

- מימוש מבני (structural)
- מימוש התנהגותי always
- מימוש התנהגותי assign

### דגשים:

- יש לצרף טבלת אמת עבור כל רכיב.
- יש לאמת שכל הגרסאות שקולות לוגית.

## דרישות הגשה

3 שרטוטים  $\times 3$  סוגי מימוש  $= 9$  מודולים

9רכיבים  $\times 3$  מימושים  $= 27$  מודולים

סה"כ 36 : מודולי Verilog

- כל מודול חייב לכלול את שמות הפינים כפי שמופיעים בשרטוט.
- כל קוד חייב להיות תקין מבחינת תחביר ולעבור קומפילציה.
- קוד חייב להיות מתועד : הוסף הערות קצרות ומדויקות.
- הקפד על שמות משתנים משמעותיים וסדר כתיבה מקצועי.