

CAPÍTULO 6 CIRCUITOS SEQUENCIAIS

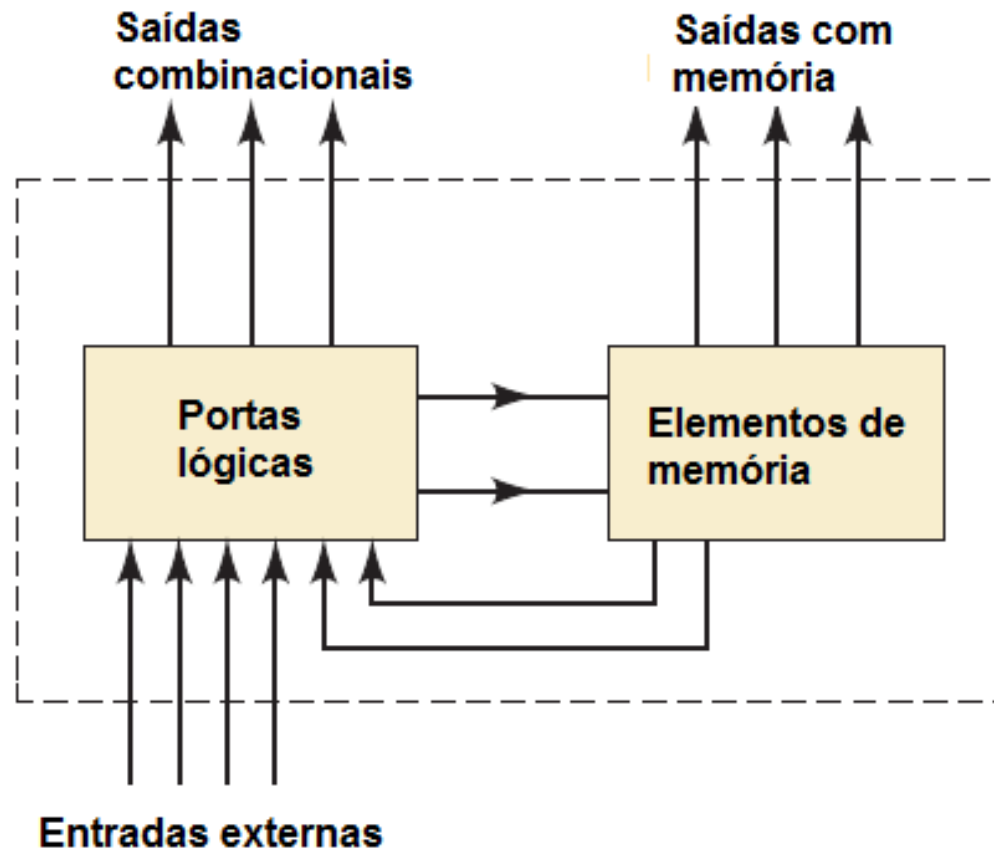
- Circuitos com memória
- Latches NAND e NOR e exemplos de utilização
- Estado do Flip-flop ao ligar o circuito
- Pulsos digitais
- Sinais de clock e flip-flops com clock – circuitos síncronos e assíncronos
- Flip-flop S-R com clock de transição positiva e negativa
- Circuito interno de um flip-flop com clock
- Flip-flop J-K com clock
- Flip-flop D com clock
- Latch D (latch transparente)
- Entradas Assíncronas *PRESET* e *CLEAR*
- Flip-flop T
- Aplicações com flip-flops
- Sincronização com flip-flops
- Detecção de sequências de entrada
- Armazenamento e transferência de dados
- Transferência de dados paralela
- Transferência de dados serial: registradores de deslocamento (shift registers)
- Transferência Serial vs Paralela
- Divisão de frequência e contadores binários (assíncronos)
- Contador BCD
- Contadores síncronos (paralelos)
- Contador genérico
- Diagrama de transição de estados
- Aplicação em microcomputadores
- Dispositivos SCHMITT-TRIGGER
- Multivibrador monoestável
- Circuitos Geradores de Clock
- Osciladores Schmitt-Trigger
- Timer 555 usado como um multivibrador astável

Introdução

- Até aqui, os circuitos lógicos analisados foram circuitos combinacionais, onde a saída depende apenas de uma combinação dos valores instantâneos das entradas.
- Qualquer valor antigo de uma entrada ou da própria saída não tem nenhum efeito sobre a saída instantânea do circuito.
- Isso ocorre porque circuitos combinacionais não possuem nenhuma memória.
- Entretanto, a maioria dos sistemas digitais são constituídos de circuitos combinacionais e também circuitos com memória, os chamados circuitos sequenciais

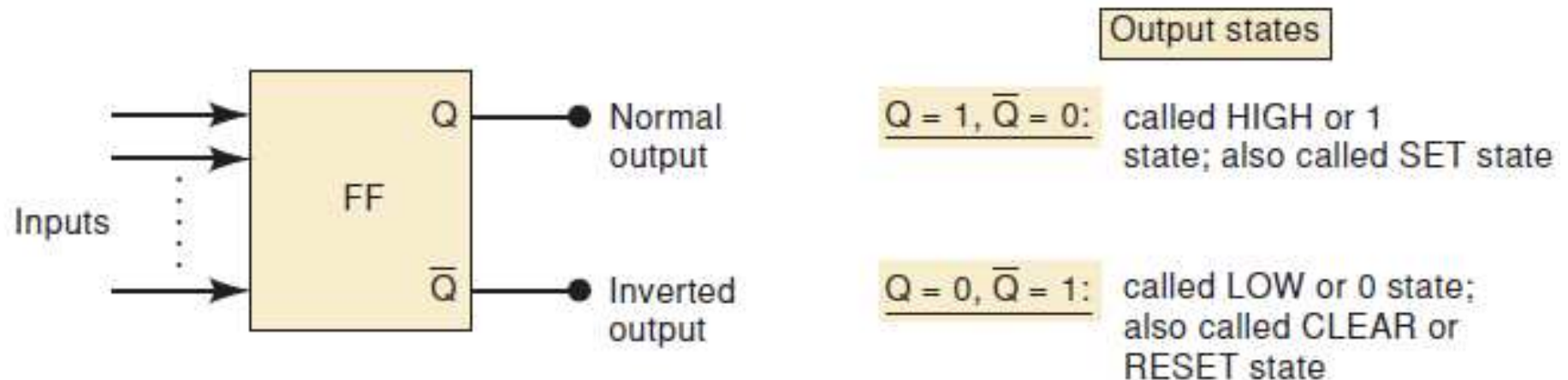
Introdução

- A figura abaixo mostra um sistema digital genérico contendo lógica combinacional e circuitos de memória.



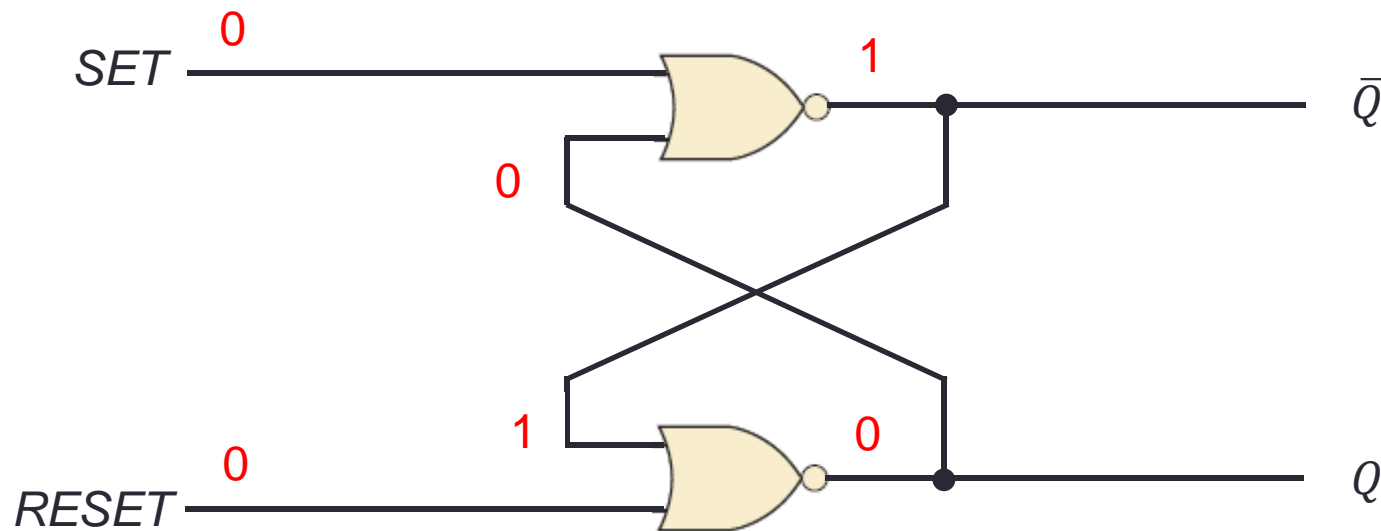
O Flip-Flop

- Embora uma porta lógica sozinha não possa armazenar informação, uma associação de portas pode resultar em um circuito com memória.
- O elemento de memória mais importante é o Flip-Flop e ele é construído através de portas lógicas.
- Existem diversos arranjos de Flip-flops. Genericamente:



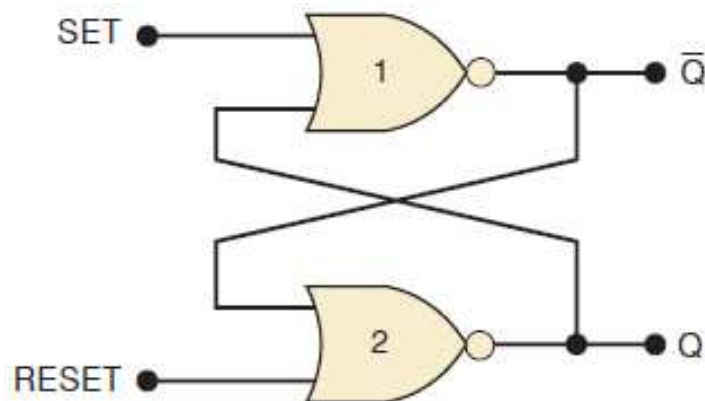
Latch com portas NOR

- O tipo mais básico de Flip-flop é o construído com duas portas NAND ou duas portas NOR. Esse circuito é chamado “Latch”



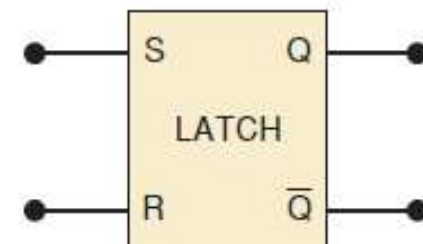
Latch com portas NOR

- SET = RESET = 0
 - Condição normal de repouso. Nenhuma alteração ocorre nas saídas.
- SET = 1; RESET = 0
 - Faz $Q = 1$ que permanecerá mesmo que SET volte para zero
- SET = 0; RESET = 1
 - Faz $Q = 0$ que permanecerá mesmo que RESET volte para zero.
- SET = 1; RESET = 1
 - Faz $Q = \bar{Q} = 0$. Se as entradas retornarem para zero simultaneamente, o estado final das saídas é imprevisível.



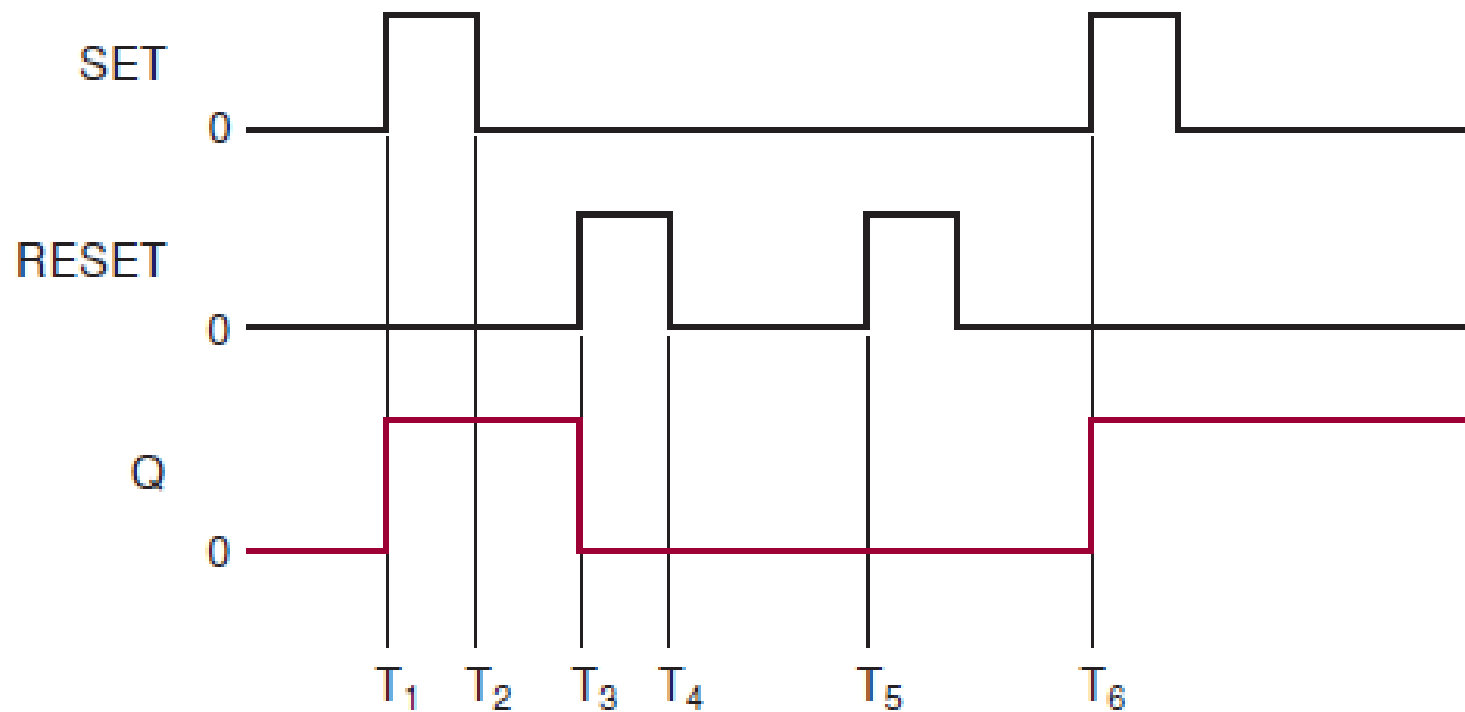
Set	Reset	Saída
0	0	Sem alteração
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválido*

*Produz $Q = \bar{Q} = 0$.



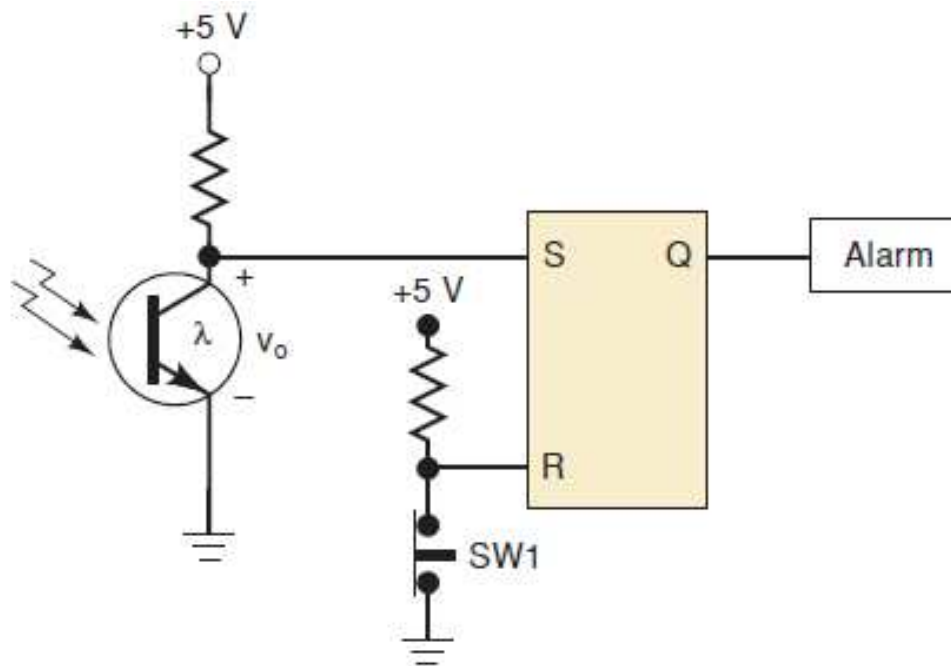
Latch com portas NOR

- Exemplo 1: Assumindo $Q = 0$ inicialmente, determine a forma de onda da saída Q para o latch com portas NOR.



Latch com portas NOR

- Exemplo 2: Circuito detector de passagem. Utilizando-se um fototransistor, podemos criar um circuito para detectar a interrupção de um feixe de luz. O feixe de luz incide diretamente na base do fototransistor. Assuma que o latch tem inicialmente o estado $Q=0$, pois a chave SW1 foi pressionada momentaneamente. Descreva o que acontece se o feixe de luz for interrompido.



Questões para Revisão

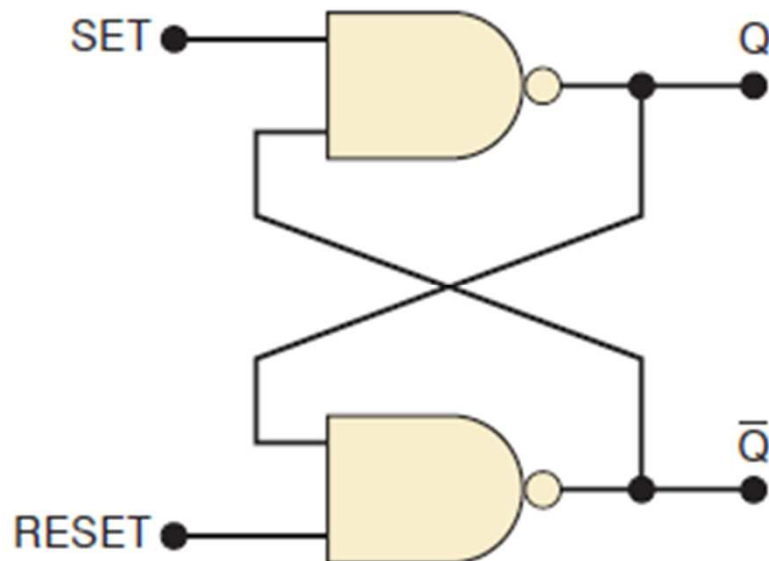
1. Qual é a condição normal de repouso das entradas de um latch NOR?
2. Qual é o estado ativo das entradas?
3. Quando o latch é “setado” quais são os estados de Q e \bar{Q} ?
4. Em um latch NOR, qual é a única forma de fazer a saída Q mudar de 1 para 0 ?

Latch com portas NAND

- O latch tipo NAND está em estado de repouso quando $SET=RESET=1$

Latch com portas NAND

- SET = RESET = 1
 - Condição normal de repouso. Nenhuma alteração ocorre nas saídas.
- SET = 0; RESET = 1
 - Faz $Q = 1$ que permanecerá mesmo que SET volte para nível alto
- SET = 1; RESET = 0
 - Faz $Q = 0$ que permanecerá mesmo que RESET volte para nível alto.
- SET = 0; RESET = 0
 - Faz $Q = \bar{Q} = 0$. Se as entradas retornarem para nível alto simultaneamente, o estado final das saídas é imprevisível.

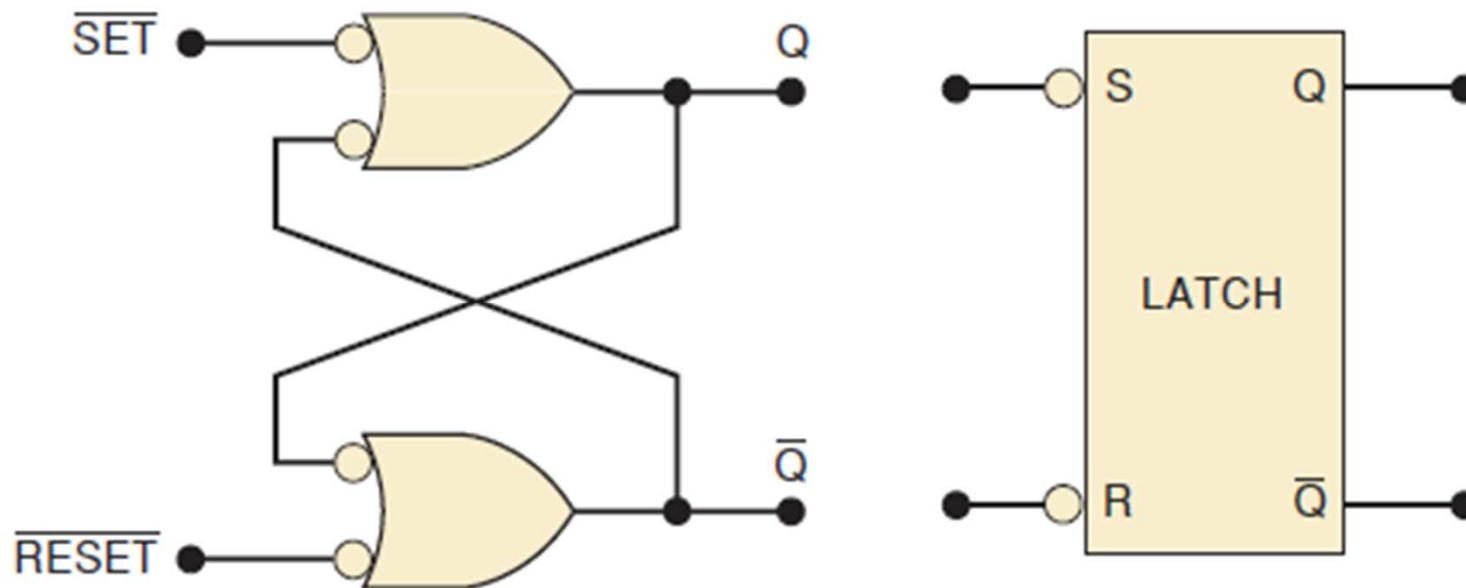


Set	Reset	Saídas
0	0	Inválido*
0	1	$Q = 1$
1	0	$Q = 0$
1	1	Sem alteração

*Produz $Q = \bar{Q} = 1$.

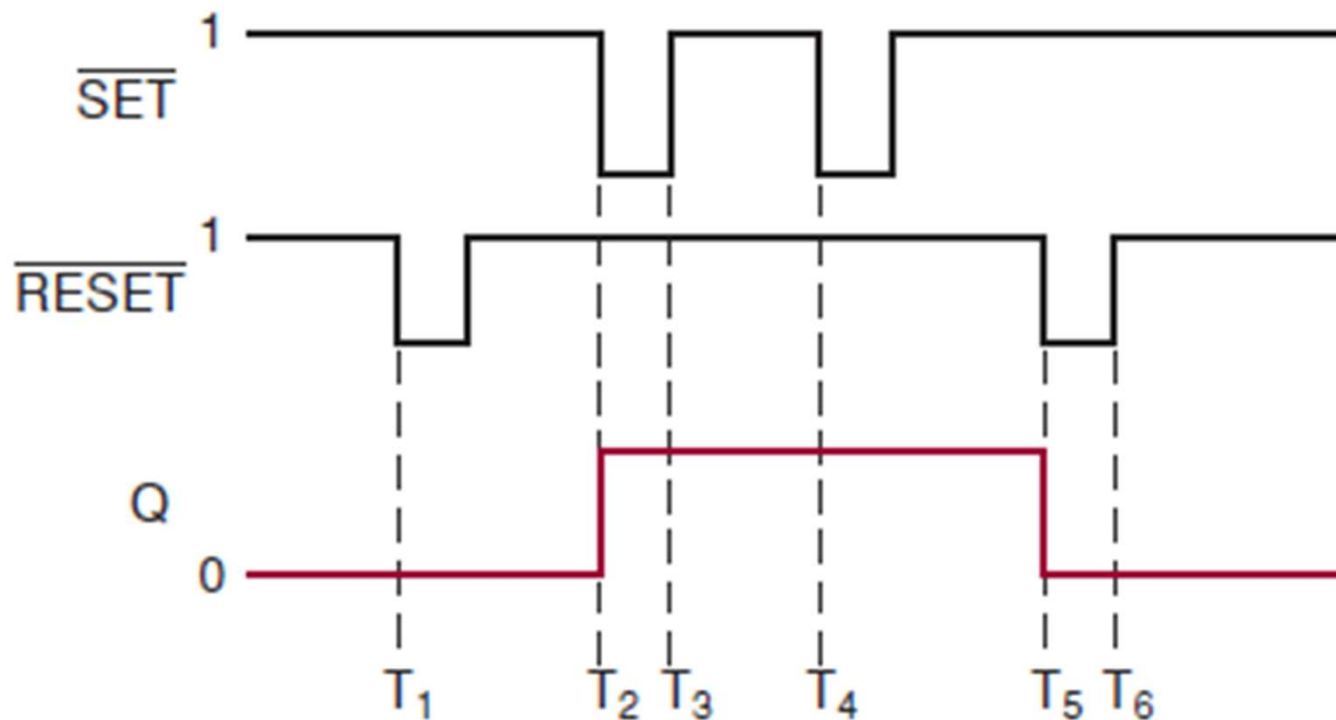
Latch – Representação alternativa

- O flip-flop S-R com portas NAND possui entradas que são ativas com nível baixo.
- É comum designar as entradas como \overline{SET} e \overline{RESET} , ou com inversores na representação em bloco.



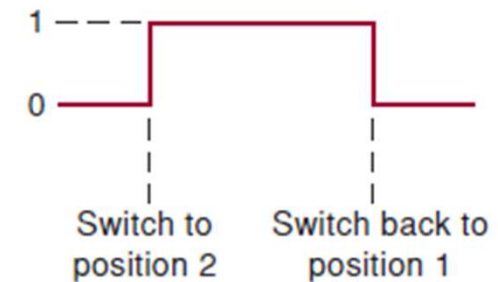
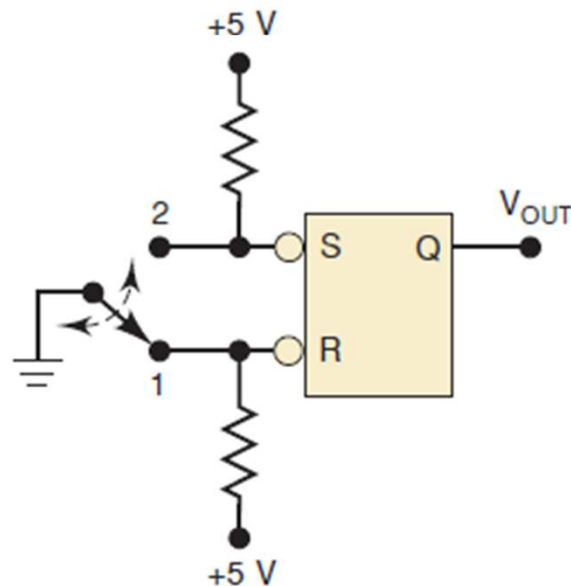
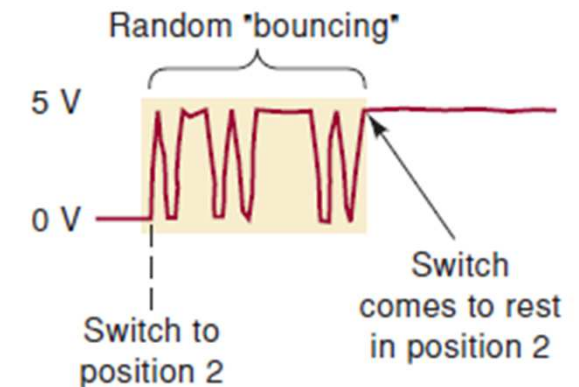
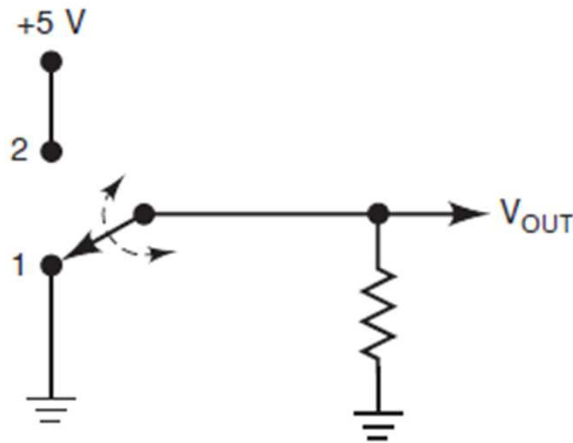
Latch com portas NAND

- Exemplo 3: Assumindo $Q = 0$ inicialmente, determine a forma de onda da saída Q para o latch com portas NAND.



Latch com portas NAND

- É quase impossível obter um contato perfeito em uma chave mecânica, devido ao fenômeno chamado “bounce”.
- Um latch pode ser usado para fazer um circuito “debouncer”.



Questões para Revisão

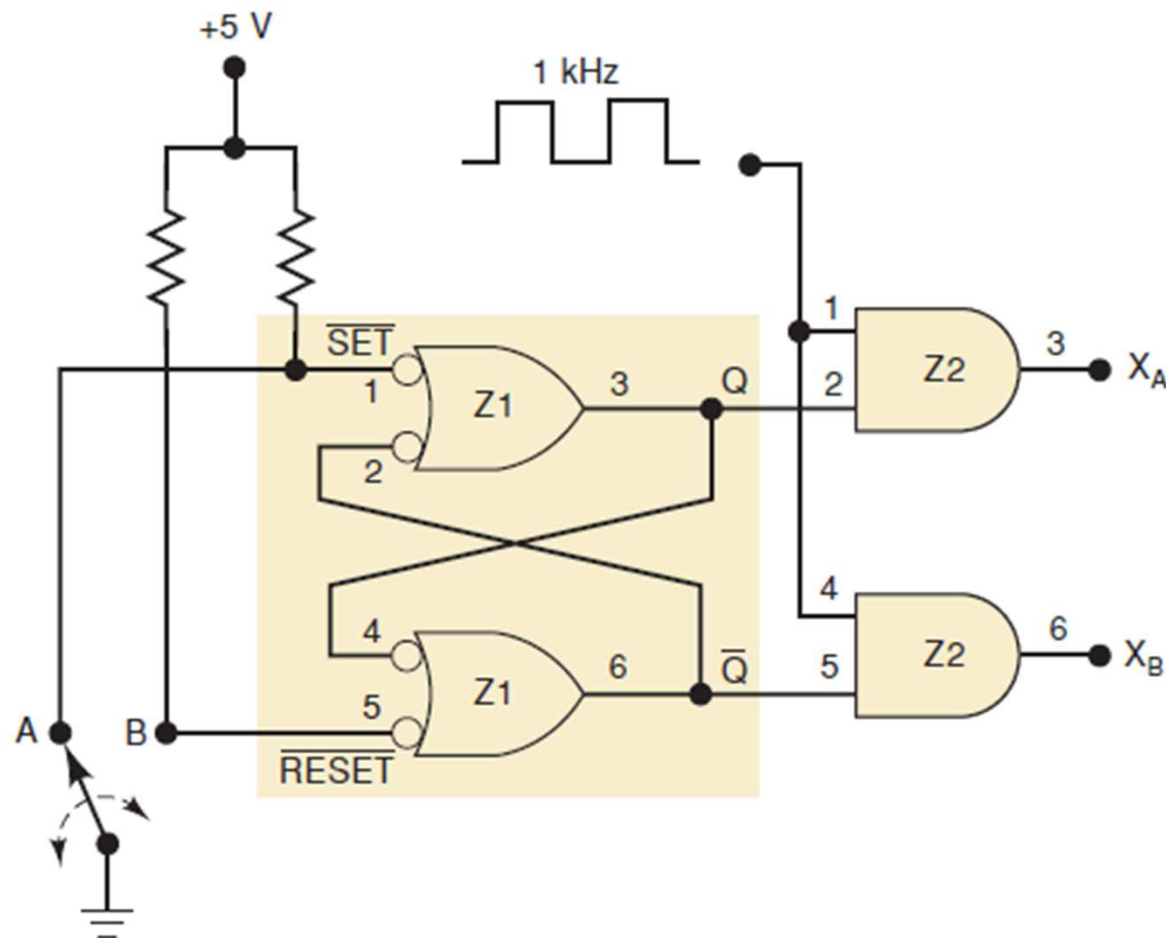
1. Qual é o estado normal de repouso das entradas \overline{SET} e \overline{RESET} ? Qual é o estado ativo de cada entrada?
2. Quais serão os estados de Q e \bar{Q} depois que um flip-flop foi “ressetado”?
3. Verdadeiro ou falso? A entrada \overline{SET} nunca pode ser usada para fazer $Q = 0$.
4. No exemplo do detector de passagem, se o flip-flop fosse substituído por um latch NAND, por que o circuito não funcionaria apropriadamente?

Estado do Flip-flop ao ligar o circuito

- Se o flip-flop estiver em sua posição de repouso ($S=R=1$ para o latch NAND e $S=R=0$ para o latch NOR), é impossível prever em qual estado ele estará logo após o circuito ser ligado.
- O resultado vai depender de tempos de propagação, capacitâncias parasitas e carga ligada nas saídas.
- Se um FF deve iniciar em um estado definido para o correto funcionamento do circuito, então ao ligar as entradas SET ou RESET devem ser ativadas momentaneamente.
- Isso geralmente é feito com o envio de um pulso na entrada apropriada.

Exemplo

- Analise e descreva a operação do circuito abaixo:

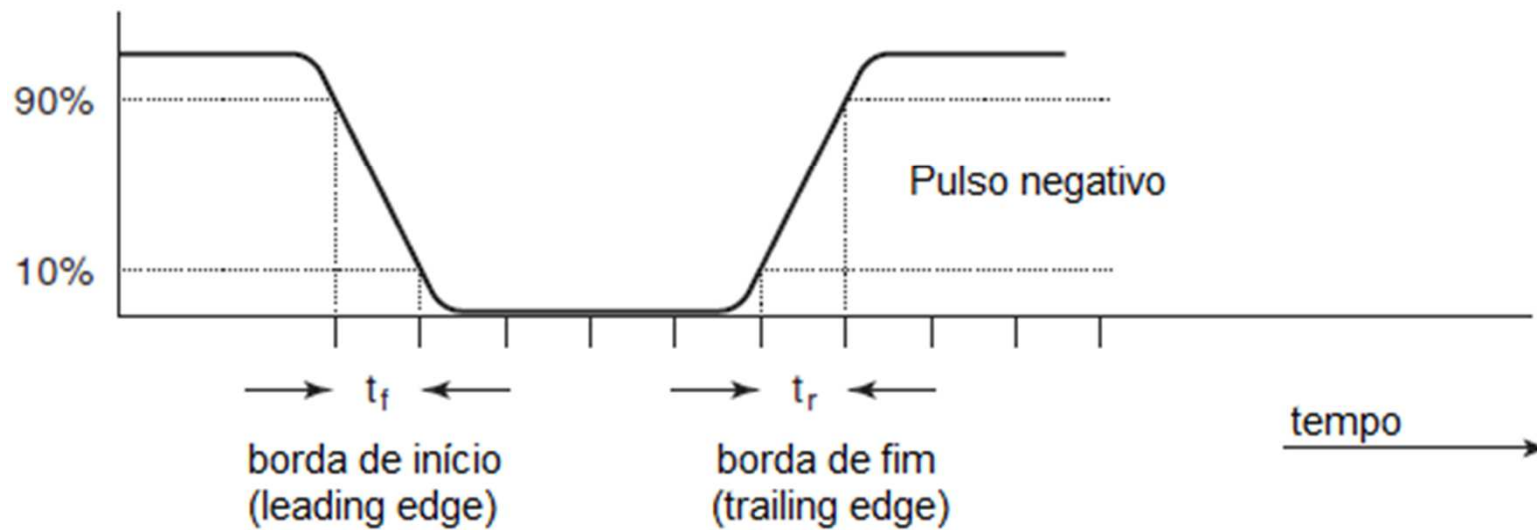
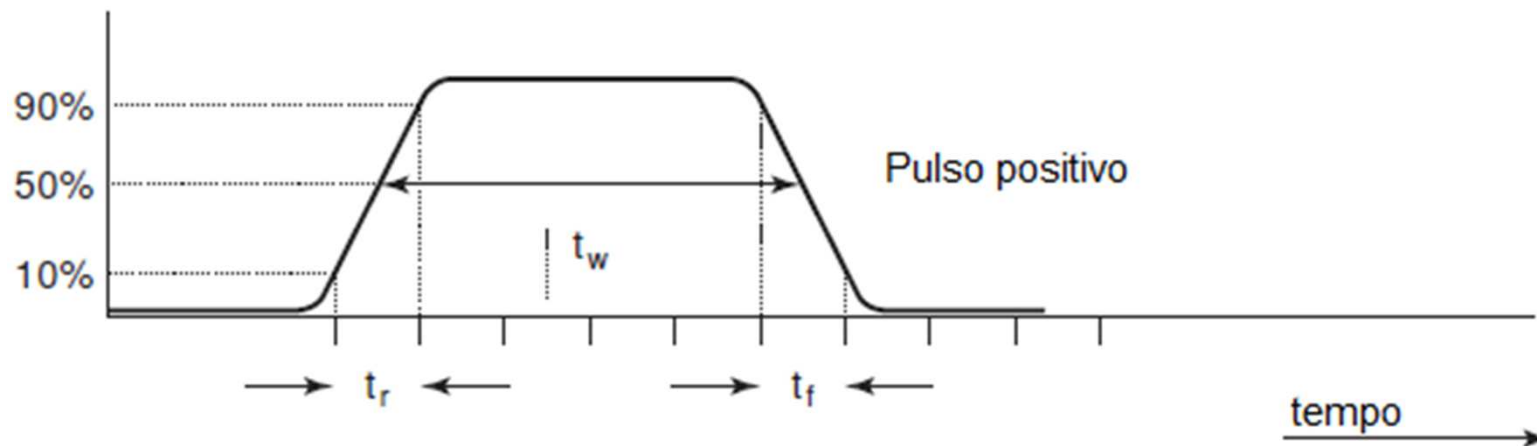


Switch position	X_A	X_B
A	Pulses	LOW
B	LOW	Pulses

Pulsos digitais

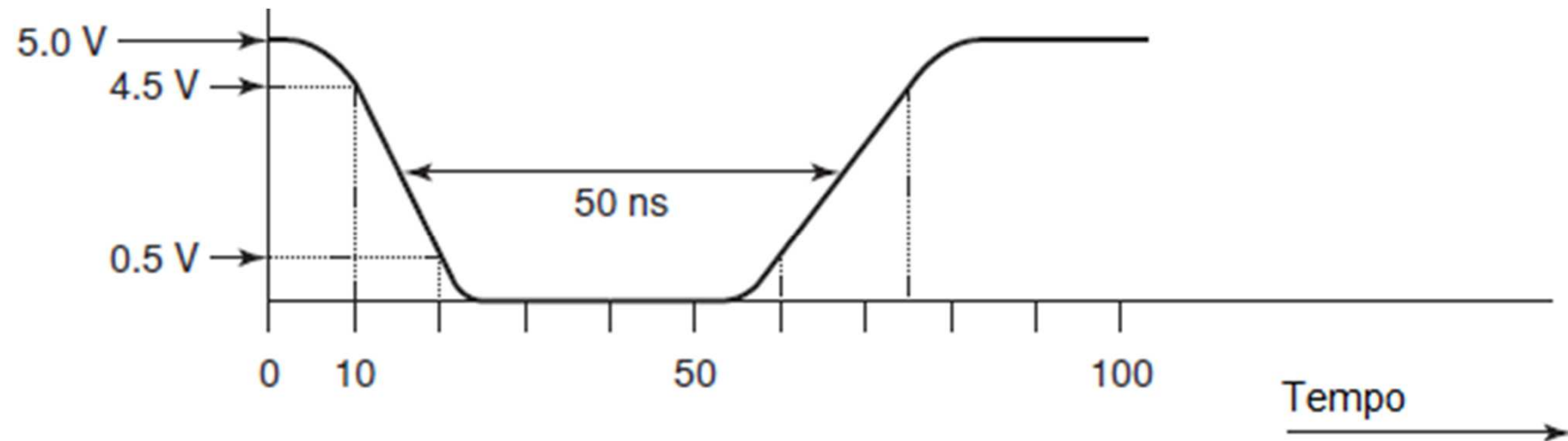
- Como vimos, nos circuitos sequenciais a transição de estado de uma entrada altera a saída e seu estado fica “preso” mesmo que a entrada volte ao estado inativo.
- Os pulsos digitais são usados para causar essa ativação/desativação dos circuitos com memória.
- Se o pulso digital causar seu efeito durante a subida de “0” para “1”, ele é chamado **pulso positivo**.
- Se o pulso digital causar seu efeito durante a descida de “1” para “0”, ele é chamado **pulso negativo**.
- Os circuitos reais geradores de pulsos impõem um tempo de transição de subida e de descida. São os chamados “rise time (t_r)” e “fall time (t_f)”.
- A largura do pulso (t_w) é o tempo entre os instantes em que o pulso está em 50% do valor.
- O tempo de subida ou de descida é medido entre os instantes em que o sinal varia de 10% para 90% ou vice-versa.

Pulsos digitais



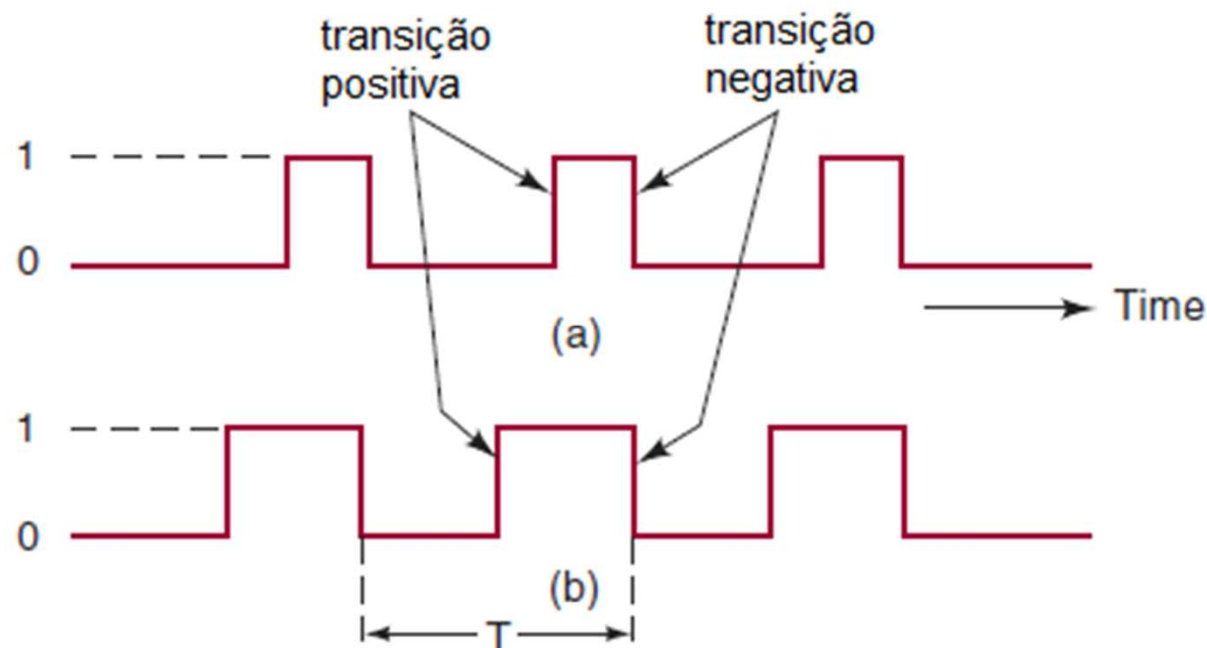
Exemplo

- Desenhe o pulso digital \overline{RD} de 5V do tipo ativo baixo com os seguintes dados: Tempo de subida $t_r = 15\text{ns}$, tempo de descida $t_f = 10\text{ns}$, Largura do pulso $t_w = 50\text{ns}$



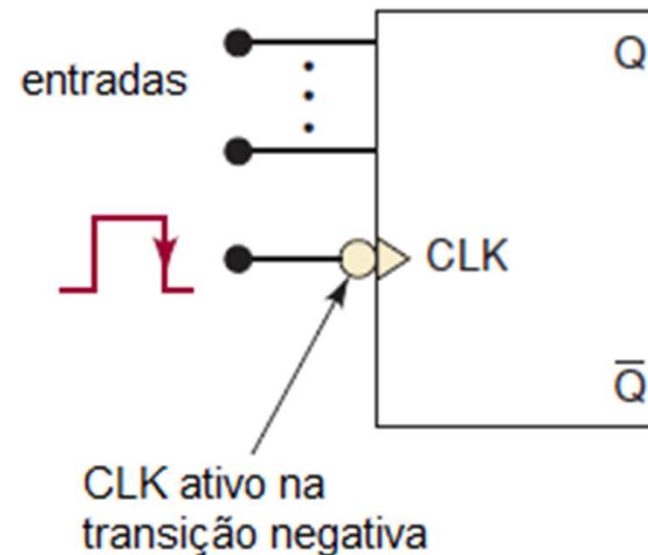
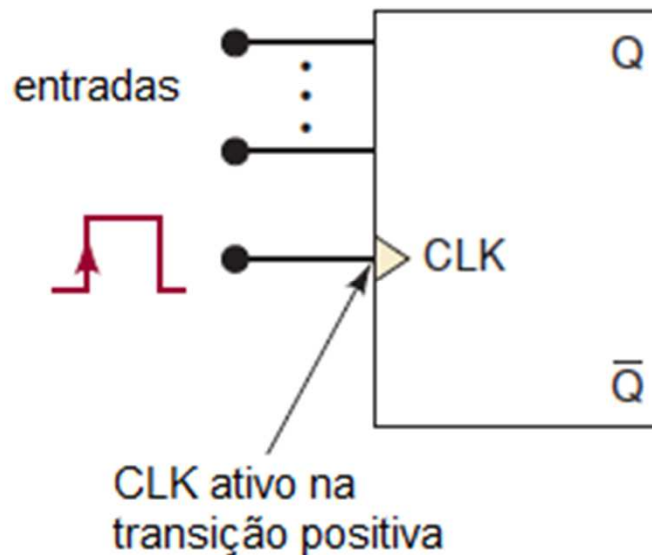
Sinais de clock

- Circuitos digitais podem ser **síncronos** ou **assíncronos**
- Em circuitos assíncronos, a saída do circuito pode mudar de estado a qualquer momento.
- Já os circuitos síncronos, o instante exato em que uma saída pode mudar de estado é ditado por um sinal comumente denominado “clock”.
- O sinal de clock possui dois eventos importantes, que são as transições positivas e negativas, que são os instantes que causam mudanças nos circuitos.



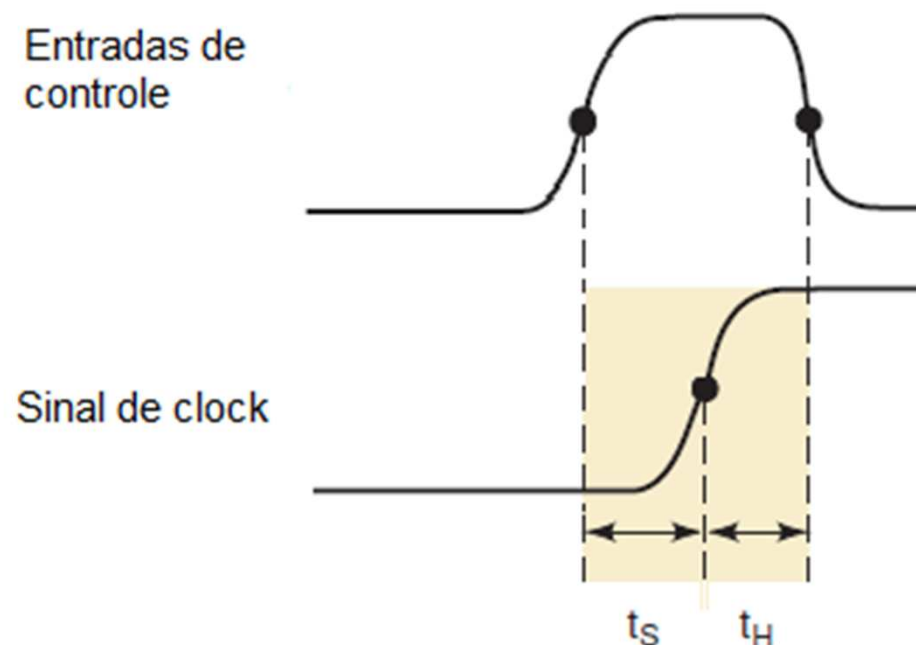
Flip-flops com sinal de clock

- Existem vários tipos de flip-flops com clock usados em uma ampla faixa de aplicações
- O sinal de clock é geralmente chamado CLK, CK, ou CP
- Geralmente a entrada CLK possui um pequeno triângulo, indicando que o sinal de clock terá efeito na transição.
- Pode ser ativado pela transição positiva ou negativa.



Tempos de *setup* (t_S) e *hold* (t_H)

- Os fabricantes de CIs especificam duas grandezas importantes: t_S (setup) e t_H (hold), que são os tempos que as entradas de controle devem ficar 'no estado desejado antes e depois da transição do clock, para que funcionem corretamente. (Estão na faixa de 5 a 50 ns)

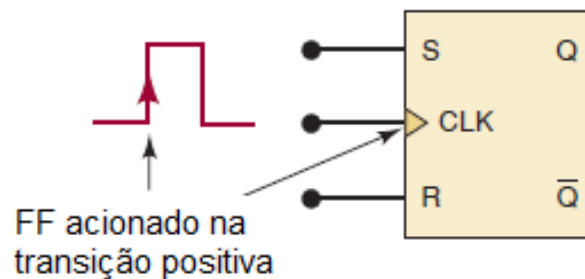


Questões para Revisão

1. Quais os dois tipos de entradas que um flip-flop com clock possui?
2. O que significa o termo acionado pela borda? (edge-triggered)
3. Verdadeiro ou falso? A entrada CLK irá afetar a saída do flip-flop somente quando a transição ativa da entrada de controle ocorrer.
4. Defina os requisitos de tempo de setup (t_S) e tempo de hold (t_H) para um flip-flop com clock.

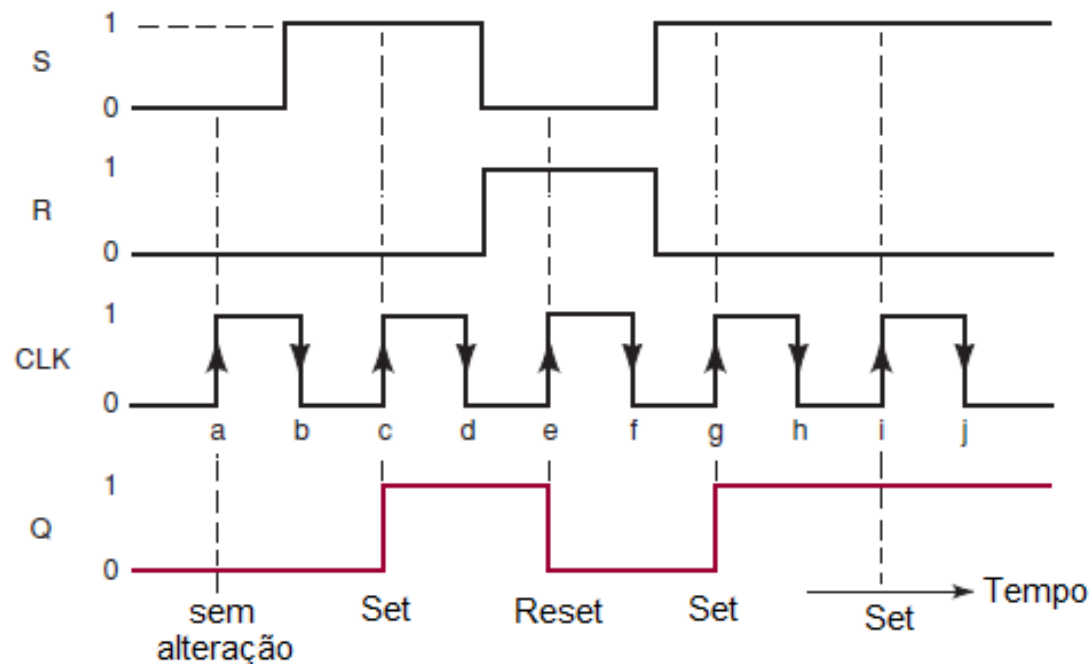
Flip-flops S-R com clock

- O flip-flop S-R com clock somente mudará seu estado no momento da transição do clock.



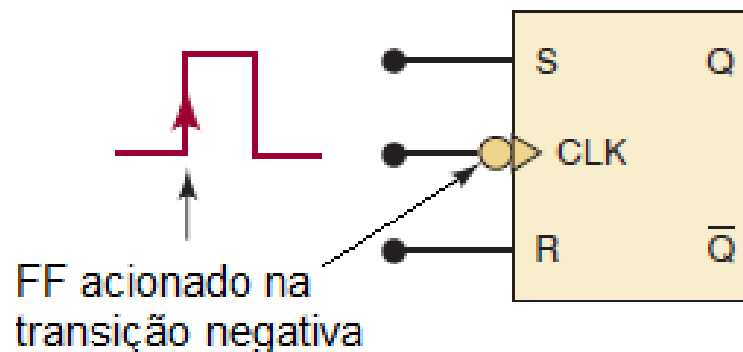
Entradas			Saída
S	R	CLK	Q
0	0	↑	Q_0 (sem alteração)
1	0	↑	1
0	1	↑	0
1	1	↑	ambíguo

Q_0 é a saída antes da ↑ do clock.
↓ do clock não altera a saída Q



Flip-flops S-R com clock

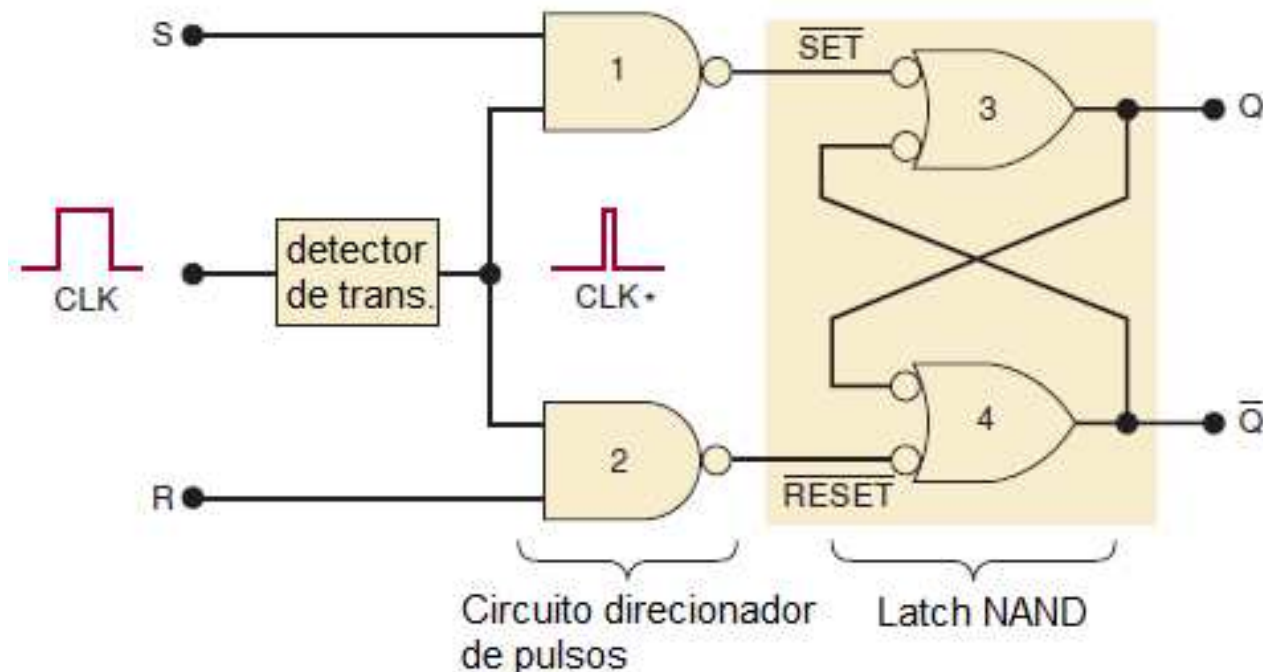
- No circuito anterior:
 - A transição negativa não afeta a saída Q
 - O nível das entradas também não afeta a saída Q
 - Somente a transição positiva do clock pode alterar a saída Q, dependendo das entradas de controle S e R
 - As entradas de controle S e R são denominadas entradas síncronas de controle (pois controlam para qual estado o flip-flop vai no momento da transição do clock)
- Um flip-flop S-R com clock também pode ser acionado por transição negativa. A entrada de clock é representada com um inversor.
- Como ficaria a forma de onda de Q neste flip-flop se as entradas variassem como no slide anterior?



Entradas			Saída
S	R	CLK	Q
0	0	↓	Q_0 (sem alteração)
1	0	↓	1
0	1	↓	0
1	1	↓	ambíguo

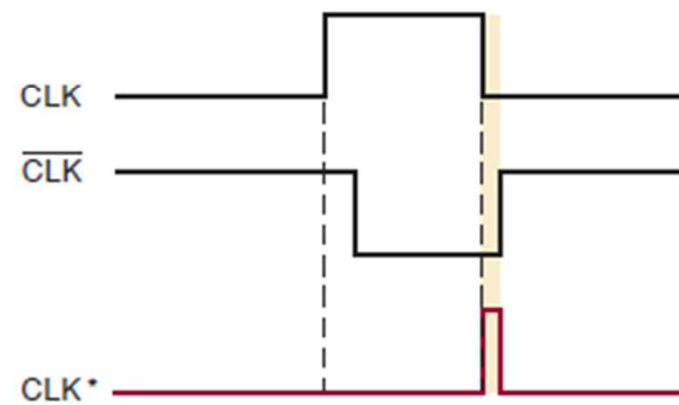
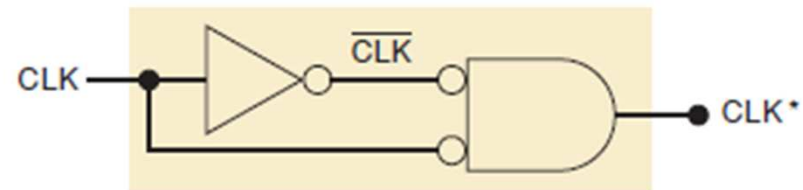
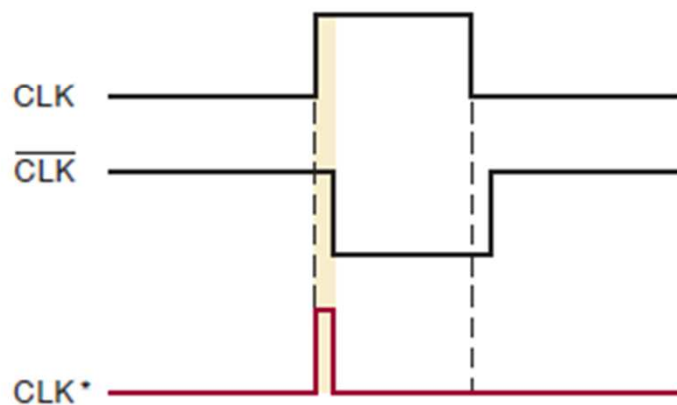
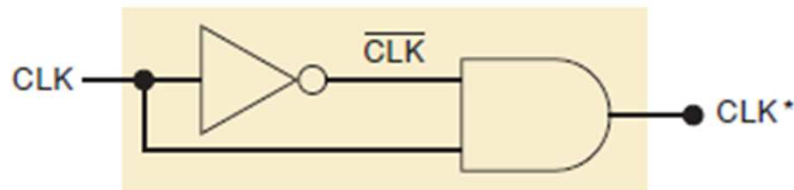
Circuito interno de um flip-flop S-R com clock

- O flip-flop S-R com clock de transição positiva pode ser construído com os seguintes elementos:
 - Um latch básico de portas NAND (portas NAND 3 e 4)
 - Um circuito de direcionamento de pulsos (portas NAND 1 e 2)
 - Um circuito detector de transição de pulso.



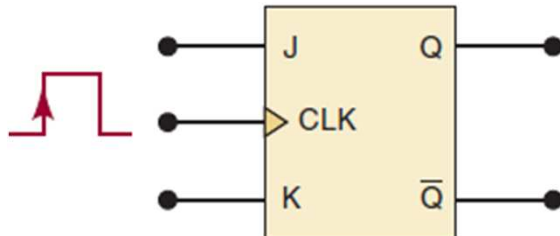
Circuito detector de transição

- Construído com base no atraso de uma porta (inversor)
- Produz um pulso de alguns nanosegundos de duração.



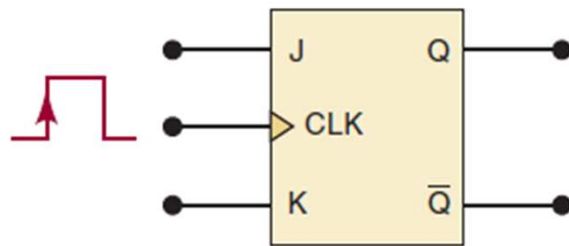
Flip-flop J-K com clock

- A figura mostra um outro tipo de circuito básico de memória, o flip-flop J-K.
- As entradas J e K controlam o estado do flip-flop da mesma forma que no flip-flop S-R, porém $J=K=1$ não leva o circuito numa situação ambígua.
- Se $J=K=1$, a saída Q irá para o estado oposto no momento da transição do clock. Isso é chamado modo “toggle” de operação.
- Com o modo “toggle”, com $J=K=1$, a saída Q mudará de estado a cada transição de clock.

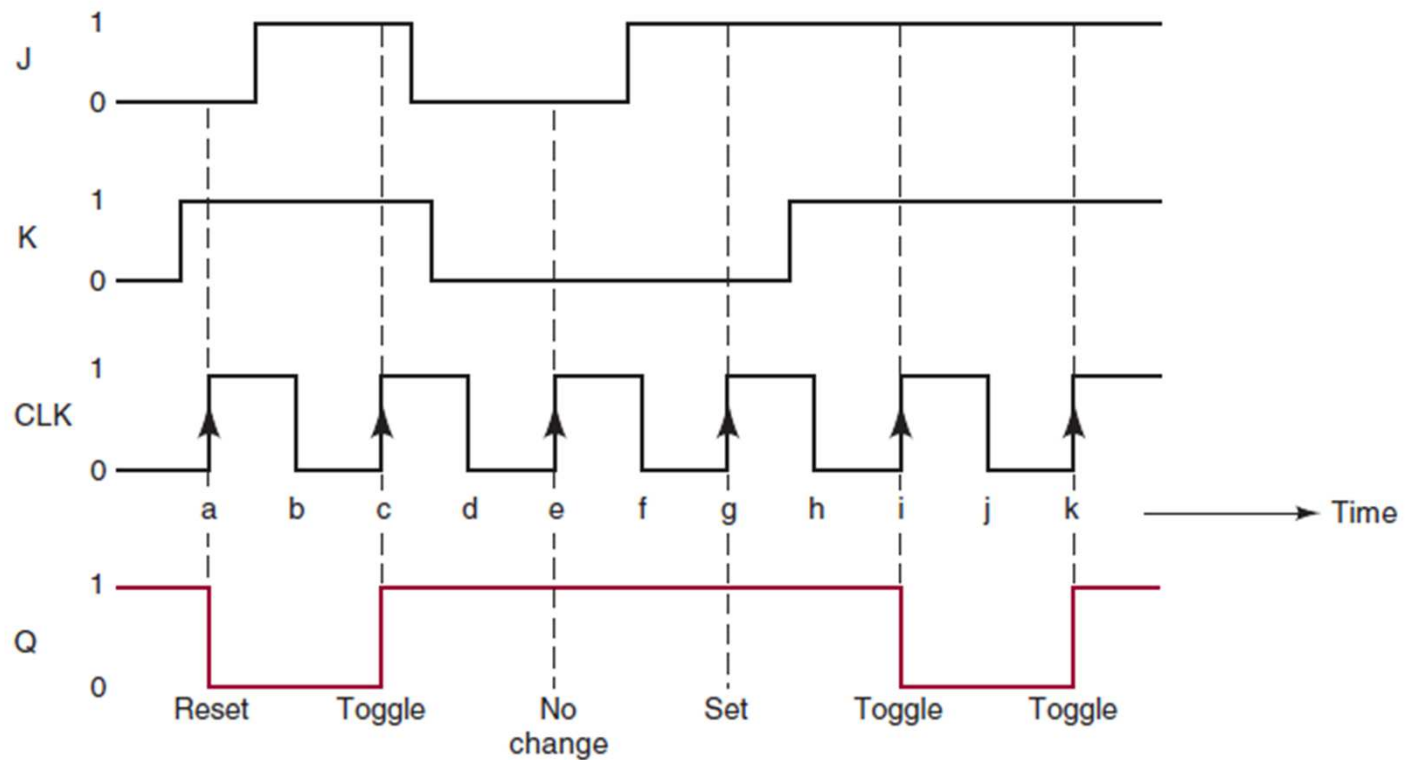


J	K	CLK	Q
0	0	↑	Q_0 (no change)
1	0	↑	1
0	1	↑	0
1	1	↑	\bar{Q}_0 (toggles)

Flip-flop J-K com clock

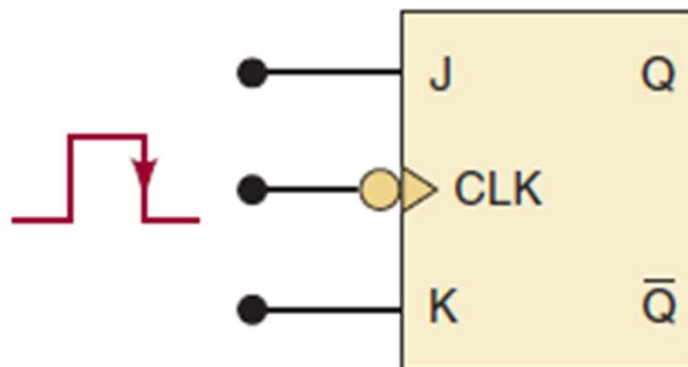


J	K	CLK	Q
0	0	↑	Q_0 (no change)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (toggles)



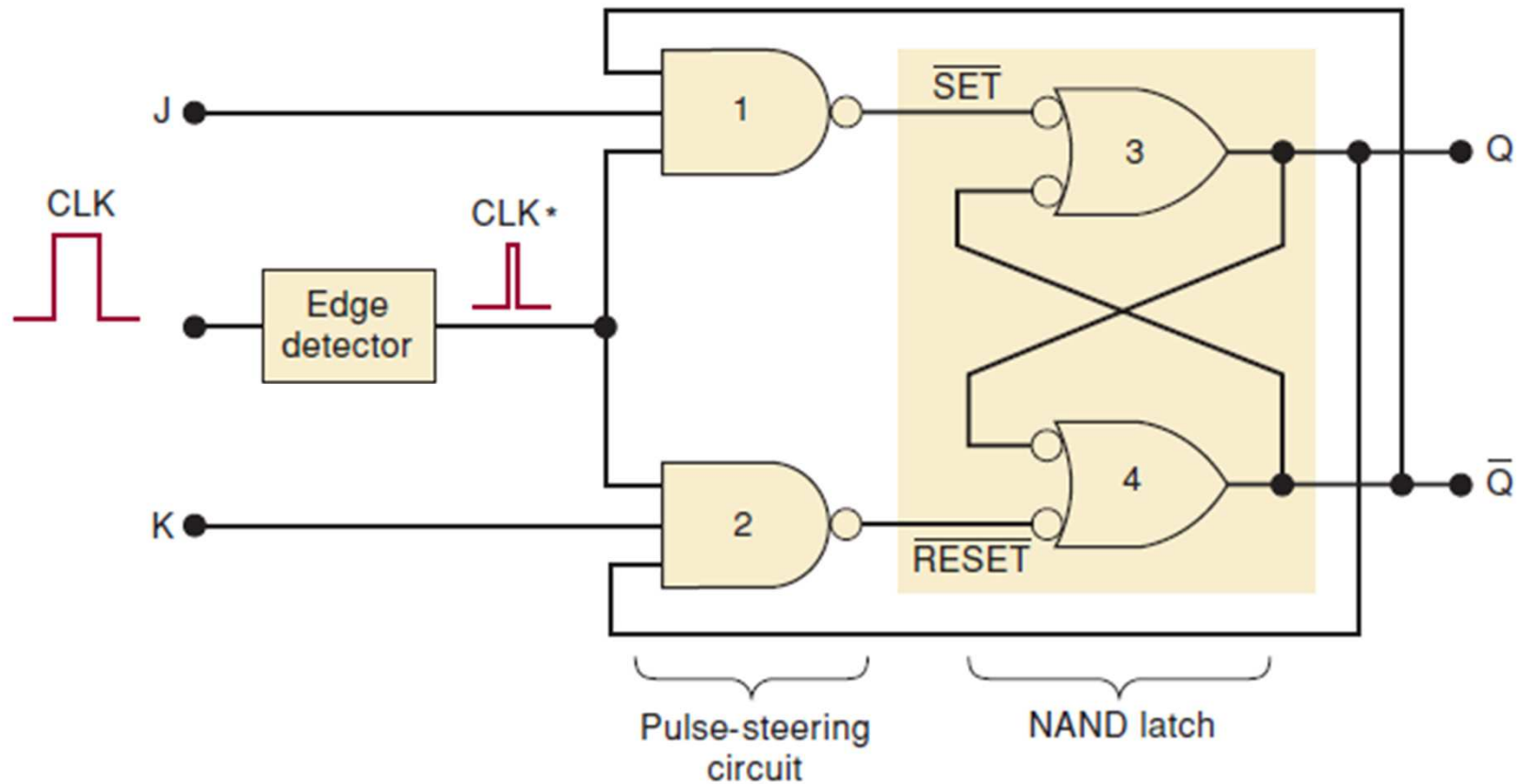
Flip-flop J-K com clock

- O flip-flop J-K é muito mais versátil que o flip-flop RS, pois não tem nenhum estado ambíguo.
- Além disso, o modo “toggle” é muito útil e bastante utilizado em qualquer tipo de contador binário.
- O flip-flop J-Kb faz tudo que o S-R faz com um “plus” a mais que é o modo “toggle”.
- O flip-flop J-K também pode operar por transição negativa:



J	K	CLK	Q
0	0	↓	Q_0 (no change)
1	0	↓	1
0	1	↓	0
1	1	↓	\bar{Q}_0 (toggles)

Circuito interno de um flip-flop J-K com clock

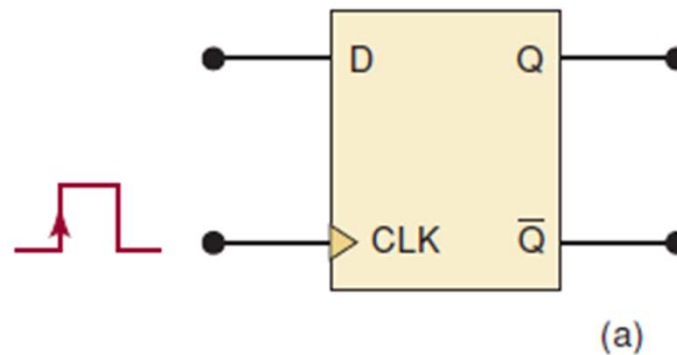


Questões para Revisão

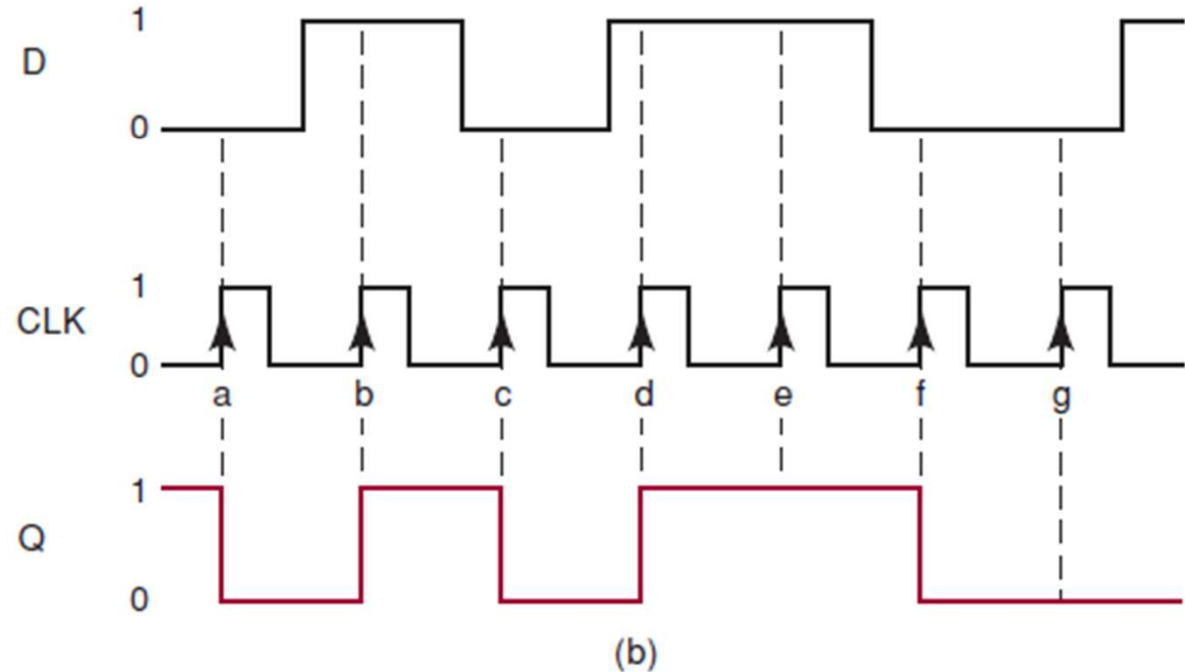
1. Verdadeiro ou falso? Um flip-flop J-K pode ser usado como um flip-flop S-R, mas um flip-flop S-R não pode ser usado como um flip-flop J-K.
2. Um flip-flop J-K possui alguma combinação de entradas que leve o flip-flop a um estado incerto? (estado ambíguo)
3. Quais estados de J e K vão sempre setar Q na ocorrência de uma transição de clock?

Flip-flop D com clock

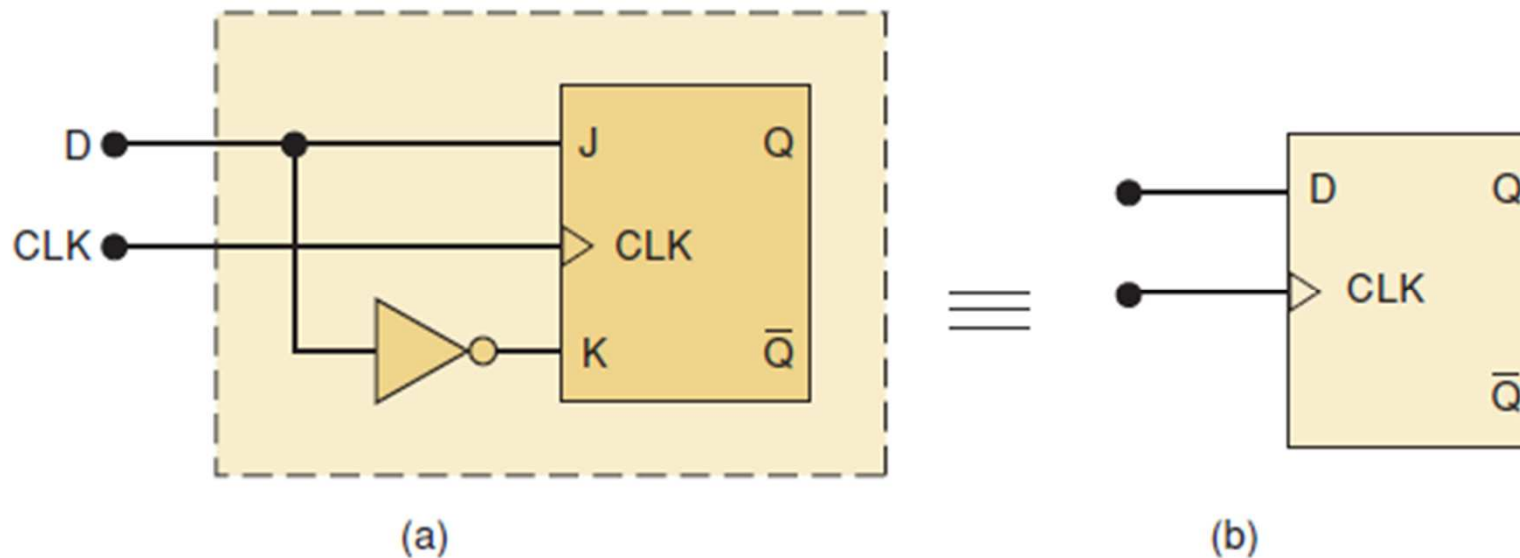
- Diferentemente dos anteriores, o flip-flop D possui apenas uma entrada síncrona
- A operação do flip-flop D é bem simples: a saída Q será igual à entrada D no momento da transição de clock



D	CLK	Q
0	↑	0
1	↑	1

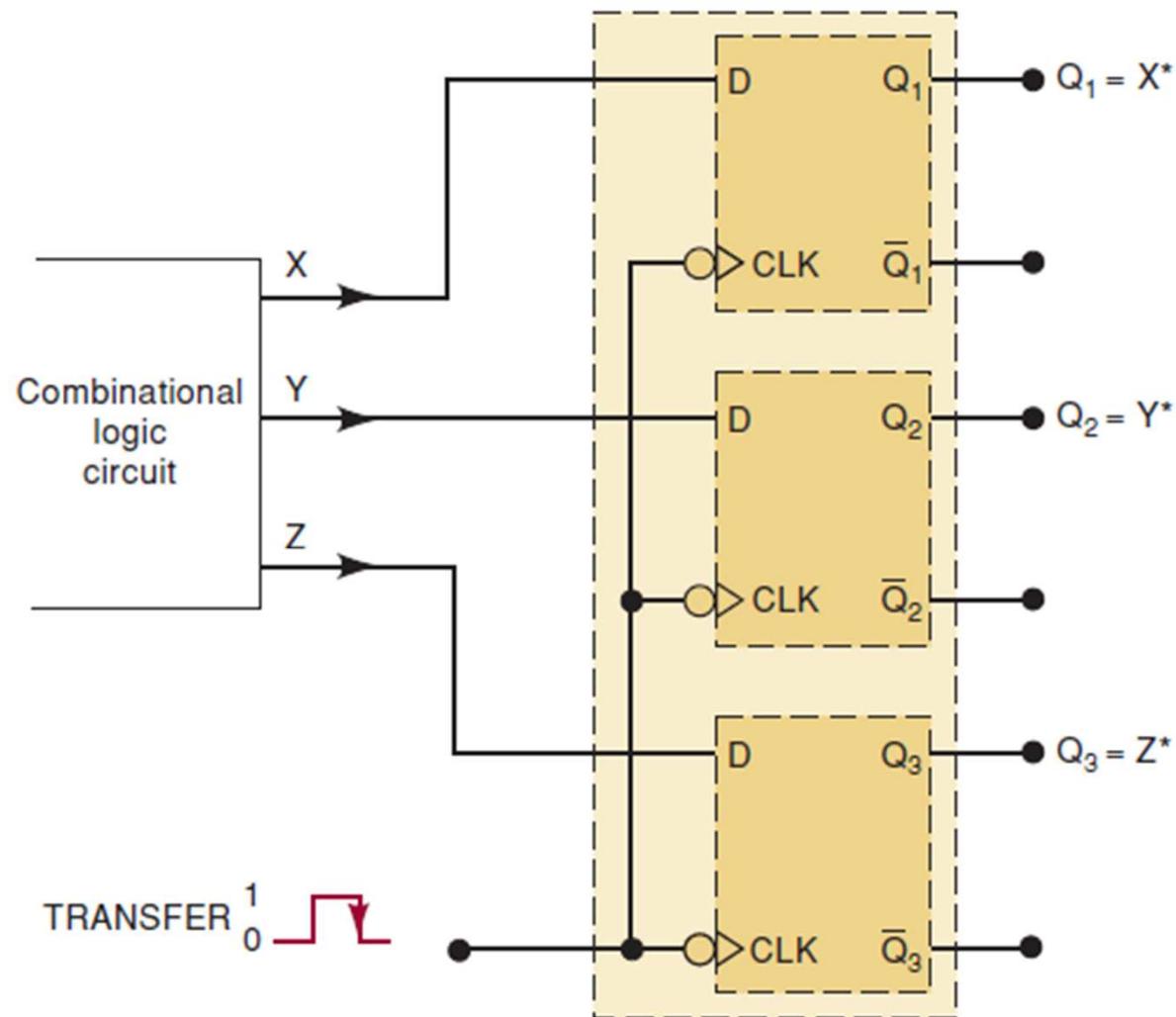


Implementação do flip-flop D



- Também pode ser feito com um flip-flop S-R
- Pra que serve? A principal aplicação é a transferência de dados paralela

Transferência de dados paralela



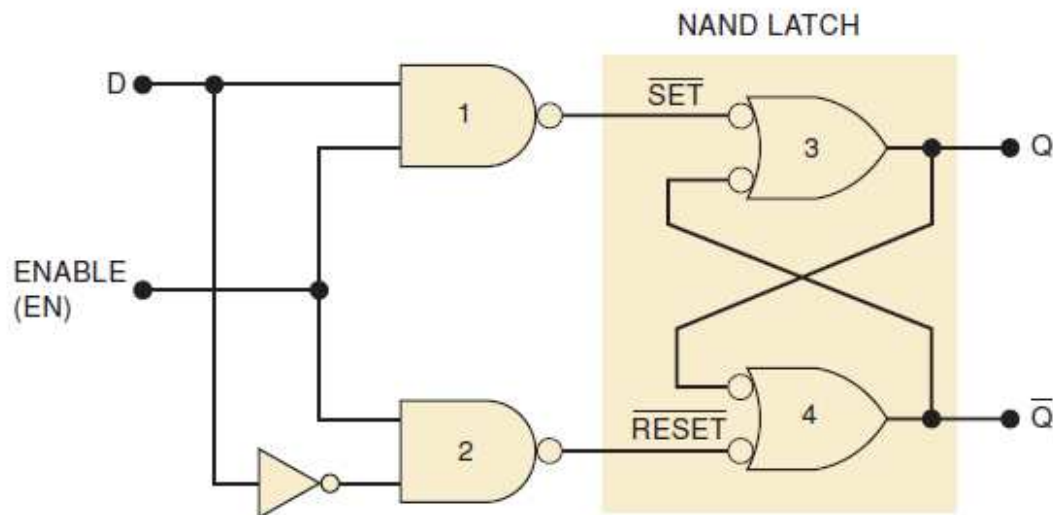
*After occurrence of NGT

Questões para Revisão

1. Na última forma de onda apresentada, o que acontecerá com a saída Q se a entrada D ficar permanentemente em nível baixo?
2. Verdadeiro ou falso? A saída Q será igual à entrada D sempre.
3. Pode um flip-flop J-K ser usado para transferência de dados?

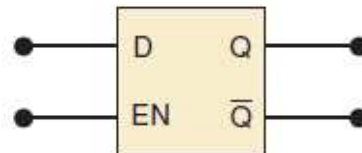
Latch D (latch transparente)

- Se o detector de transição não for usado, o resultado é o circuito abaixo
- Se $EN=1$, Q será exatamente igual a D . Isso é chamado modo transparente
- Se $EN=0$, a saída Q fica “congelada”.



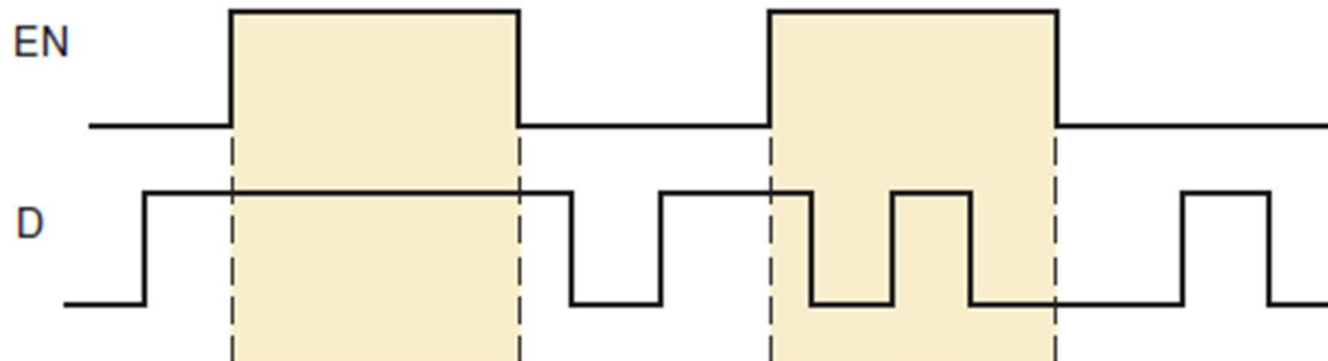
Inputs		Output
EN	D	Q
0	X	Q_0 (no change)
1	0	0
1	1	1

X indicates "don't care."
 Q_0 is state Q just prior to EN going LOW.



Exemplo

- Determine a forma de onda Q para um latch D com as entradas EN e D variando como mostrado abaixo. Assuma que $Q=0$ inicialmente.

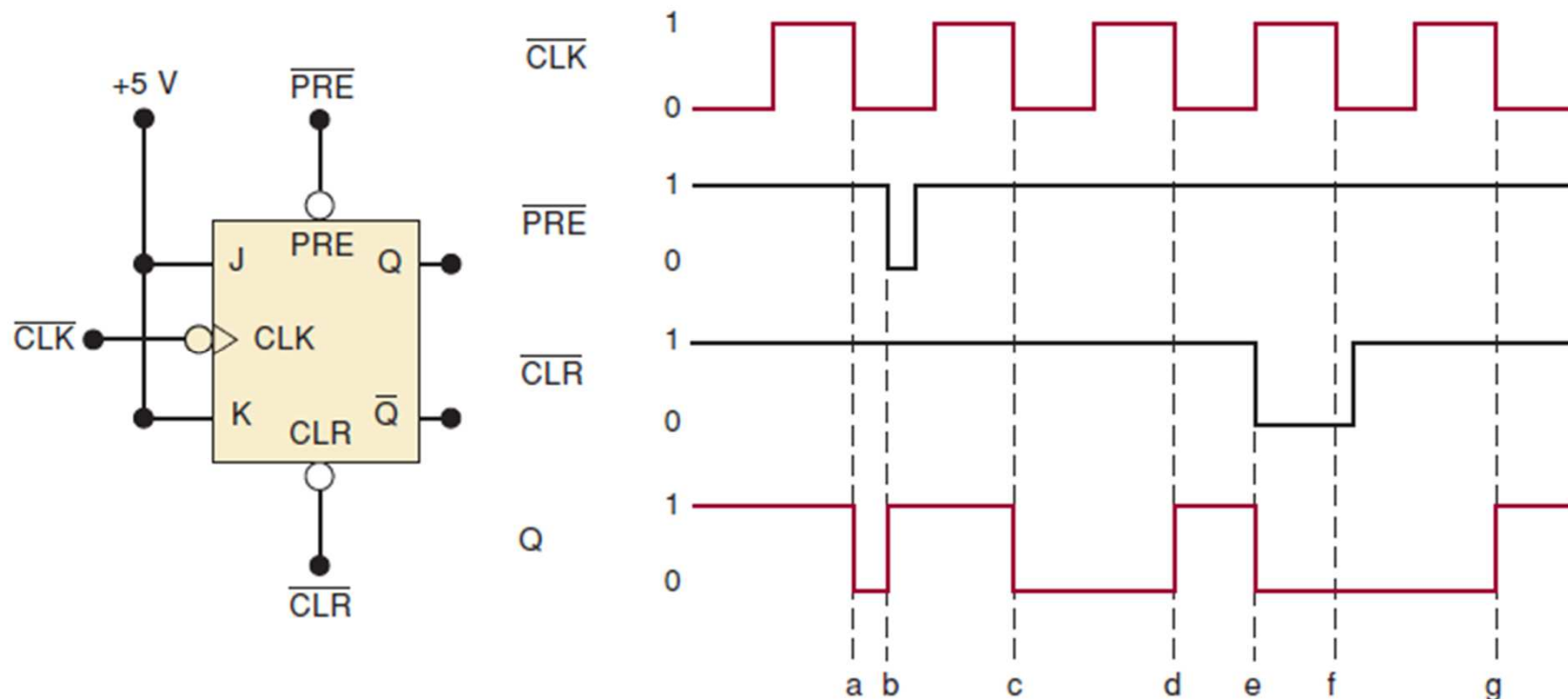


Questões para Revisão

1. Qual a diferença de funcionamento do latch D para o flip-flop D com clock?
2. Verdadeiro ou falso? Um latch D está em seu modo transparente quando $EN=0$.
3. Verdadeiro ou falso? Em um latch D, a entrada D pode afetar a saída Q somente se $EN=1$.
4. Como é possível usar o flip-flop D para operar no modo “toggle”?

Entradas Assíncronas \overline{PRESET} e \overline{CLEAR}

- Geralmente os flip-flops possuem duas entradas assíncronas \overline{PRESET} e \overline{CLEAR} usadas para inicializar o flip-flop.
- \overline{PRESET} e \overline{CLEAR} inibem todas as outras entradas.

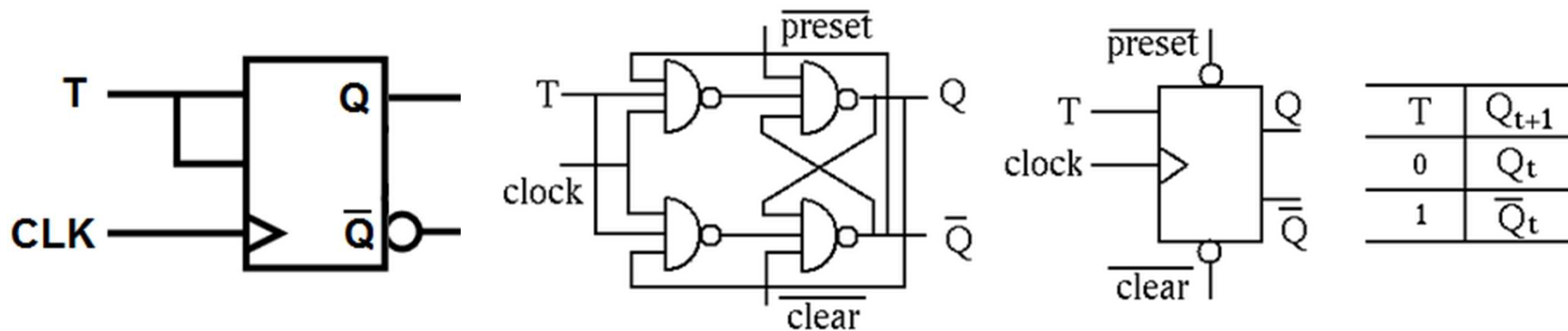


Questões para Revisão

1. Qual a diferença na operação de uma entrada síncrona e uma entrada assíncrona?
2. Um flip-flop D pode responder às entradas D e CLK enquanto a entrada assíncrona $\overline{PRE} = 1$?
3. Liste as condições para um flip-flop J-K disparado com transição positiva de clock e entradas assíncronas do tipo ativo-BAIXO operar no modo “toggle”?

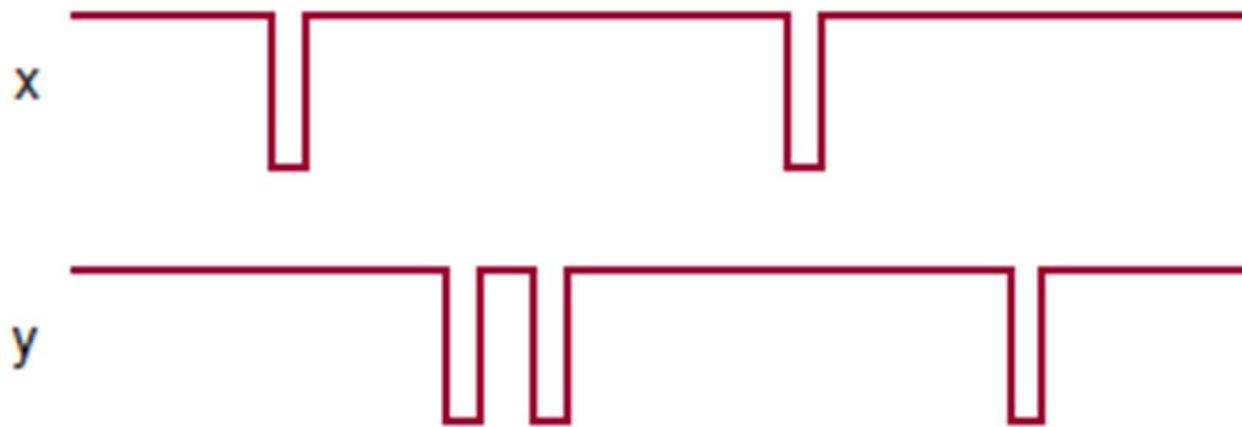
Flip-flop T

- Um flip-flop T tem uma única entrada (T).
- Quando $T=0$, o flip-flop está no modo “sem alteração”, similar a um flip-flop J-K com $J=K=0$
- Quando $T=1$, o flip-flop está no modo “toggle”, similar a um flip-flop J-K com $J=K=1$.



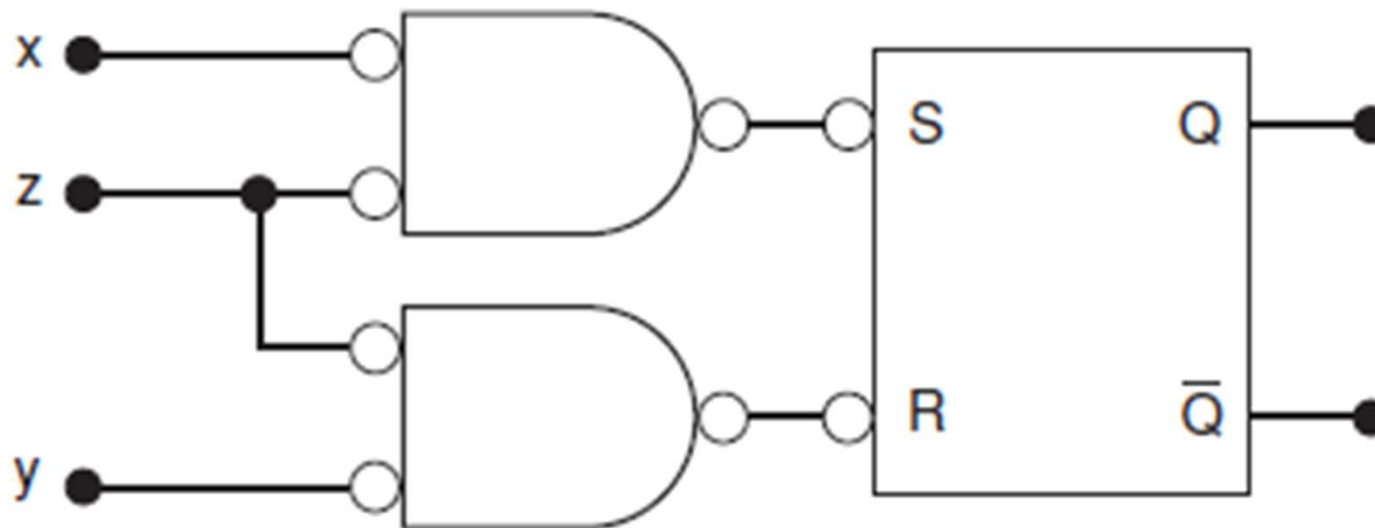
Exercícios

1. Assumindo $Q = 0$ inicialmente, aplique os sinais x e y mostrados abaixo nas entradas SET e RESET de um latch NAND. Desenhe a forma de onda das saídas Q e \bar{Q} .
2. Inverta x e y e repita o exercício, mas para um latch NOR.



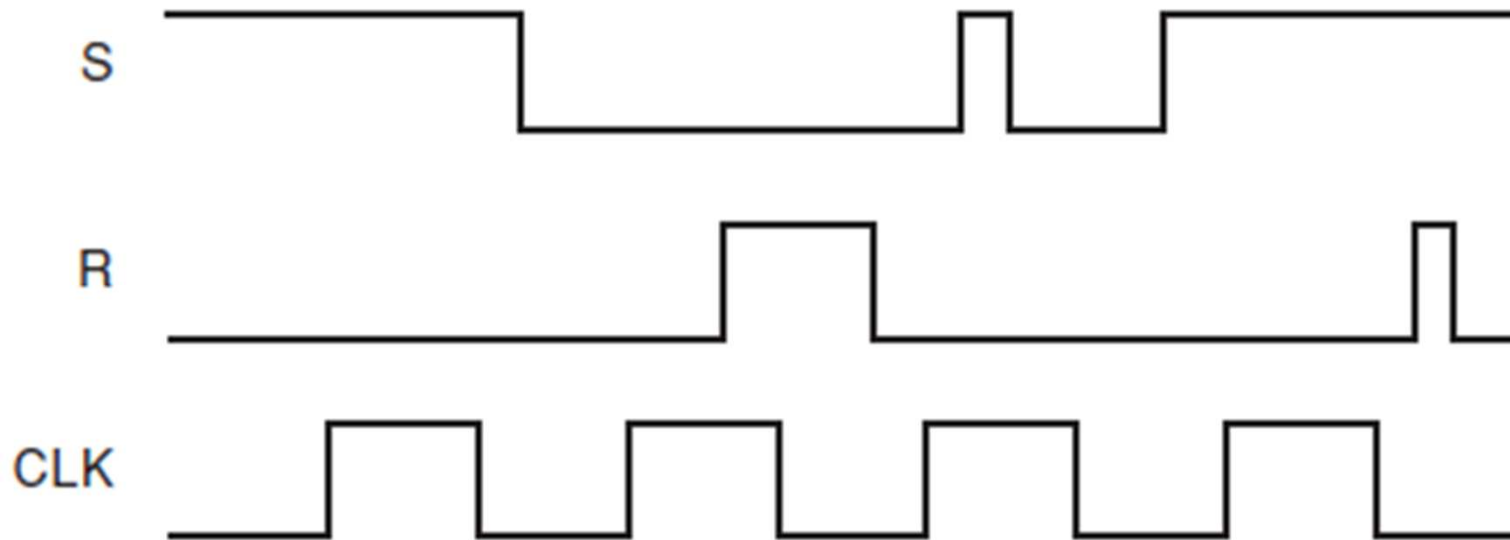
Exercícios

3. Aplique os sinais x, y e z do exercício anterior no circuito abaixo e determine o gráfico da saída Q. Assuma $Q = 0$ inicialmente.



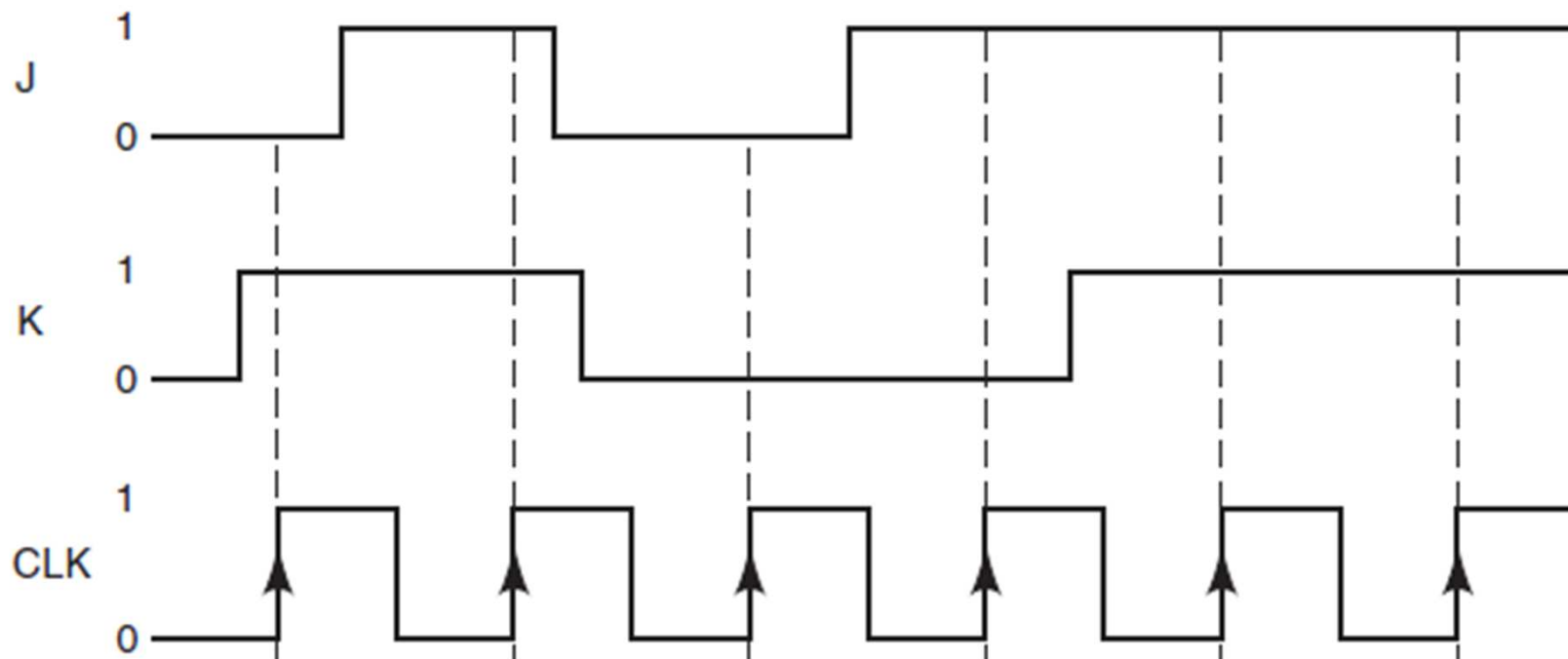
Exercícios

4. Aplique as formas de onda abaixo em um flip-flop S-R disparado por transição positiva de clock e desenhe a forma de onda da saída Q. Repita o exercício para o flip-flop S-R disparado por transição negativa de clock. Assuma $Q = 0$ inicialmente.



Exercícios

5. Aplique a forma de onda abaixo em um flip-flop J-K disparado por transição **negativa** de clock. Assuma $Q = 1$ inicialmente.



Exercícios

6.A Mostre como o flip-flop J-K pode operar no modo “toggle”. Então aplique um sinal de 10KHz na entrada CLK e desenhe a forma de onda da saída Q.

6.B Conecte Q desse flip-flop na entrada CLK de outro flip-flop J-K com $J=K=1$. determine a frequência do sinal na saída Q desse flip-flop.

Exercícios

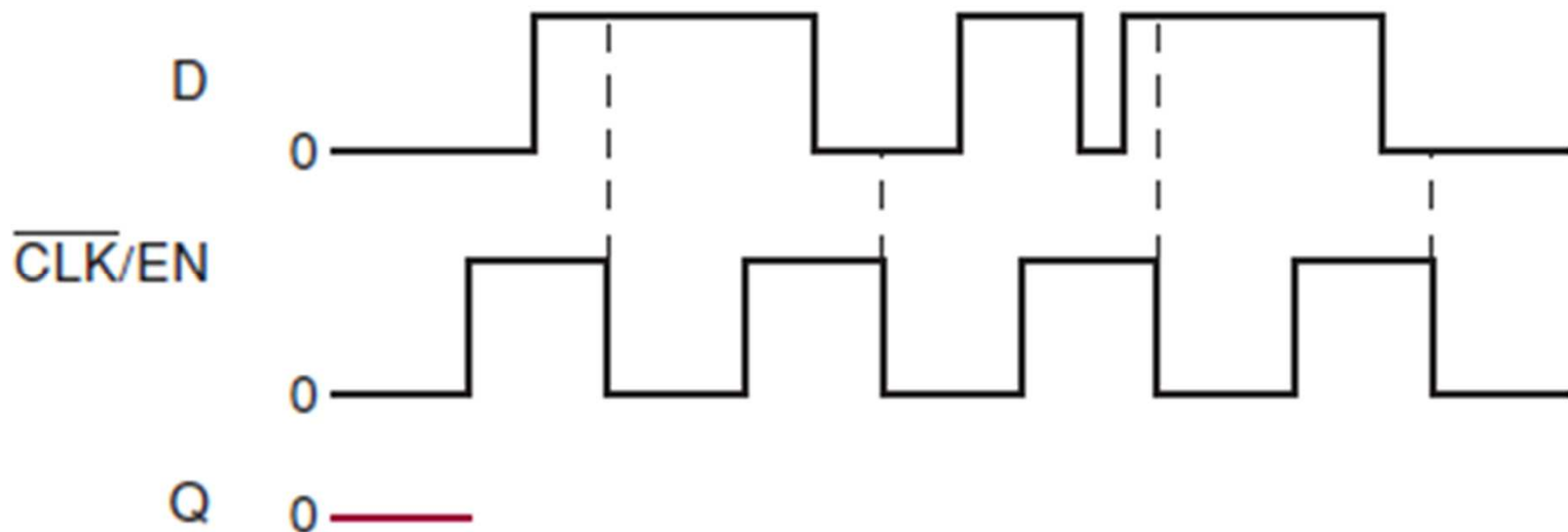
7.A Aplique as formas de onda S e CLK do exercício 4 em um flip-flop D ativado por transição positiva de clock e desenhe a forma de onda da saída Q resultante. Assuma $Q = 0$ inicialmente.

7.B Repita o exercício usando os sinais R e CLK no mesmo flip-flop.

7.C Repita 7.A e 7.B usando um flip-flop D ativado por transição negativa.

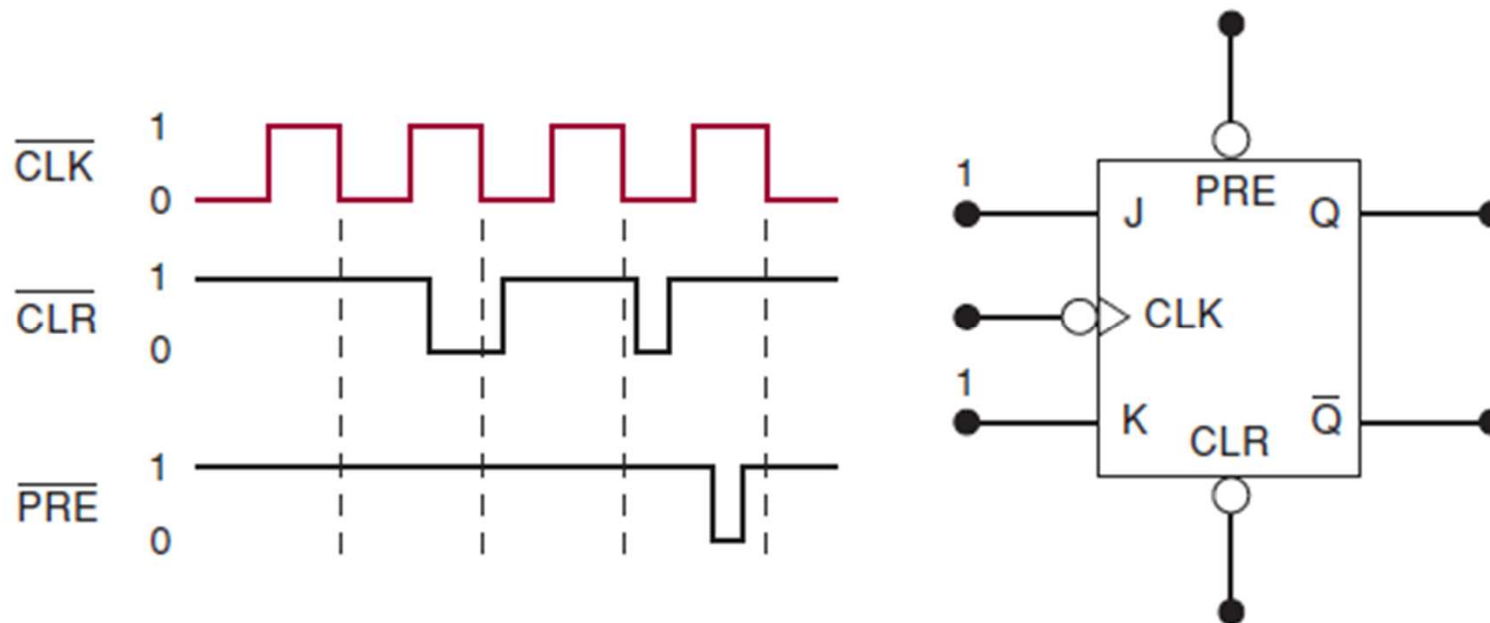
Exercícios

8. Compare a operação de um latch D com entrada EN e um flip-flop D disparado pela borda negativa do clock, aplicando os sinais abaixo.



Exercícios

9. Determine a forma de onda da saída Q do flip-flop abaixo. Assuma $Q = 0$ inicialmente.

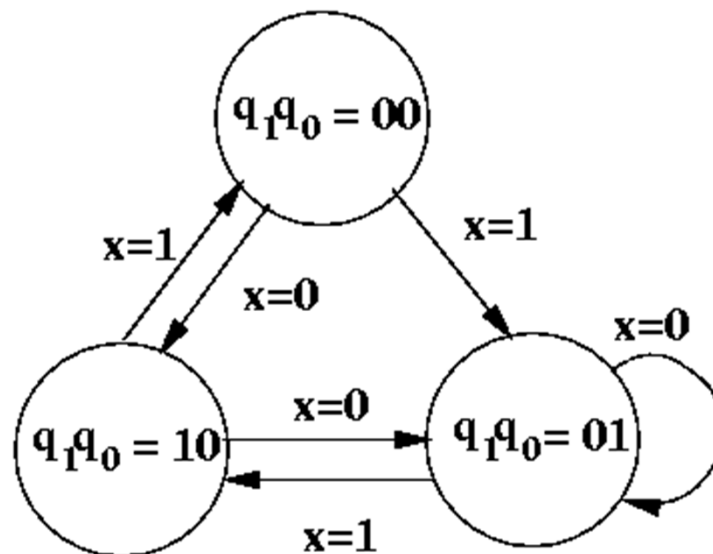


Exercícios

10. Repita o exercício anterior para um flip-flop D acionado por transição negativa de clock com entradas assíncronas tipo ativo-BAIXO. Assuma que D é mantido em nível BAIXO e Q está inicialmente em nível ALTO.

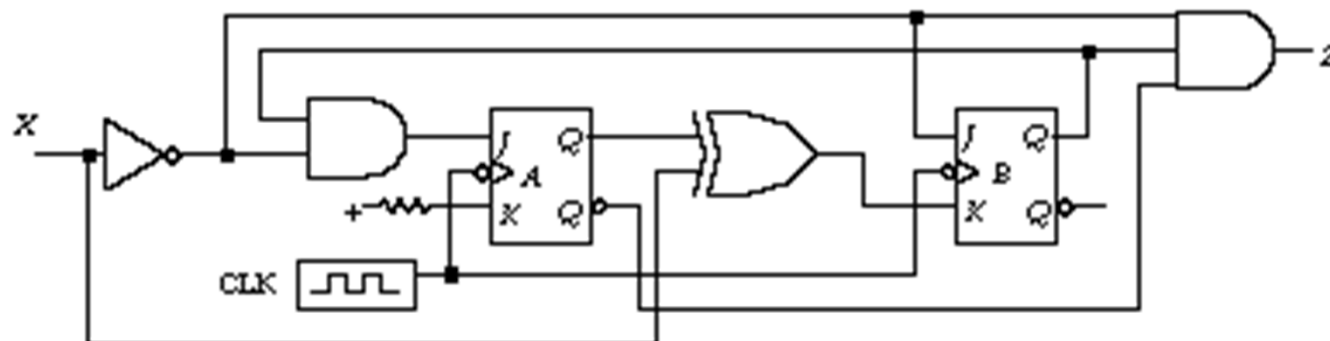
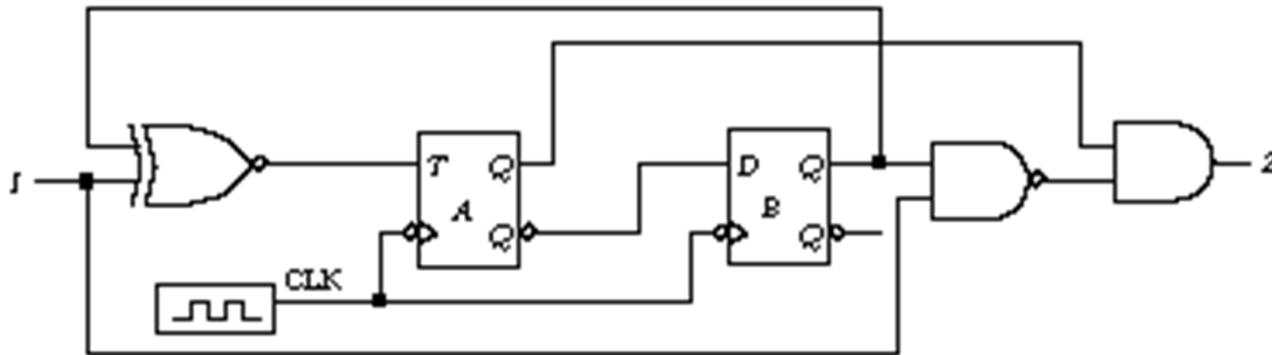
Aplicações com flip-flops

- As aplicações de flip-flops são muitas: contadores, armazenagem de dados (registradores), transferência de dados (serial e paralela), etc.
- São chamados circuitos sequenciais porque as saídas seguem uma sequência determinada de estados, com um novo estado ocorrendo a cada transição de clock.

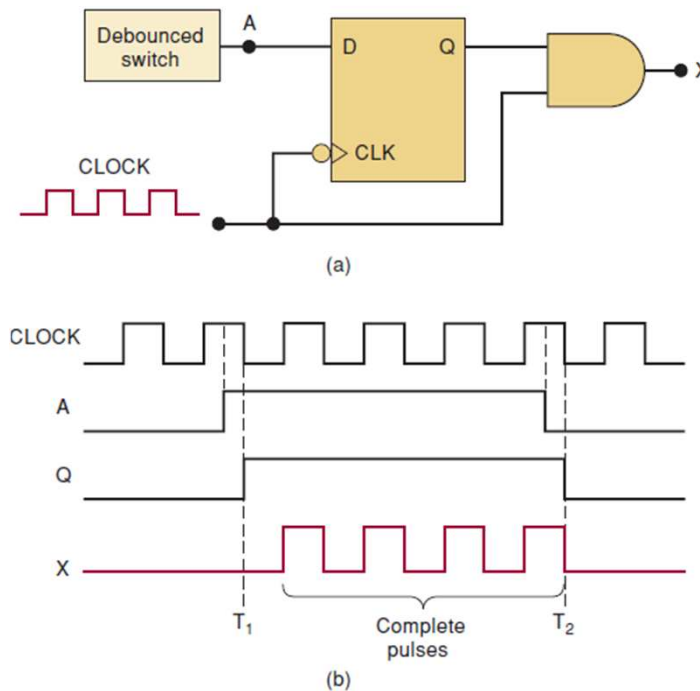
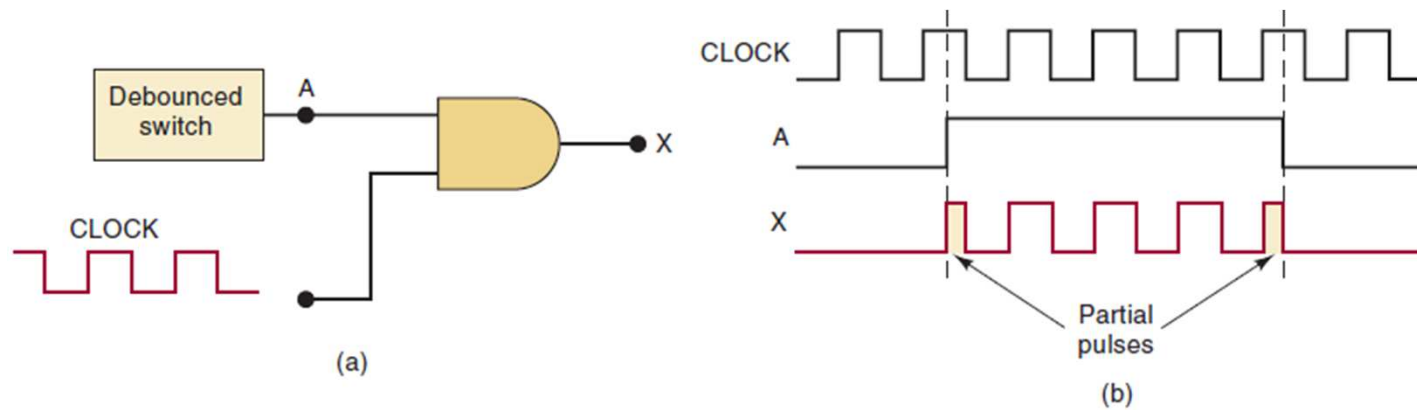


Aplicações com flip-flops

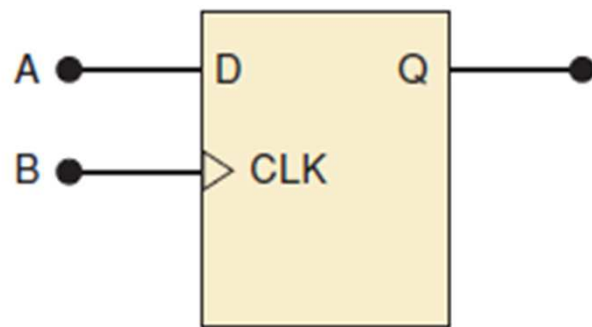
- Maquinas de estado – Mealy/Moore: metodologia para gerar circuitos específicos com memória.



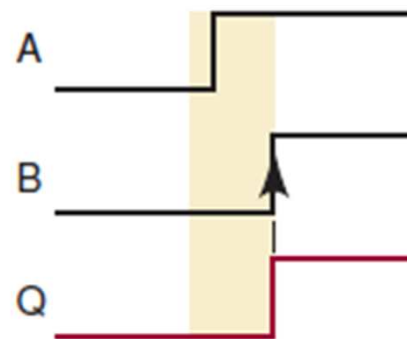
Sincronização com flip-flops



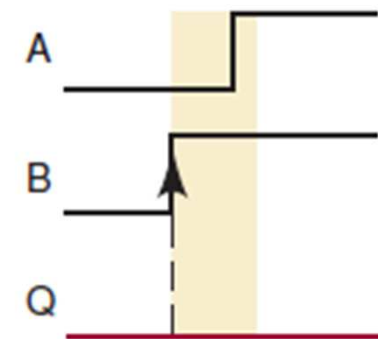
Detecção de sequências de entrada



(a)



(b) A goes HIGH before B

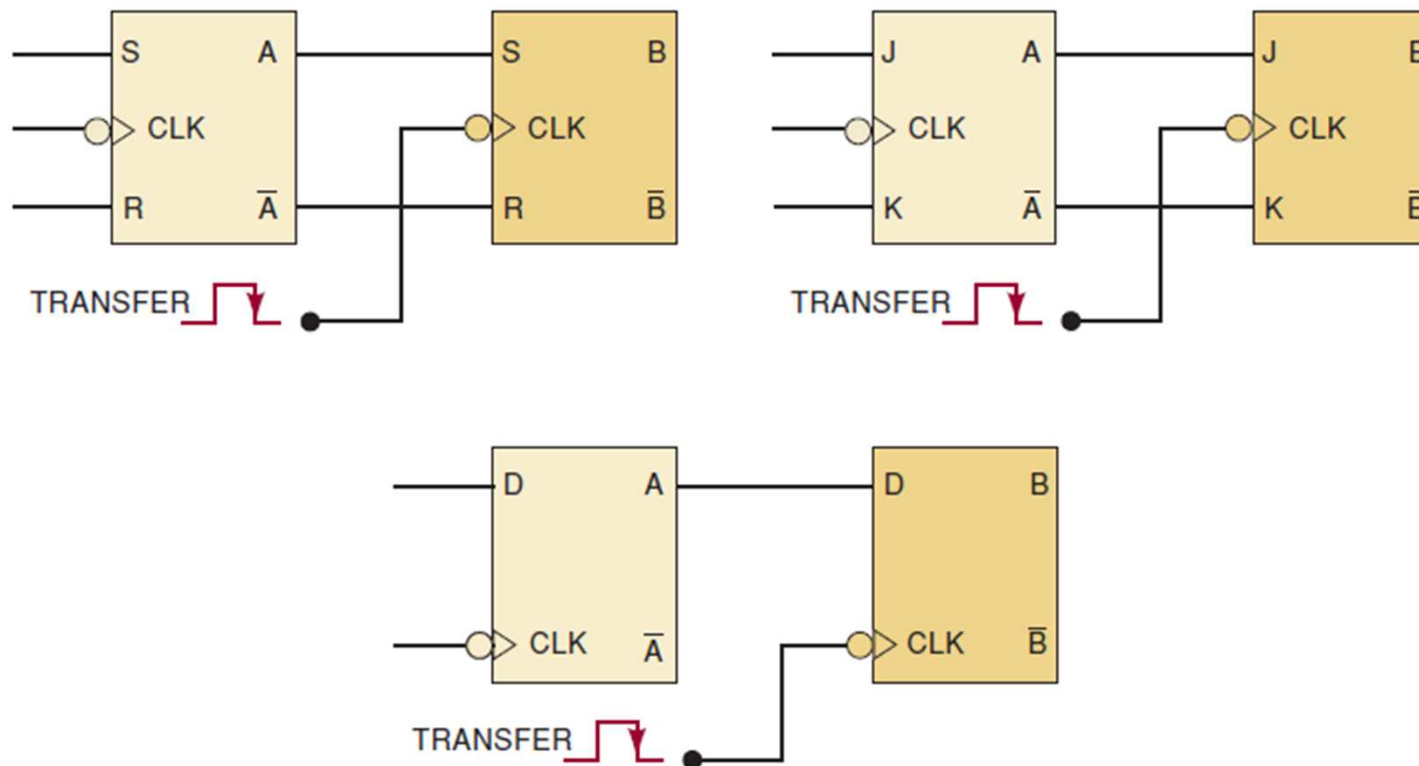


(c) B goes HIGH before A

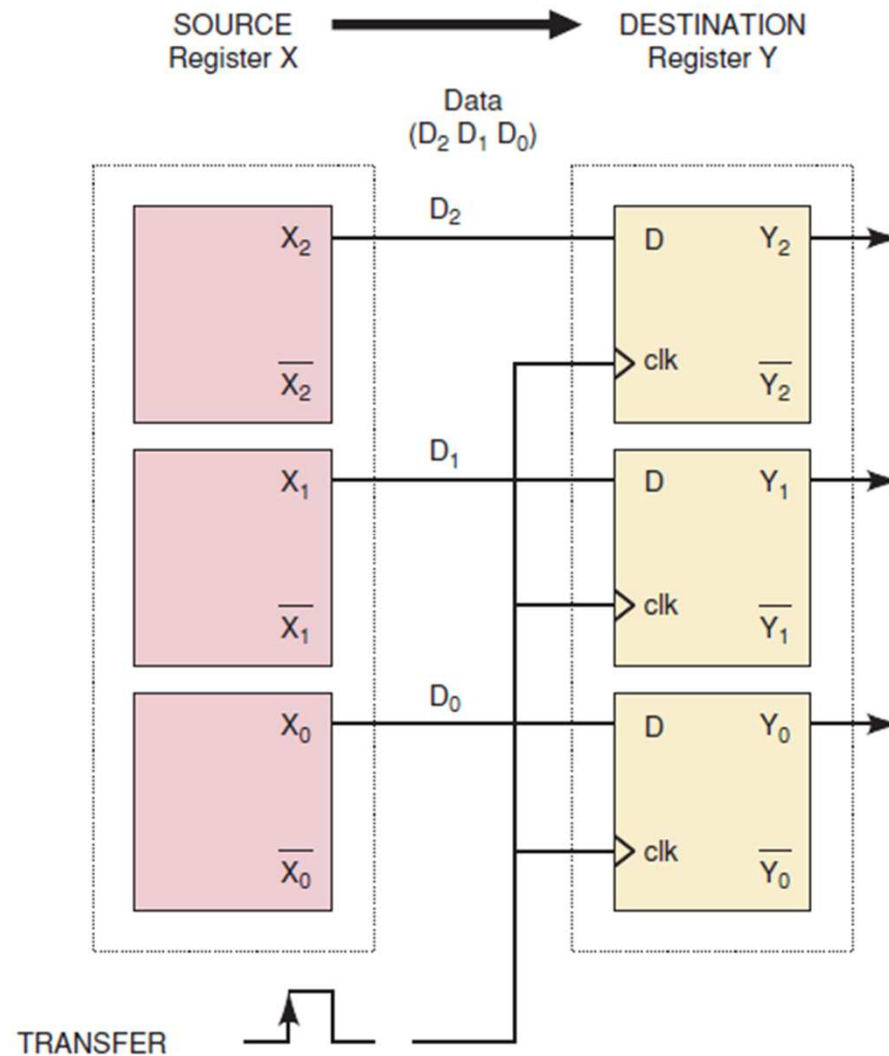
- Sequências mais complexas podem ser obtidas com um projeto com máquinas de estado (mealy ou moore).

Armazenamento e transferência de dados

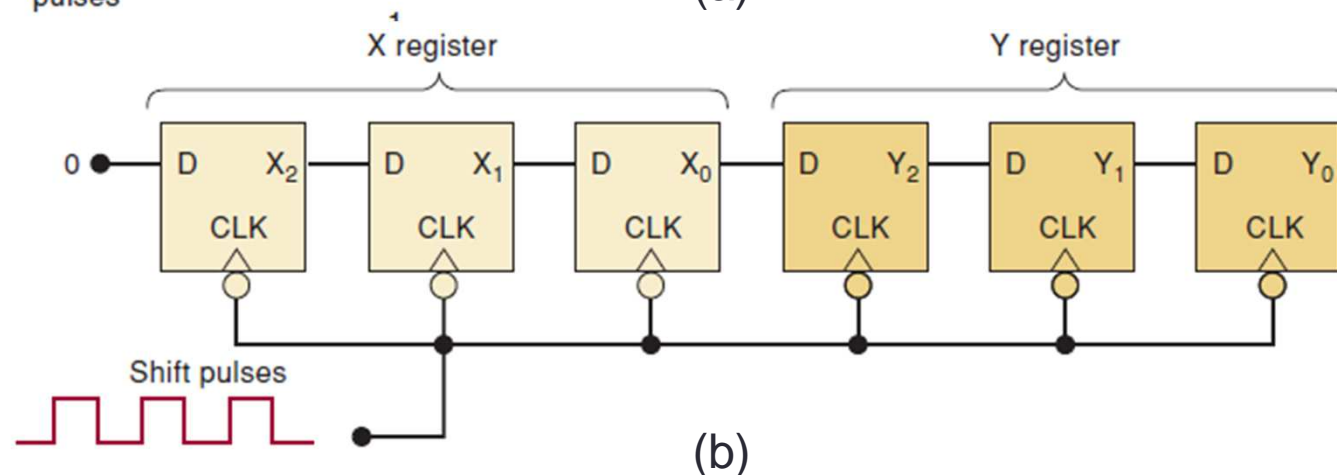
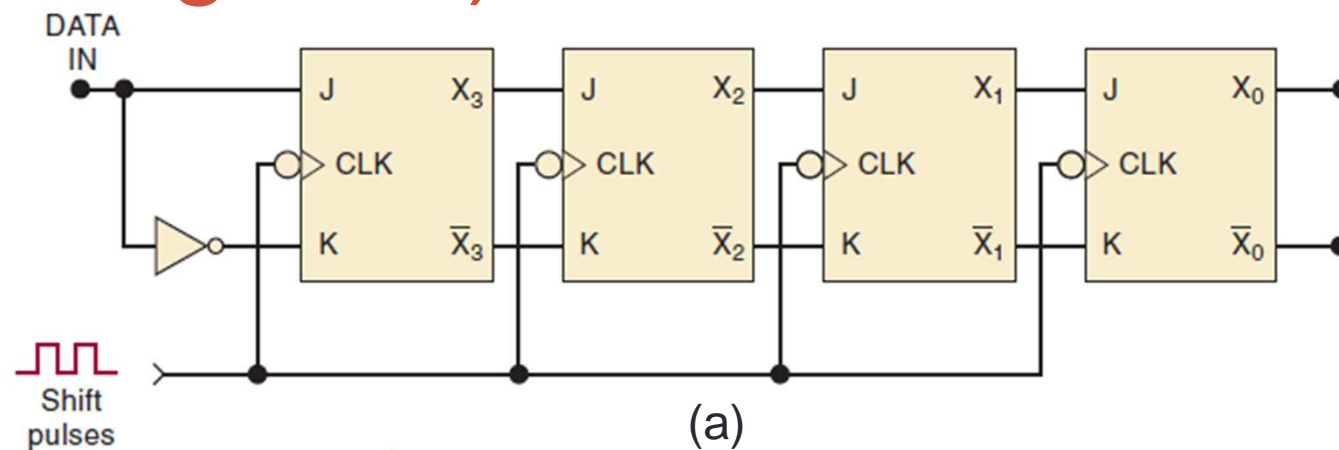
- Esta é a principal aplicação dos flip-flops.
- Grupos de flip-flops, denominados registradores, são usados para armazenar dados numéricos.



Transferência de dados paralela



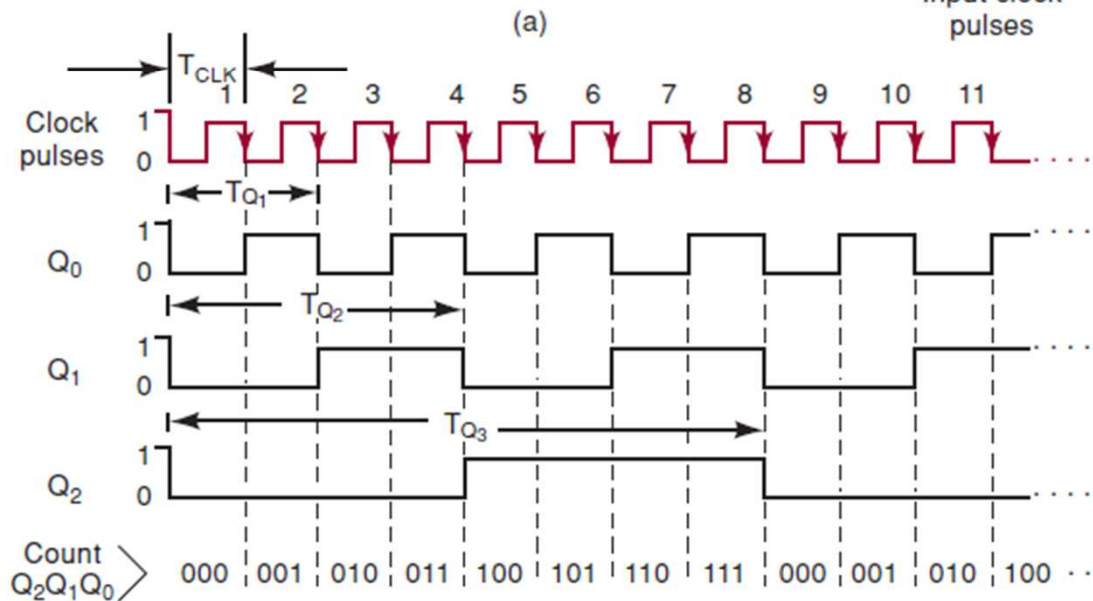
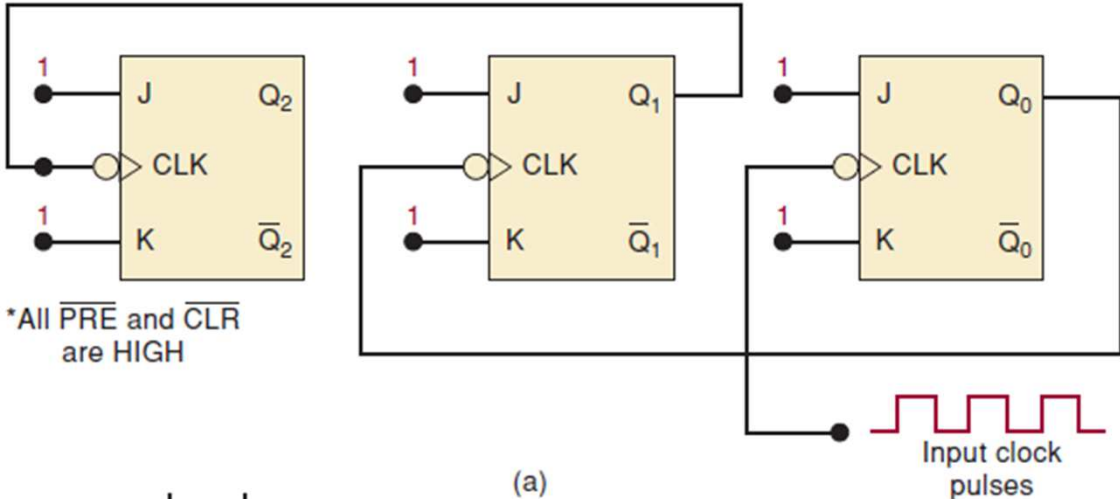
Transferência de dados serial: registradores de deslocamento (shift registers)



Transferência Serial vs Paralela

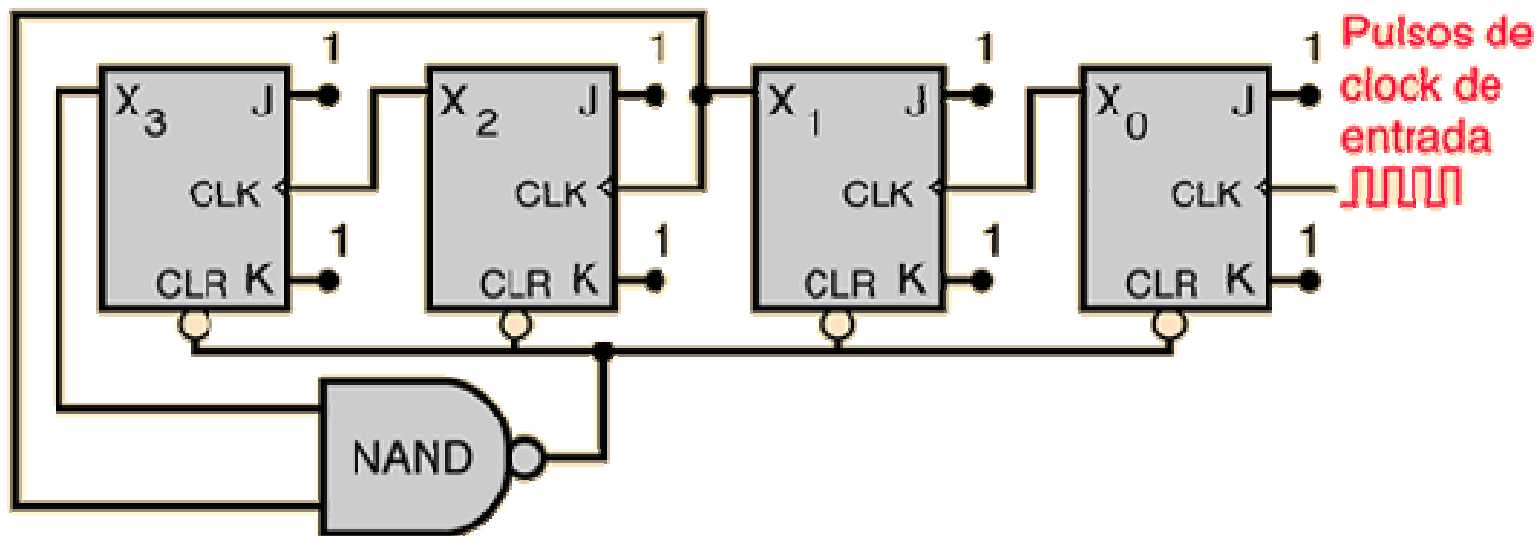
- A paralela é mais rápida
- A serial é mais simples, requer menos interconexões entre os circuitos emissor e receptor
- Na transferência paralela, a fonte não perde seus dados, na serial eles são deslocados
- Muitas vezes é utilizado uma combinação dos dois

Divisão de frequência e contadores binários (assíncronos)



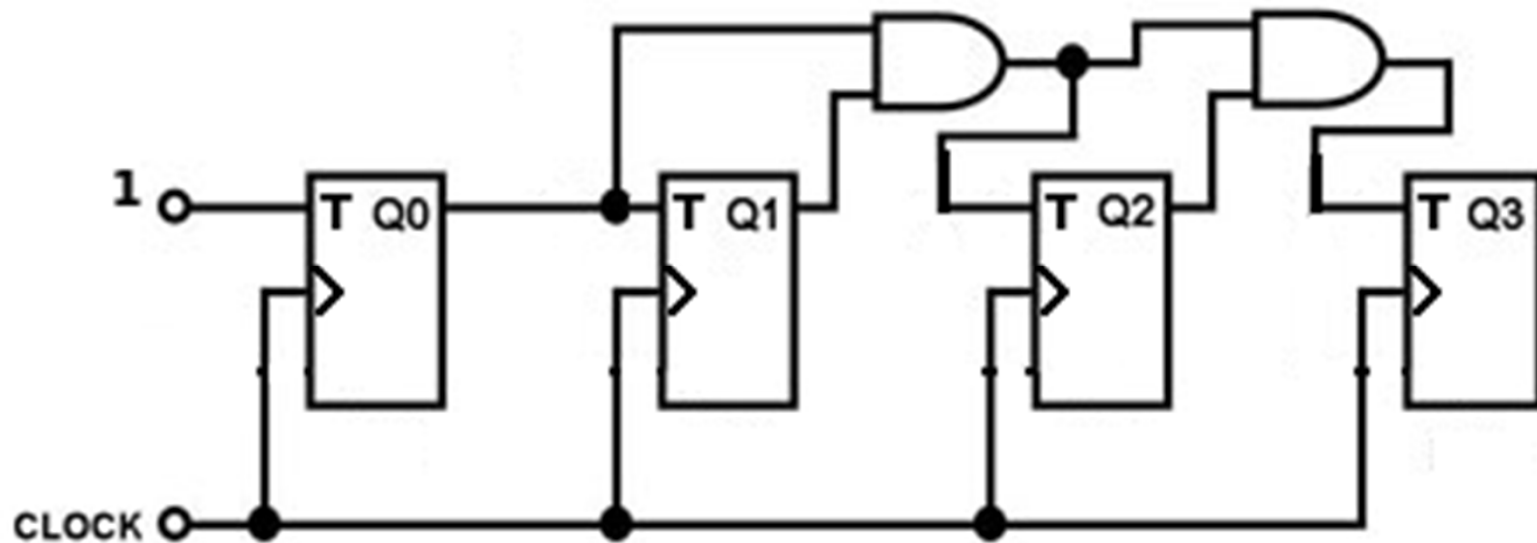
Contador BCD

- Conta somente até 1001
- CLR quando saída é 1010



Contadores síncronos (paralelos)

- Um contador síncrono é aquele que todos os flip-flops recebem o mesmo sinal de clock
- O circuito abaixo é um contador binário de 4 bits que funciona com o princípio do “vai um” da soma binária.



- Voltaremos a estudar contadores paralelos no capítulo 7

Contador genérico

- Qualquer sequência de contagem pode ser implementada
- Basta criar um circuito que transfere os dados da saída para a entrada, sendo que uma lógica booleana deve ser projetada para criar a próxima contagem.
- Ex. Criar a função “toggle” com um flip-flop D.
- Criar a tabela verdade com o estado atual e o estado seguinte.

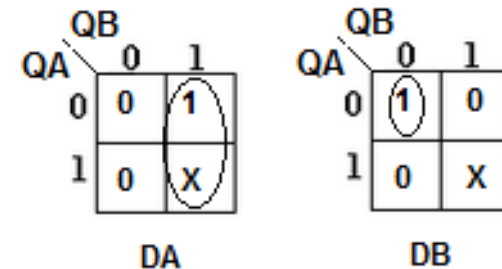
Estado atual (Q)	Próximo estado (D)
0	1
1	0

$$D = \bar{Q}$$

Contador genérico

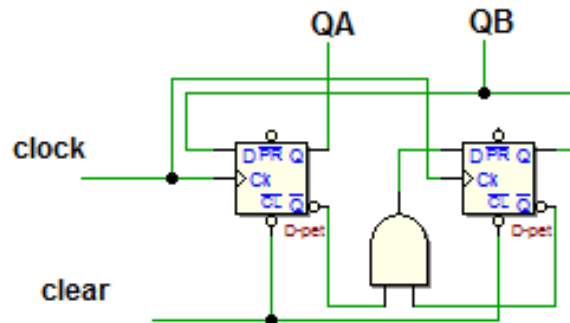
- Exemplo
- Criar um contador síncrono para a seguinte sequência:
00 -> 01 -> 10 -> 00

QA	QB	DA	DB
0	0	0	1
0	1	1	0
1	0	0	0
1	1	X	X



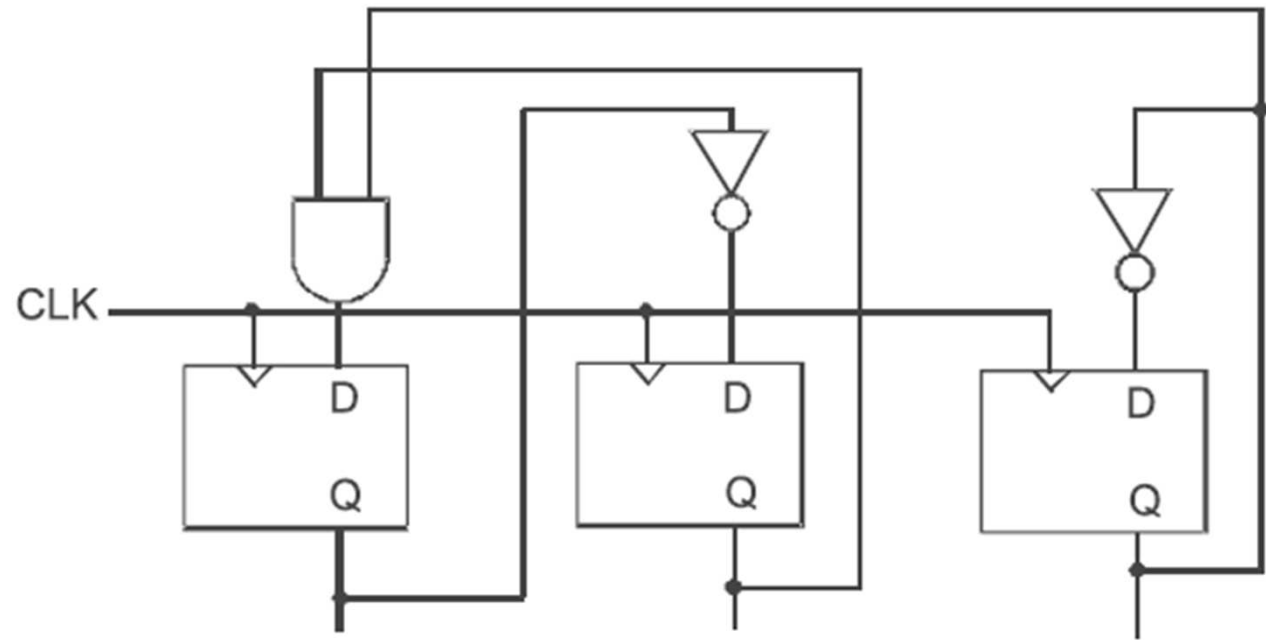
$$DA = QB$$

$$DB = \overline{QA} \cdot \overline{QB}$$



Exemplo

- Questão de concurso Petrobras:



Considerando que os *flip-flops* da figura acima comecem zerados, o número de estados que se repetem indefinidamente é

- (A) 3
- (B) 4
- (C) 5
- (D) 6
- (E) 8

Exercícios

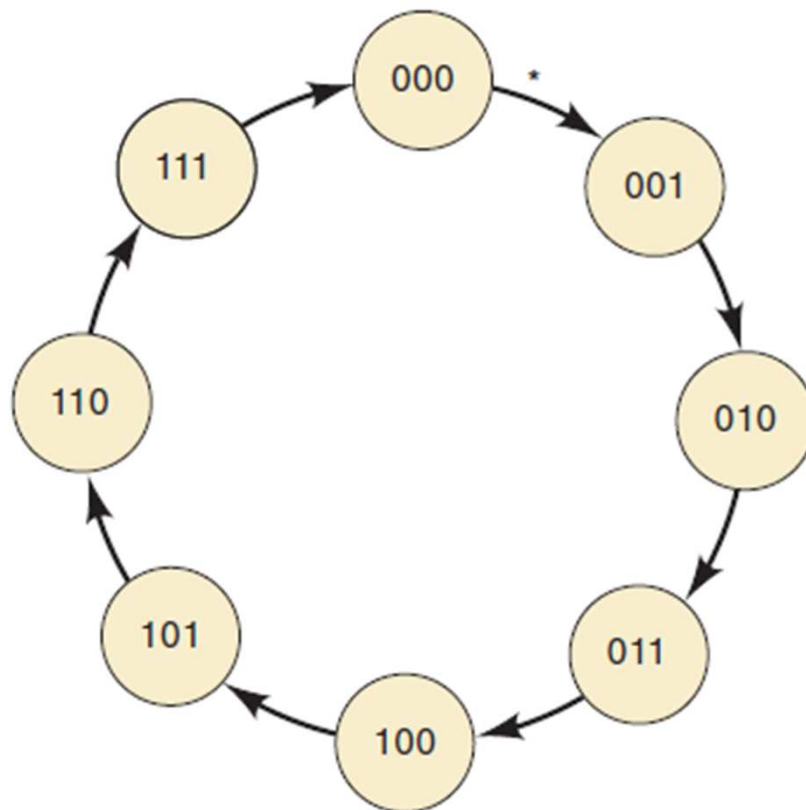
1. Criar um contador com a seguinte sequência:

000 -> 001 -> 011 -> 111 -> 000

2. Criar um contador de 4 bits cuja saída será a sequência de números primos entre 0 e 15

Diagrama de transição de estados

- Outra forma de ver como os flip-flops mudam de estado é através de um diagrama de transição de estados

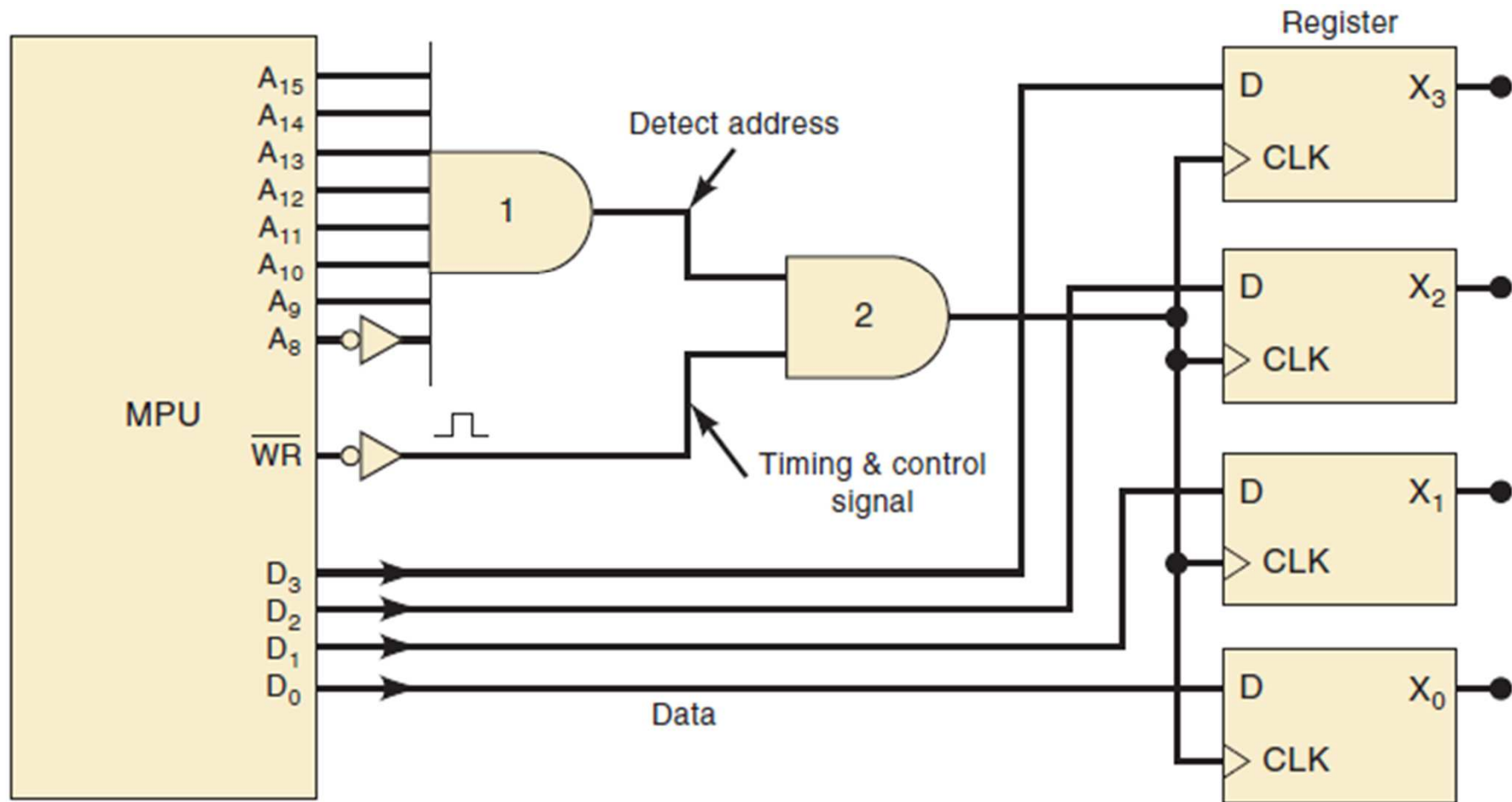


Cada seta representa a ocorrência de um pulso de clock.

Questões para Revisão

1. Um clock de 20 KHz é aplicado a um flip-flop J-K com $J=K=1$. Qual é a frequência da forma de onda da saída do flip-flop?
2. Quantos flip-flops são necessários para se construir um contador que vai de 0 até 255_{10} ?
3. Qual a frequência na saída do oitavo flip-flop em um contador com 8 flip-flops se a frequência de entrada for 512 KHz?
4. Se o mesmo contador começa em 00000000, qual será o estado após 520 pulsos?

Aplicação em microcomputadores

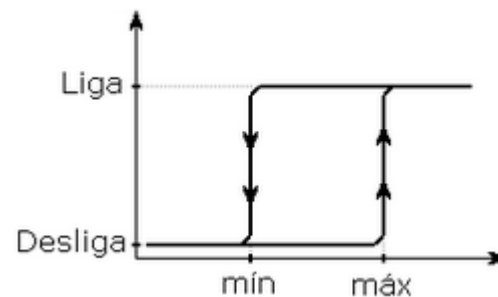


Problemas do Livro

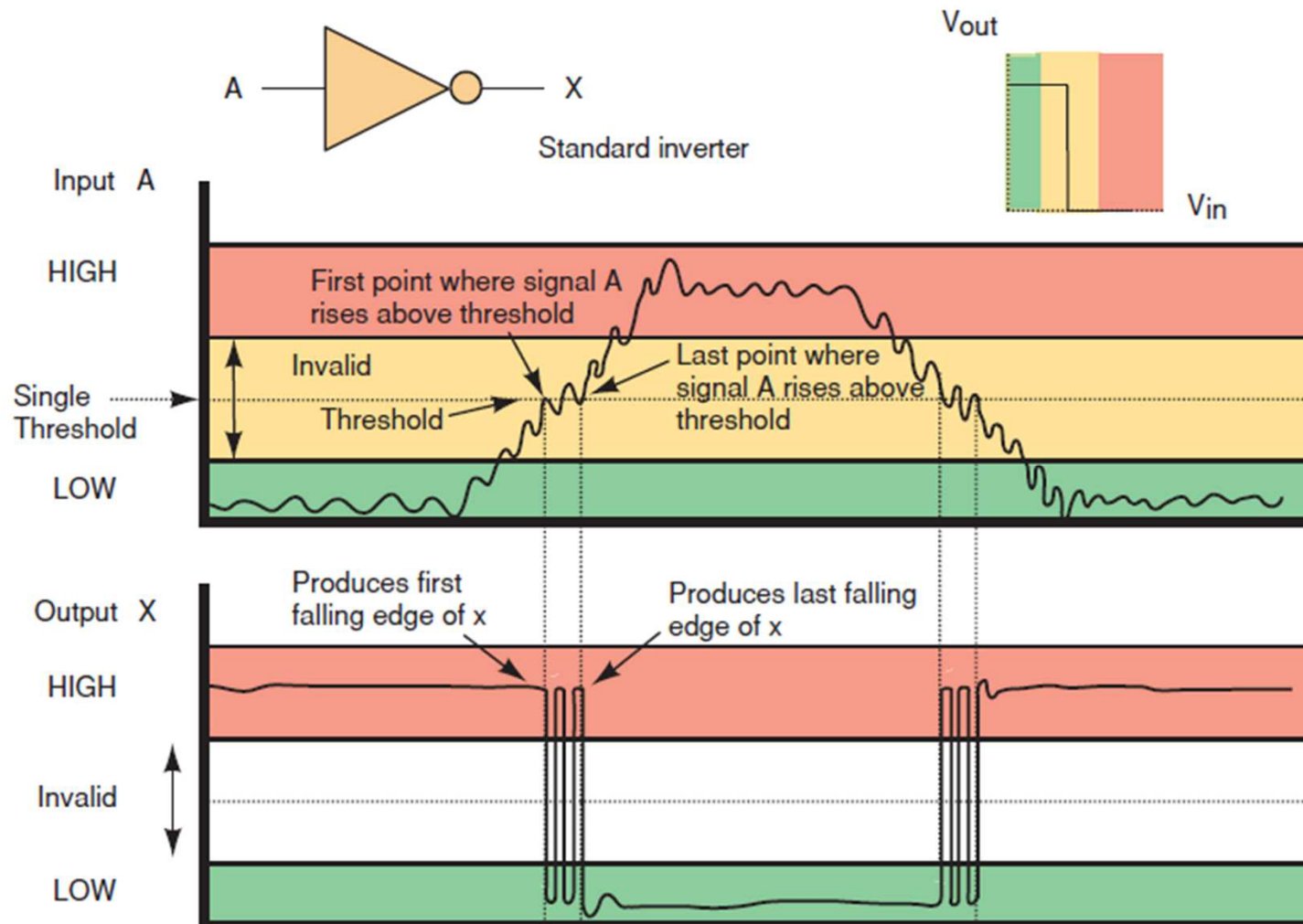
- 5.1, 5.2, 5.3, 5.4, 5.5, 5.10, 5.11, 5.12, 5.13, 5.14, 5.15, 5.16, 5.18, 5.19, 5.41, 5.52
- Modo de comutação = modo toggle

Dispositivos SCHMITT-TRIGGER

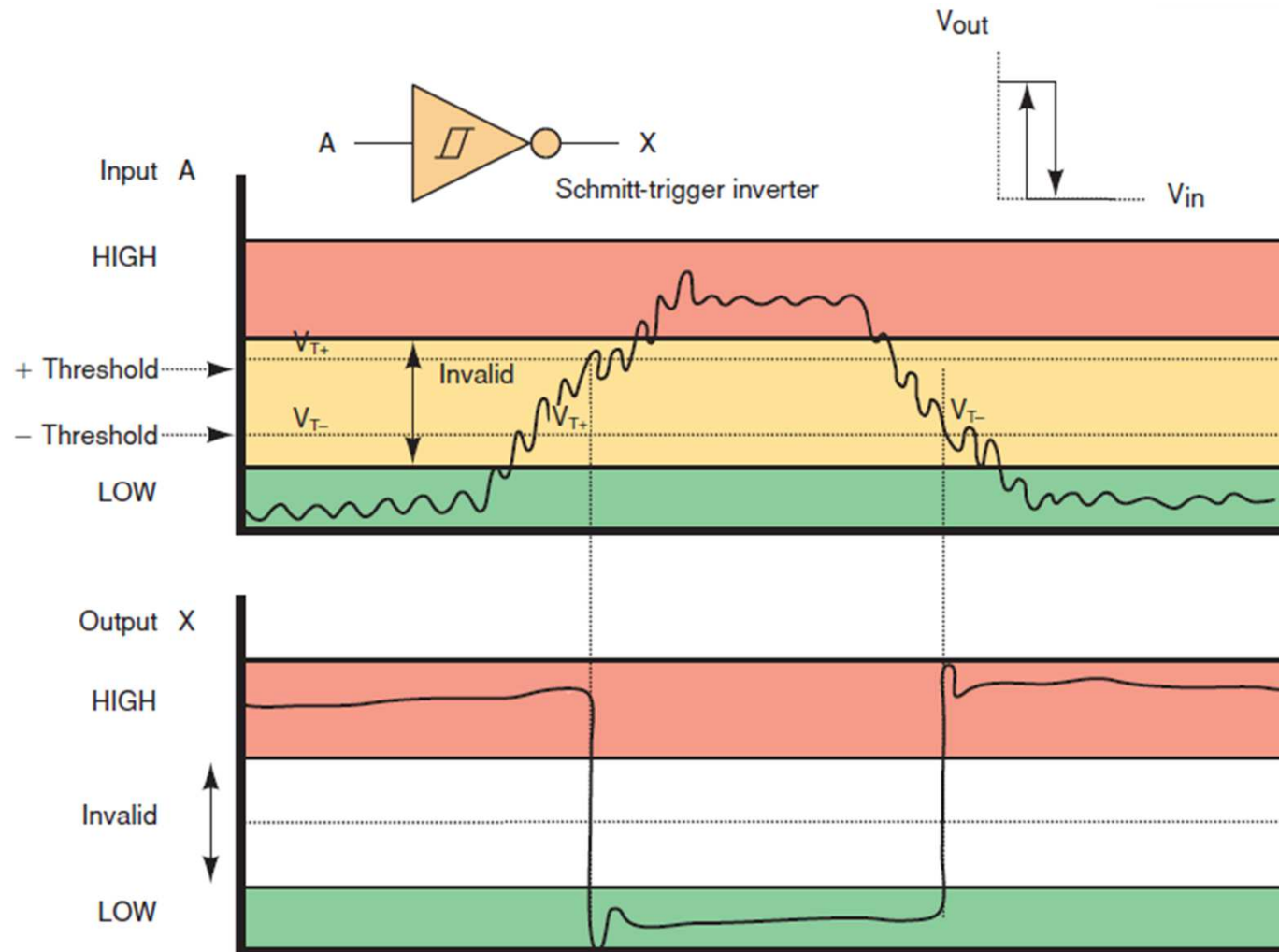
- Não é um flip-flop, mas apresenta uma certa propriedade de memória, para produzir uma histerese da saída em relação à entrada
- A histerese é a tendência de um material ou sistema de conservar suas propriedades na ausência de um estímulo que as gerou (wikipedia).
- Em circuitos está relacionada com um sinal que liga ou desliga em instantes diferentes.
- Uma porta lógica com essa propriedade é usada para eliminar ruídos dos sinais
- Também é usado em circuitos geradores de clock.



Dispositivos SCHMITT-TRIGGER



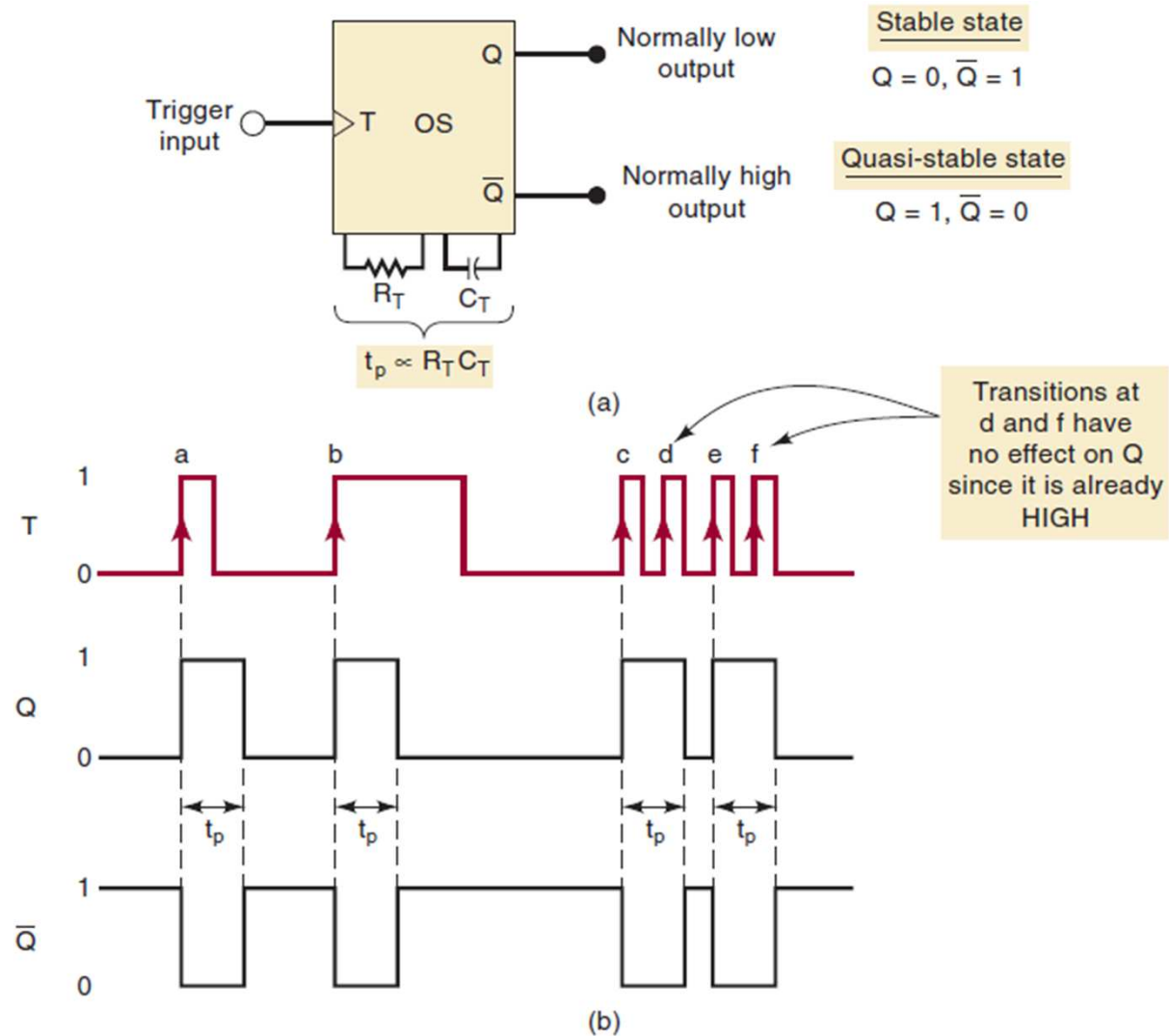
Dispositivos SCHMITT-TRIGGER



Multivibrador monoestável

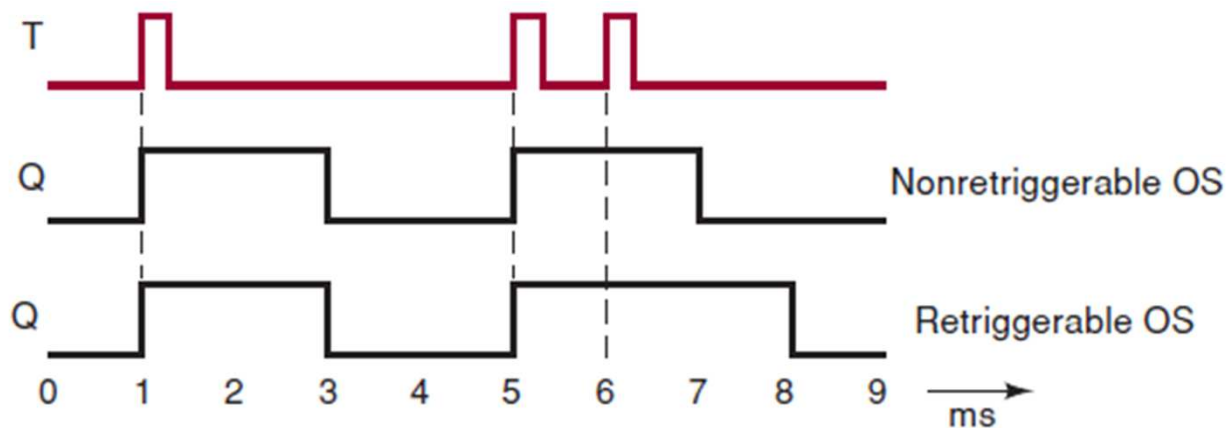
- Um circuito relacionado com flip-flops são os chamados “One Shot”.
- Os flip-flops podem ser chamados de multivibradores bi-estáveis.
- O “One Shot” é um multivibrador monoestável, pois o estado $Q=1$ é chamado de “quase estável”, pois fica nesse estado por um período fixo de tempo t_p .
- O tempo t_p pode variar de nanosegundos até algumas dezenas de segundos
- Geralmente baseia-se em dois componentes externos: R_T e C_T .

Multivibrador monoestável

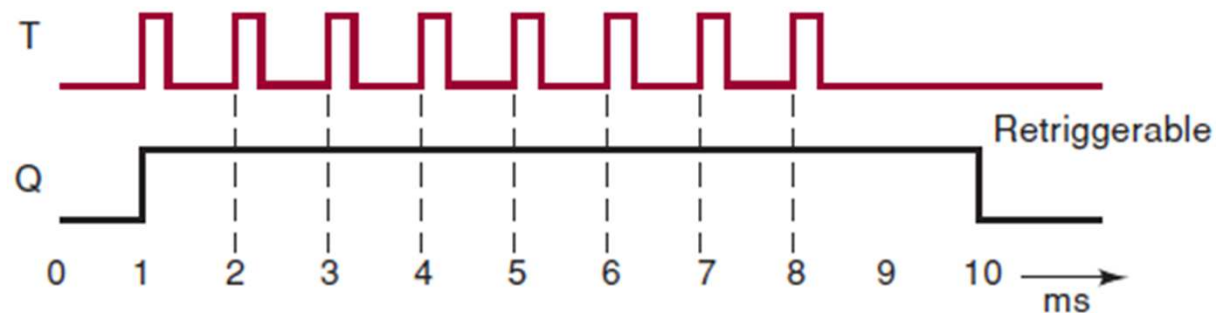


Multivibrador monoestável

- O circuito “One Shot” (OS) pode ser do tipo com redisparo ou não.



(a)

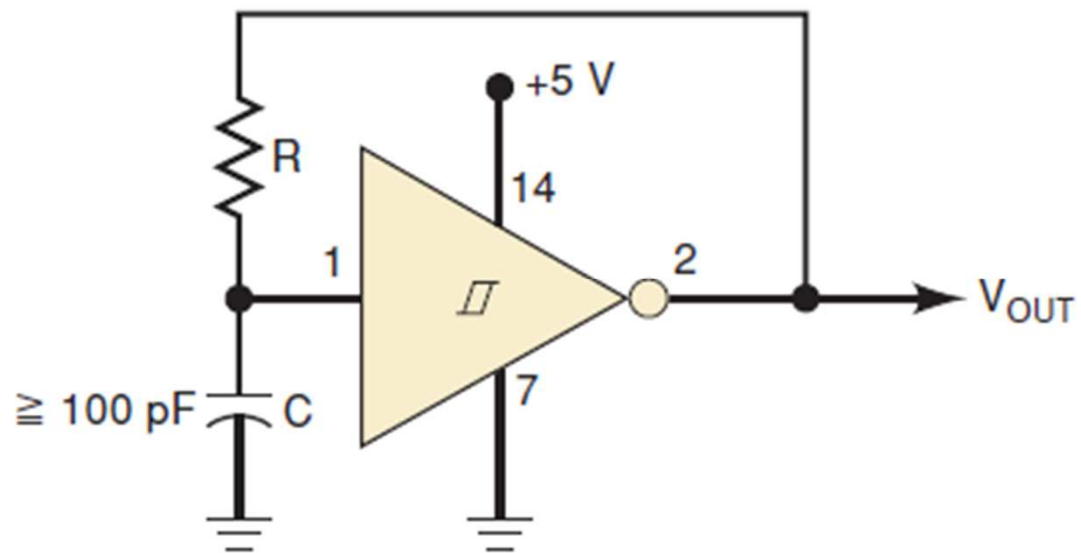


(b)

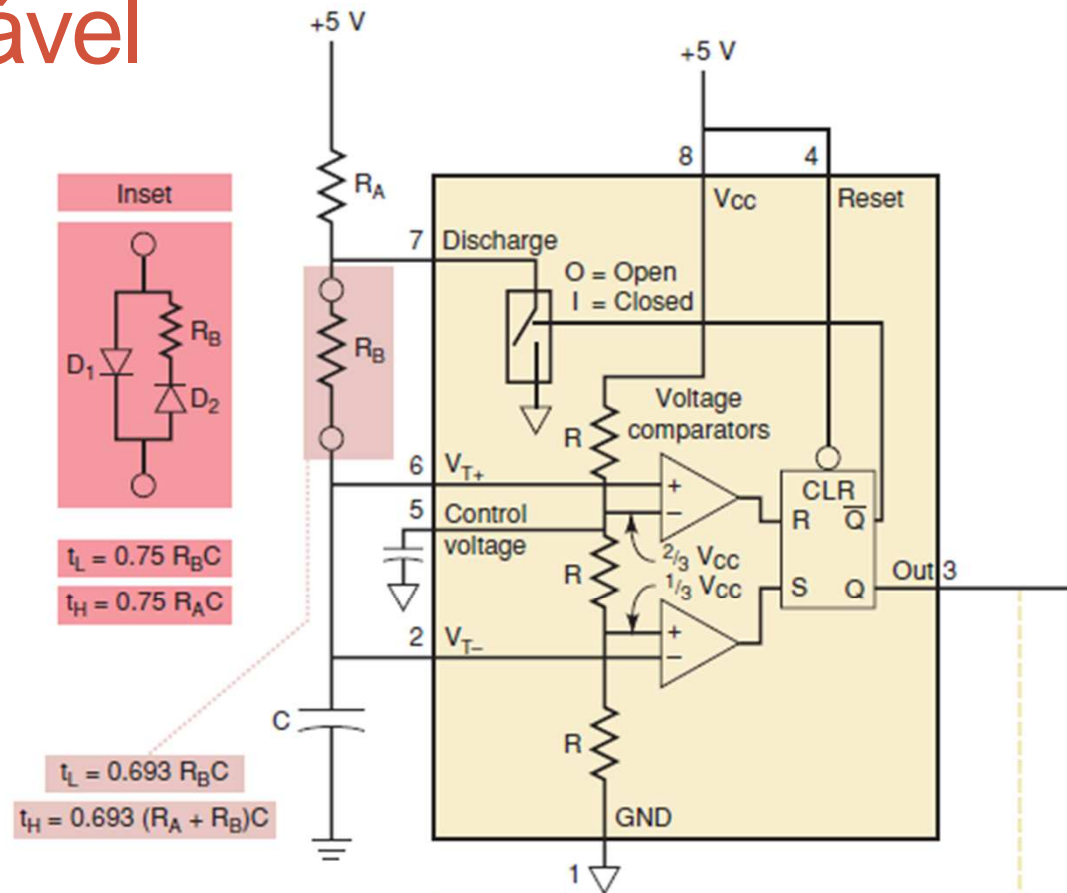
Circuitos Geradores de Clock

- Flip-flops: multivibradores bi-estáveis (dois estados estáveis)
- One Shot: multivibradores monoestáveis (um estado estável)
- Terceira categoria: multivibradores **astáveis** (nenhum estado estável)
- Um multivibrador astável comuta livremente entre 0 e 1 podendo ser usado para gerar um sinal de clock.
- Um circuito muito comum é o oscilador Schmitt-Trigger, que usa uma porta inversora tipo schmitt-trigger.

Osciladores Schmitt-Trigger



Timer 555 usado como um multivibrador astável

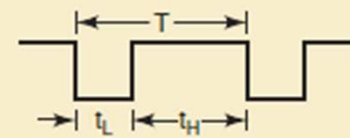


$R_A \geq 1 \text{ k}\Omega$
 $R_A + R_B < 6.6 \text{ M}\Omega$
 $C \geq 500 \text{ pF}$

$$T = t_L + t_H$$

$$F = \frac{1}{T}$$

$$\text{Duty cycle} = \frac{t_H}{T} \times 100\%$$



Exemplo

- Calcule a frequência e o ciclo de trabalho (duty cycle) do multivibrador astável 555 com os seguintes componentes:

$$C = 0.001 \mu\text{F}, R_A = 2.2 \text{ k}\Omega, R_B = 100 \text{ k}\Omega.$$

- Solução:

$$t_L = 0.693(100 \text{ k}\Omega)(0.001 \mu\text{F}) = 69.3 \mu\text{s}$$

$$t_H = 0.693(102.2 \text{ k}\Omega)(0.001 \mu\text{F}) = 70.7 \mu\text{s}$$

$$T = 69.3 + 70.7 = 140 \mu\text{s}$$

$$f = 1/140 \mu\text{s} = 7.29 \text{ kHz}$$

$$\text{duty cycle} = 70.7/140 = 50.5\%$$

Exercícios

1. Desenhe um circuito de transferência paralela de dados entre três registradores A, B e C de 4 bits usando flip-flops D, de modo que o conteúdo de A ou de B seja transferido para C na transição do clock. Um bit de controle S deverá ser usado. Caso $S=1$, o conteúdo de A vai para o registrador C. Caso $S=0$, o conteúdo de B vai para o registrador C.

Exercícios

2. Considere um contador assíncrono de 3 bits com os flip-flops X0, X1 e X2.

- a) Se o contador estiver em 000, qual será a contagem após 13 pulsos de clock? E após 99 pulsos? E após 256 pulsos?
- b) Se o contador começar em 100, qual será a contagem após 13 pulsos de clock? E após 99 pulsos? E após 256 pulsos?
- c) Se conectarmos um quarto flip-flop (X3) e aplicarmos na entrada do circuito um sinal de 80 MHz, qual será o aspecto da forma de onda em X3?