



دانشکده مهندسی کامپیوتر

آزمایشگاه مدار منطقی

پیش گزارش آزمایش پنجم

شمارنده ها

صادق محمدیان: 401109477

آرمان طهماسبی زاده: 402111345

متین غیاثی: 402106229

هدف:

هدف از انجام این آزمایش پیاده‌سازی شمارنده دودویی و BCD می باشد. در این آزمایش یک شمارنده با استفاده از فلیپ-فلاپ JK (JKFF) ساخته و سپس مدار را تست می نماییم.

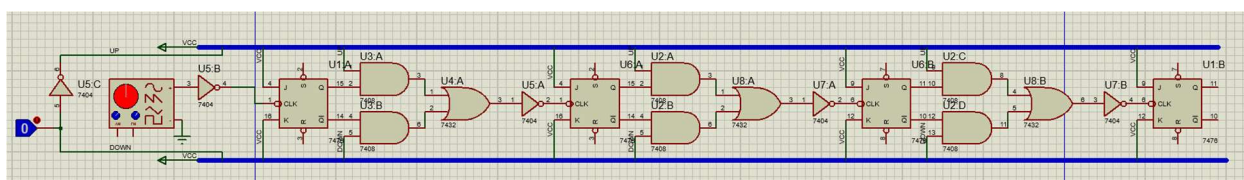
وسایل مورد نیاز:

آی سی 7476، آی سی 7408، آی سی 7404، آی سی 7432، buffer، آی سی 4510،

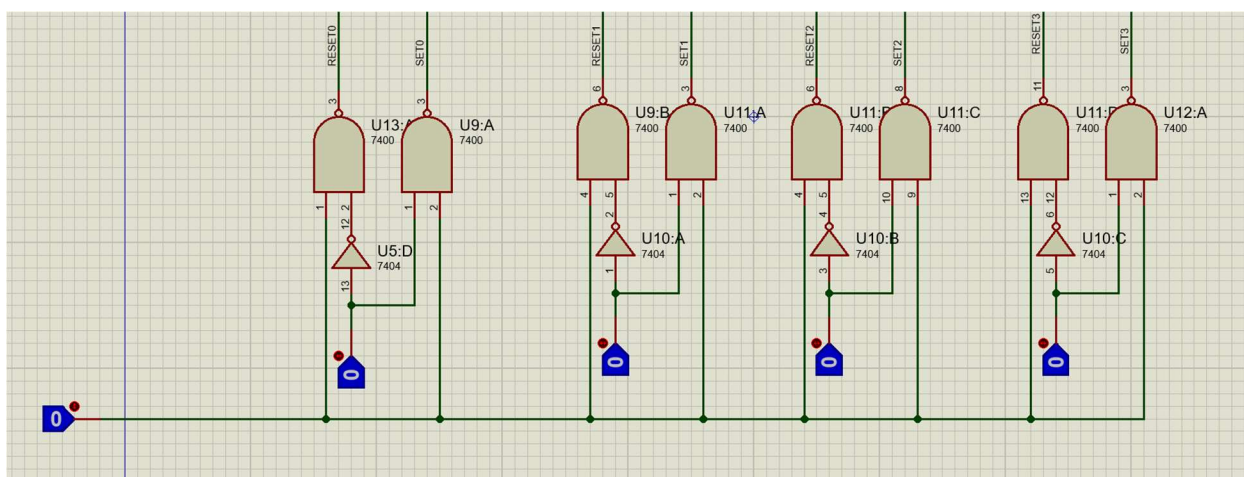
گذرگاه داده، مولد سیگنال، نمایشگرهای هفت قطعه ای

شرح آزمایش:

الف) مطابق با شکل قرار داده شده در دستور کار، 4 عدد آی سی 7476 را کنار هم گذاشته و به صورت آسنکرون و با استفاده از گیت های منطقی مناسب خروجی های هر آی سی را به کلاک آی سی بعدی متصل کرده و یک شمارنده ساختم که قابلیت شمارش بالا و پایین را داراست.

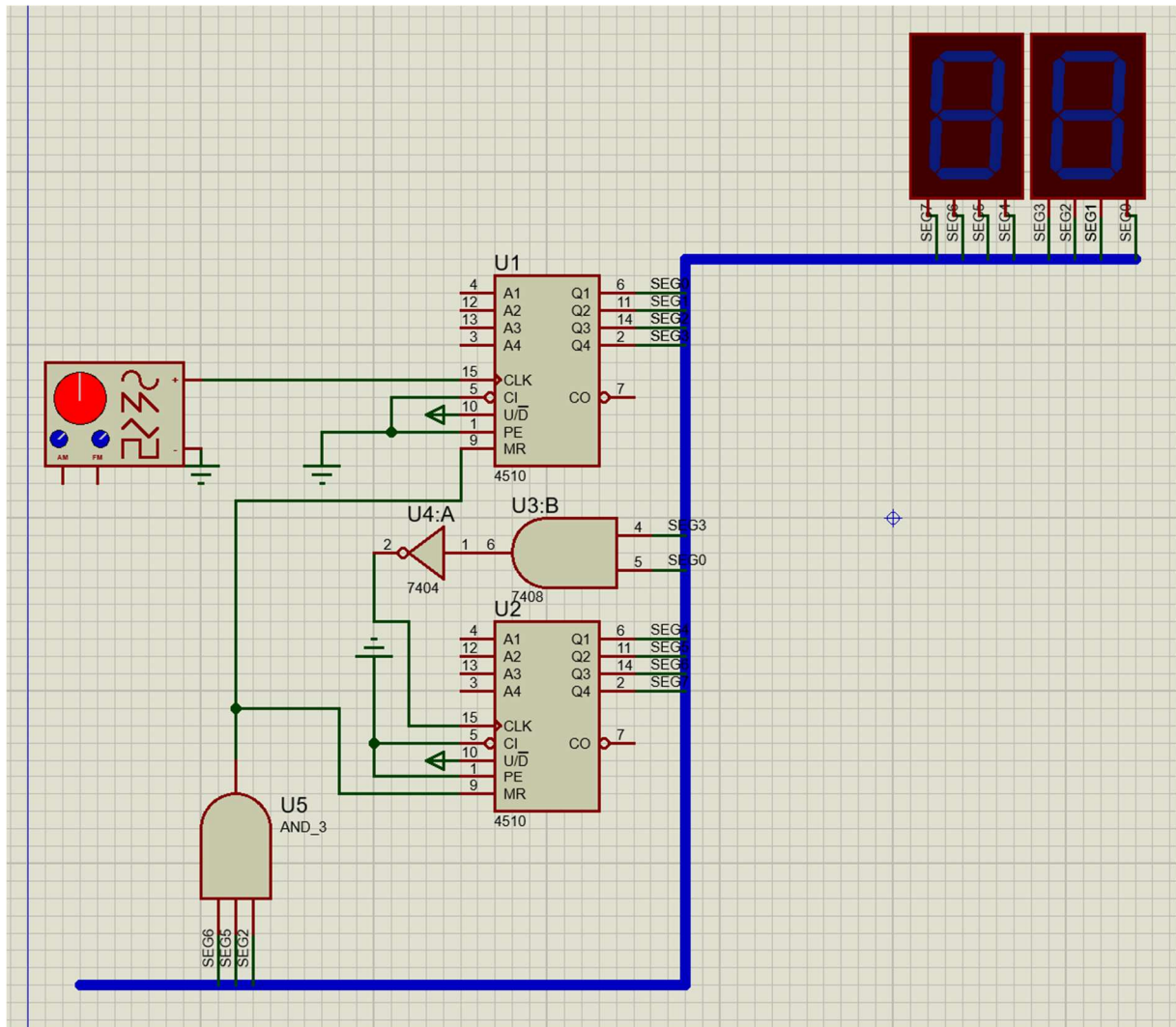


ب) سپس به مدار ساخته شده در قسمت اول 4 ورودی برای مقداردهی قرار داده و آن ها را با یک ورودی که برای مشخص کردن زمان مقداردهی است، از طریق گیت های منطقی به پایه ها set و reset آی سی های 7476 متصل کردیم، به صورتی که در صورت یک شدن ورودی مقداردهنده، 4 ورودی دیگر در آی سی ها قرار می گیرند.



پ) در اینجا از دو آی سی 4510، که شمارنده های BCD با قابلیت های شمارش پایین و بالا هستند استفاده کردیم و خروجی های آن ها را متناظرا به دو نمایشگر هفت قطعه ای متصل کردیم. سپس باقی ورودی های این دو آی سی را به GND و یا VCC

متصل کردیم که این دو شمارنده به بالا بشمارند. سپس با استفاده از گیت های منطقی، مشخص کردیم که اگر مقدار 64 نشان داده شد، هر دو آی سی reset بشنوند و شمارش از اول شروع شود. همچنین لازم به ذکر است که کلاک شمارنده دوم فقط در صورتی که شمارنده اول شمارش خود را انجام دهد فعال می شود که باعث می شود اعداد به ترتیب درستی شمارش شوند.



ت) در اینجا با استفاده از جدول کارنو، مقادیر ورودی هر یک از سه آی سی 7476 را مشخص کرده و سپس در پروتئوس با استفاده از گیت های منطقی تمامی این ورودی ها را پیاده سازی کردیم. نکته ای که قابل مشاهده بود این است که تمامی ورودی های L و K یکسان هستند.

X	Q_0	Q_1	Q_2	Q_0'	Q_1'	Q_2'	J_0	K_0	J_1	K_1	J_2	K_2
0	0	0	0	1	0	1	1	X	0	X	1	X
0	0	0	1	1	1	0	1	X	1	X	X	1
0	0	1	0	1	1	1	1	X	X	0	1	X
0	0	1	1	0	0	0	0	X	X	1	X	1
0	1	0	0	0	0	1	X	1	0	X	1	X
0	1	0	1	0	1	0	X	1	1	X	X	1
0	1	1	0	0	1	1	X	1	X	0	1	X
0	1	1	1	1	0	0	X	0	X	1	X	1
1	0	0	0	0	1	1	0	X	1	X	1	X
1	0	0	1	1	0	0	1	X	0	X	X	1
1	0	1	0	1	0	1	1	X	X	1	1	X
1	0	1	1	1	1	0	1	X	X	0	X	1
1	1	0	0	1	1	1	X	0	1	X	1	X
1	1	0	1	0	0	0	X	1	0	X	X	1
1	1	1	0	0	0	1	X	1	X	1	1	X
1	1	1	1	0	1	0	X	1	X	0	X	1

$Q_1 Q_0$	00	01	11	10
00	1	X	X	0
01	1	X	X	1
11	0	X	X	1
10	1	X	X	1

$J_0 = Q_1 Q_0' + X Q_0 + X' Q_1'$

$X Q_1$	00	01	11	10
00	X	1	0	X
01	X	1	1	X
11	X	0	1	X
10	X	1	1	X

$K_0 = J_0$

$X Q_0'$	00	01	11	10
00	0	0	1	1
01	1	1	0	0
11	X	X	X	1
10	X	X	X	X

$J_1 = X Q_0' + X' Q_0 = X \oplus Q_0$

00	X	X	X	X
01	X	X	X	X
11	1	1	0	0
10	0	0	1	1

$K_1 = \overline{J}_1$

00	1	1	1	1
01	X	X	X	X
11	X	X	X	X
10	1	1	1	1

$J_0 = 1$

00	X	X	X	X
01	1	1	1	1
11	1	1	1	1
10	X	X	X	X

$K_0 = 1$

