



نکات مهم:

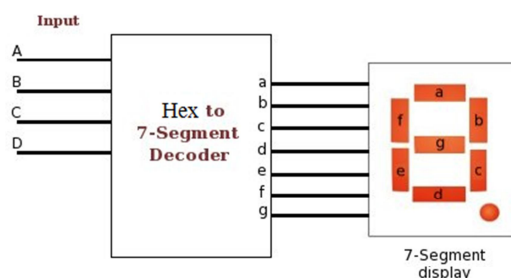
- (1) تمرین های زیر را با نوشتن کد VHDL و Testbench مربوط به آن پیاده سازی و تست نمایید (با استفاده از ActiveHDL).
- (2) یک فایل گزارش ایجاد نموده و خروجی های شبیه سازی و توضیحات مورد نیاز را در آن قرار دهید.
- (3) کل پوشه های مربوط به پیاده سازی و گزارش را در یک فایل zip شده قرار دهید، نام آن را به نام "CAD_HW01_Name" تغییر دهید.
- (4) فقط یک فایل zip شده به آدرس <https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh> ارسال کنید.

1- یک دیکودر 3 به 8 (Decoder 3:8) پیاده سازی کنید. دیکودر دارای 3 بیت ورودی و 8 بیت خروجی است، که همه خروجی ها صفر هستند غیر از خروجی متناظر با مینترم ورودی که می شود.

2- یک 8×3 priority encoder (انکودر اولویت دار) پیاده سازی کنید. انکودر دارای 8 بیت ورودی و سه بیت خروجی است، که خروجی، مینترم (عدد باینری) بیت ورودی ای که یک شده است را نشان می دهد. در انکودر اولویت دار، اگر چند بیت ورودی یک باشند، خروجی برابر با مینترم ورودی بزرگتر است.

3- یک مالتی پلکسر 4 به 1 پیاده سازی نمایید به گونه ای که هر خط داده ورودی و خط داده خروجی باید 16 بیتی باشند.

4- یک دیکودر 7-Segment را به کمک دستور Case براساس جدول زیر طراحی کنید. چهار بیت ورودی (In7seg) چهاربیتی، در جدول با (Input (Decimal) نشان داده شده است) و هفت بیت خروجی دارید (Out7seg) هفت بیتی، در جدول با حروف g تا a نشان داده شده است). نتیجه شبیه سازی را در گزارش نشان دهید.



Input (Decimal)	Input (Hex)	Output (Hex)	Segments							Value on Display
			g	f	e	d	c	b	a	
0	0x00	0x3F	0	1	1	1	1	1	1	0
1	0x01	0x06	0	0	0	0	1	1	0	1
2	0x02	0x5B	1	0	1	1	0	1	1	2
3	0x03	0x4F	1	0	0	1	1	1	1	3
4	0x04	0x66	1	1	0	0	1	1	0	4
5	0x05	0x6D	1	1	0	1	1	0	1	5
6	0x06	0x7D	1	1	1	1	1	0	1	6
7	0x07	0x07	0	0	0	0	1	1	1	7
8	0x08	0x7F	1	1	1	1	1	1	1	8
9	0x09	0x67	1	1	0	0	1	1	1	9
10	0x0A	0x77	1	1	1	0	1	1	1	A
11	0x0B	0x7C	1	1	1	1	1	0	0	b
12	0x0C	0x39	0	1	1	1	0	0	1	C
13	0x0D	0x5E	1	0	1	1	1	1	0	d
14	0x0E	0x79	1	1	1	1	0	0	1	E
15	0x0F	0x71	1	1	1	0	0	0	1	F

مهلت تحویل: جمعه 10 آبان 1398، تا ساعت 23:55

موفق باشید

آریان زودی، اسما ناصری راد

مهدی امینیان