



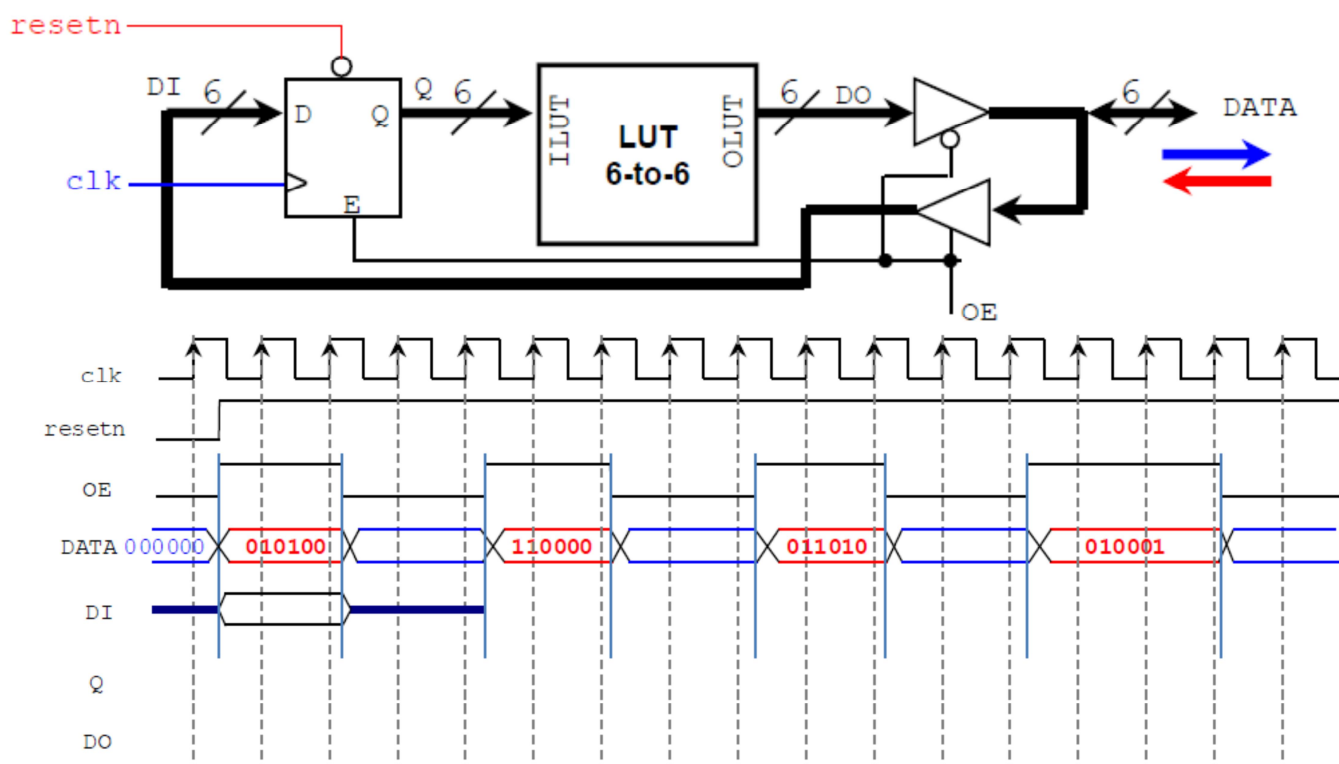
نکات مهم:

- 1) تمرین سوم را با نوشتن کد *VHDL* و *Testbench* مربوط به آن پیاده‌سازی و تست نمایید.
- 2) یک فایل گزارش ایجاد نموده و تمرین‌های اول و دوم و خروجی‌های شبیه‌سازی تمرین سوم را در آن قرار دهید.
- 3) کل پوشه‌های مربوط به پیاده‌سازی و گزارش را در یک فایل *zip* شده قرار دهید، نام آن را به نام *"CAD_HW04_Name"* تغییر دهید.
- 4) فقط یک فایل *zip* شده به آدرس <https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh> ارسال کنید.

1- تابع زیر را با استفاده از حداقل تعداد ممکن LUT-3 پیاده‌سازی کنید و تابع هر LUT را داخل آن بنویسید.

$$Z = A'BF + AB'F + (ACD)'F' + A'B'CF$$

2- مدار زیر را در نظر بگیرید، شکل موج مربوط به این مدار را تکمیل کنید و اگر توضیحی نیاز است بنویسید. ماژول LUT 6-to-6 دارای ورودی شش بیتی و خروجی شش بیتی است که خروجی آن برابر با ورودی به علاوه 2 است ($DO = Q + 2$).



3- یک فرستنده سریال 8 بیتی برای ارسال داده‌های یک صف (Queue) به زبان *VHDL* طی مراحل زیر پیاده‌سازی کنید.
الف) ابتدا یک ماژول حافظه Dual-Port را طراحی کنید (دارای پورت‌های Clk, Addr1, CS1, WE1, Data1 (inout), (Addr2, CS2, WE2, Data2 (inout)).

ب) سپس یک ماژول Queue به کمک نمونه‌گیری از ماژول حافظه طراحی کنید که هرگاه ورودی PUSH یک باشد، داده ورودی انتهای صف نوشته شود و یکی به آدرس نوشتن اضافه شود؛ و هرگاه ورودی POP یک باشد، داده ابتدای صف روی خروجی قرار گیرد و یکی به آدرس خواندن اضافه شود. صف دارای خروجی‌های Full و Empty نیز باشند.



ج) سپس یک فرستنده سریال طراحی کنید که هرگاه ورودی POP یک شد، یک داده 8 بیتی را از ابتدای صف بردارد و در هشت کلاک متوالی روی خروجی تک بیتی خود قرار دهد و با هر بار اتمام ارسال، خروجی Finish را یک کند.

entity Queue_to_Serial is

Port (Rst, Clk : in std_logic;

PUSH, POP: in std_logic;

DataIn: in std_logic_vector(7 downto 0);

Queue_Empty, Queue_Full: out std_logic;

SerialDataOut : out std_logic;

Finish: out std_logic);

end Serial_to_Queue;

مهلت تحویل: سه شنبه 10 دی 1398، تا ساعت 23:55 (تحويل تا یکشنبه 1 دی: 10% نمره اضافی)

موفق باشید

آریان زودی، اسما ناصری راد

مهدی امینیان