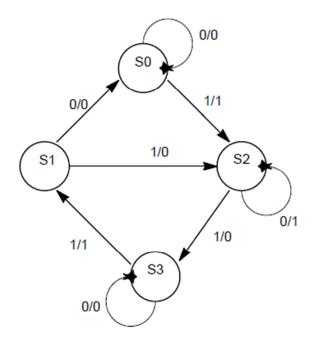
## University of Guilan Computer Engineering Department

Computer-Aided Design Homework #3 Fall 2019

## نکات مهم:

- 1) تمرین های زیر را با نوشتن کد VHDL و Testbench مربوط به آن پیادهسازی و تست نمایید (با استفاده از ActiveHDL).
  - 2) یک فایل گزارش ایجاد نموده و خروجی های شبیه سازی و توضیحات مورد نیاز را در آن قرار دهید.
- کل پوشههای مربوط به پیادهسازی و گزارش را در یک فایل zip شده قرار دهید، نام آن را به نام " $CAD\_HW03\_Name$ " تغییر دهید.
  - 4) فقط یک فایل zip شده به اَدرس https://www.dropbox.com/request/3knDRN3iOOxdTWABo7Nh ارسال کنید.
- 1- ماشین حالت Mealy زیر را پیاده سازی کنید. رفتار این ماشین (متغیر ماشین حالت را نیز به شبیه سازی اضافه کنید) و خروجی را در شبیه سازی نشان دهید.



- 2- یک ماشین حالت بصورت Moore طراحی کنید که رشته 11011 را روی ورودی تک بیتی X تشخیص دهد و خروجی را بـرای یـک کـلاک یـک کنـد. ماشـین حالـت را پیـاده کنیـد و رفتـار آن را در شـبیهسـازی بـا اعمـال ورودی X بصـورت رشـته یـک کـلاک یـک کنـد. ماشـین حالـت را پیـاده کنیـد و رفتـار ماشـین در نمـودار 00111011101100 نشان دهید. در شبیهسازی، سیگنال مربوط به ماشین حالت را هم اضافه کنید تـا رفتـار ماشـین در نمـودار شبیهسازی دیده شود.
- 3- یک sequence detector طراحی کنید که هر بار سری 110 را تشخیص داد خروجی را NOT کند (خروجی ابتدا صفر، با دیدن رشته 110 خروجی یک می شود تا دوباره رشته 110 دیده شود، در این حالت خروجی صفر می شود تا رشته مجددا دیده شود). ماشین حالت مورد نیاز را بصورت Moore طراحی و پیاده کنید. در شبیه سازی، سیگنال مربوط به ماشین حالت را هم اضافه کنید تا رفتار ماشین در نمودار شبیه سازی دیده شود.

## University of Guilan Computer Engineering Department

4- به کمک رجیستر 8 بیتی تمرین قبل و طراحی ماشین حالت مناسب، یک فرستنده موازی به سریال (Transmitter کنید. در این ماژول، وقتی ورودی Load یک شد یک داده ورودی 8 بیتی را در رجیستر داخلی ذخیره کند. سپس، با یک شدن ورودی کنترلی Start (برای یک کلاک)، شروع کند 8 بیت داده ذخیره شده در رجیستر را به ترتیب از کم ارزشترین بیت روی یک سیگنال خروجی تک بیتی قرار دهد. بعد از ارسال آخرین بیت، خروجی کنترلی Finish را برای یک کلاک بک کند.

- Inputs: Reset, Clk, Load, Start (all are std\_logic), and DataIn(std\_logic\_vector( 7 downto 0 ))
- Outputs: SerialData (std\_logic), Finish (std\_logic)

مهلت تحويل: پنج شنبه 30 آبان 1398، تا ساعت 23:55

موفق باشید آریان زودی، اسما ناصریراد مهدی امینیان