پروژه درس معماری کامپیوتر نیم سال اول 99-00

عنوان پروژه: طراحی پردازنده

استاد درس: دکتر حمید سربازی آزاد

اعضای تیم:

ساعی سعادت , مهدی اصمع , علیرضا حسین پور , محمد مهدی به نصر

_ مقدمه

به صورت کلی پردازنده طراحی شده از بعضی جهات بسیار شبیه به به پردازنده mips میباشید که از نظر طول کلمه معماری تعداد ثبات عمومی یکسان و ازنظر نوع دستورات تفاوت هایی دارند هر دو نوع میشود گفت که از نوع معماری RISK میباشند.

نمایش اعداد به صورت مکمل دو میباشد .

نمایش کلی پروژه همراه با تمام جزعیات داخل گیت میباشد

-پردازنده

همانطور که میدانید هر پردازنده از قطعات مخلتفی تشکیل شده که تجمیع آن ها به کمک یک data path درست میتوانید در نهایت باعث اینجاد یک پردازنده کامل و درست شود.

که در آن از BUS MUX , PC ADDER , INSTRUCTION MEMORY , LMP FF ,

, MULTIPLEXER, REGISTER ARRAY, SHIFT, INSTRUCTION INTERPRETER

MAIN MEMORY , ALU , JUMP ADDER که بعضی از این کامپوننت ها در ویزارد میباشد و حال به توضیح مختصر آنهایی که خودمان ایجاد کردم

شكل كلى پروژه:

که در فایلی جدا داخل همین زیپ ارسال شده است که شماتیک کلی پردازنده میباشد .

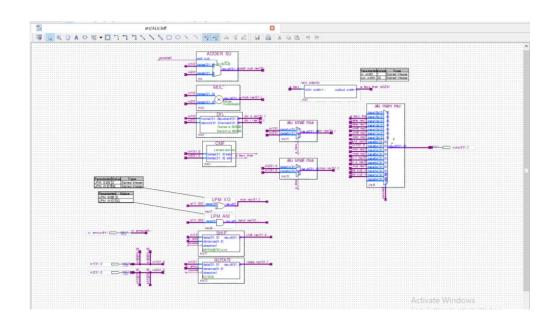
حال به توضیح هرکدام از قطعات میپردازیم:

ALU •

همانطور که در تصویر مشاهده خواهید کرد ما در این بخش تماما از بخش ویزارد کوارتوس استفاده کردیم که از قطعات زیر تشکیل شده است:

ADDER MUL DIV LMP_XOR SHIFT ZERO_EXTENDES LMP_AND ROTATE

که همانطور از تصویر مشاهده میکنید پارامتر ها و خروجی و ورودی های مد نظر مشخص شده اند . توجه : شماتیک ان در فایلی جدا داخل همین زیپ ارسال میشود که شماتیک کلی پردازنده میباشد



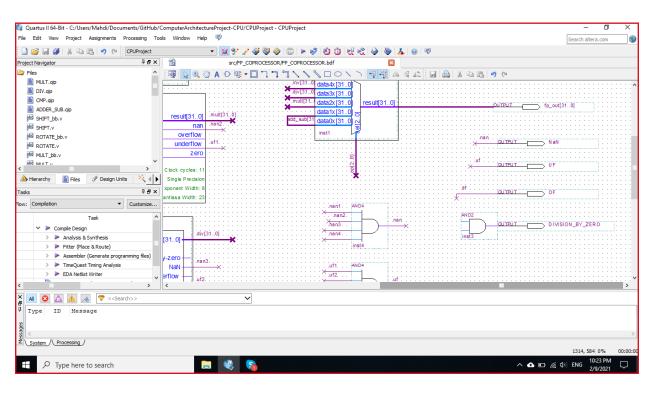
INSTRUCTION MEMORY •

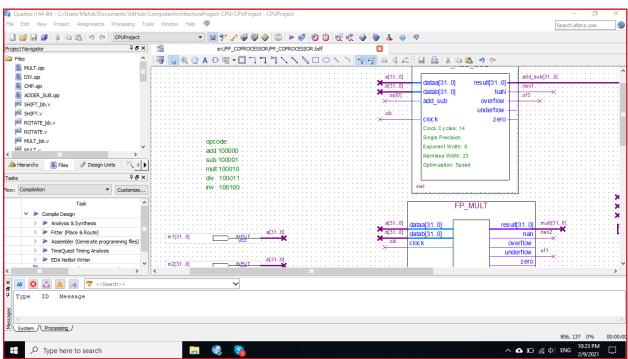
ما این بخش رو با وریلاگ که در پوشه پروژه میباشد نوشته شده که بخشی از بخش کنترل میباشد ییاده سازی شده است .

MAIN MEMORY •

یک رم 256 وردی میباشد که ورودی های آن : data b[7:0] address b[9:0] clock ascr میباشید که خروجی آن ها q a[7:0] . q a[7:0]

COPROCESSOR •





توجه که شماتیک کلی ان در فایلی جدا داخل همین داک توضیح میباشد

PIPLINE -

بدون PIPLINE باید حساب کنیم که طولانی ترین عملیات کدام میباشد و با توجه به ان تایم کلاک رو مشخص کنیم.

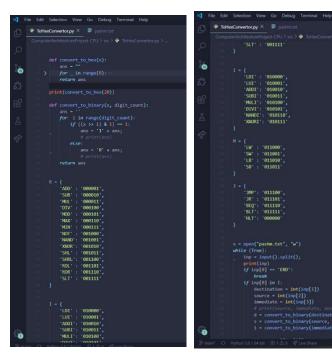
حال برای پیاده سازی PIPLINE باید به اینگونه عمل کنیم که هر دفعه که وارد بخش کنترل یونیت میشویم مشخص کنیم که دستورات write and read فعال هستن یا نه اگه نبود که نباید pc را افزایش بدهیم .

یکی از مخاطراتی که ممکنه پیش بیاد این میباشید که در هنگام پیاده سازی به صورت PIPLINE ممکنه بعضی اوقات مقدار درستی در ریجستر ها ذخیره نشود .

_ تست

ما برای تست تمامی دستورات اومدیم:

ابتدا با پایتون کدی نوشته شد که هر دستور پردازنده که نوشته میشود را کد hex آن را در اختیارمان قرار بدهد . سپس یک مجموعه دستورات متوالی همراه با داشتن جواب برای تست دقیق ماژول و data path نوشته شده که در یک فایل text.txt در کنار پروژه وجود دارد. که نوشته شده که در یک فایل hex تست بنچ رو گرفتیم .



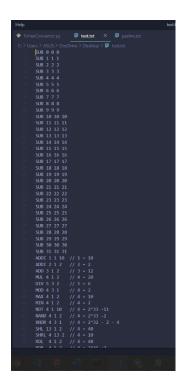


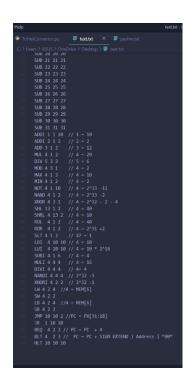
1 2 3



مجوعه کد نوشته شده برای تبدیل کد های اسمبلی پردازنده به هگزادسیمال :

مجموعه تست های پردازنده :

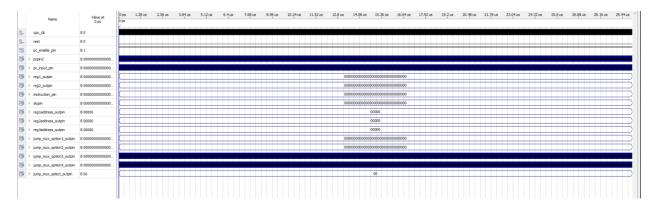




1 2

در نهایت برای استفاده از مجموعه دستورات ماشین و تبدیل دستورات از hex به پسوند mif. برای نمایش waveform یک مجموعه کدهای پایتون نوشته شد برای تبدیل فایل های با پسوند txt. به mif. سپس این فایل را در کوارتوس استفاده کردیم.

بعضی از مشاهدات پس از کامپایل پردازنده:



П	Name	Value at 0 ps	оря 20 фля «0.0 гм 60.0 гм 100.0 гм 120.0 гм 140.0 гм 140.0 гм 140.0 гм 140.0 гм 140.0 гм 200.0 гм 220.0 гм 240.0 гм 24
15	cpu_dk	80	
is_	rest	80	
out.	pc_enable_pin	B 1	
95	> propin2	В 000000000000000	[0] (2000) (20
25	> pc_input_pin	В 000000000000000	0.00000000000000000000000000000000000
out S	> reg1_outpin	В 000000000000000	
25	> reg2_outpin	в оосооооооооо	
94	> instruction_pin	В 000000000000000	
85	> alupin	В 000000000000000	
out.	> reg1address_outpin	B 00000	
85	> reg2address_outpin	B 00000	
25	> reg3address_outpin	B 00000	
85	> jump_mux_option1_outpin	в 000000000000000	
85	> jump_mux_option2_outpin	в опсосонного	
94	> jump_mux_option3_outpin	В 000000000000000	20 (200) (300)
25	> jump_mux_option4_outpin	В 000000000000000	$0 \times (m/m) $
94	> jump_mux_select_outpin	B 00	

با توجه به گستردگی پروژه و زمان محدود توانستیم در بخش cache