



دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر



فصل پنجم:

حافظه در سیستم‌های مبتنی بر ریزپردازنده



مقدمه



- حافظه یکی از ملاحظات اصلی در طراحی سیستم های مبتنی بر ریزپردازنده
- اطلاق اصطلاح حافظه به هر وسیله ای که بتواند اطلاعات باینری را در خود ذخیره کند
- انواع کاملاً متفاوتی از حافظه وجود دارد.
- بسته به نوع کاربرد اطلاعاتی که ذخیره می شوند، یکی از انواع حافظه به کار برده می شود.
- چند پارامتر اساسی برای حافظه مطرح است که این پارامترها عبارتند از:
 - میزان تراکم حافظه (حجم حافظه)
 - قابلیت برنامه ریزی مجدد
 - سرعت خواندن یا نوشتن داده در حافظه
 - هزینه
 - فرآر یا غیر فرآر بودن حافظه و مانند آن



مفاهیم پایه‌ای حافظه



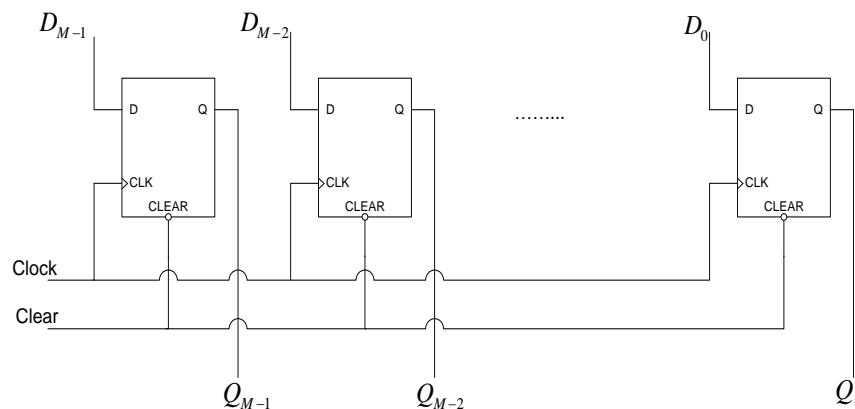
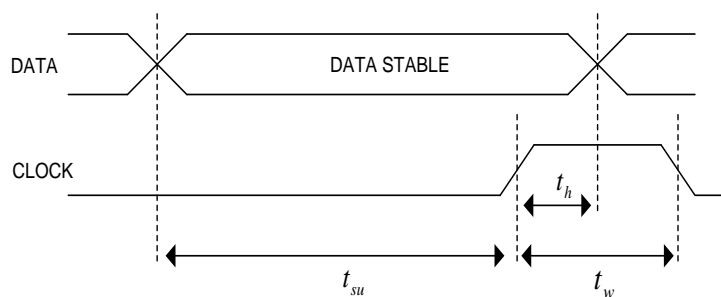
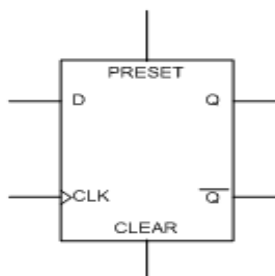
- دستورات برنامه معمولاً در یک نوع حافظه (حافظه برنامه)
- داده‌هایی که در حین انجام محاسبات به وجود می‌آیند در نوع دیگری از حافظه (حافظه داده) ذخیره می‌شوند.
- داده‌ها در حافظه ذخیره می‌شوند و همه بخش‌های دیگر از این داده‌ها استفاده می‌کنند.
- برای انتخاب نوع مناسب حافظه برای داده‌های مختلفی که در سیستم با آن سرو کار داریم، لازم است انواع حافظه‌های موجود را بشناسیم.



حافظه



- فلیپ فلاپ ها و ثبات ها حافظه های محدودی هستند که معمولا برای آنها اصطلاح حافظه به کار نمی رود.



- آنچه به عنوان حافظه در نظر گرفته می شود مجموعه های بزرگی از سلول ها است که هر سلول توانایی ذخیره ی یک بیت داده را دارد.
- مجموعه های کوچک ۱، ۴، ۸ یا ۱۶ بیتی از این سلول ها را به عنوان یک کلمه حافظه در نظر می گیرند.



حافظه



• هر بسته حافظه، پورت ورودی آدرس دارد که با آن می توان به صورت یکتا یکی از کلمات حافظه را انتخاب کرد.

• پورت های ورودی و خروجی داده نیز برای هر حافظه منظور می شود.

• یک کلمه حافظه کوچکترین بخش قابل آدرس دهی بصورت مستقل است.

1	N/C	Vcc	28
2	N/C	R/W	27
3	A7	N/C	26
4	A6	A8	25
5	A5	A9	24
6	A4	N/C	23
7	A3	OE	22
8	A2	A10	21
9	A1	CE	20
10	A0	D7	19
11	D0	D6	18
12	D1	D5	17
13	D2	D4	16
14	GND	D3	15

• اگر از فلیپ فلاپ استفاده کنیم، مجموعه های کوچک ۱، ۴، ۸، ۱۶ ... از آنها، کلمات حافظه را تشکیل می دهند.

اگر از ثبات ها استفاده کنیم هر کدام از این ثبات ها یکی از کلمات حافظه خواهند بود.



حافظه



- هر مکان حافظه با یک آدرس عددی مشخص می شود.

- لذا در هر حافظه ای مدارات منطقی مناسبی وجود دارند تا با دریافت آدرس، یک و تنها یکی از این کلمات حافظه را انتخاب کنند. این مدارات را **دیکودرهای آدرس** گویند.

- ظرفیت حافظه معمولا حداکثر تعداد کلماتی است که می توان در آن ذخیره کرد.

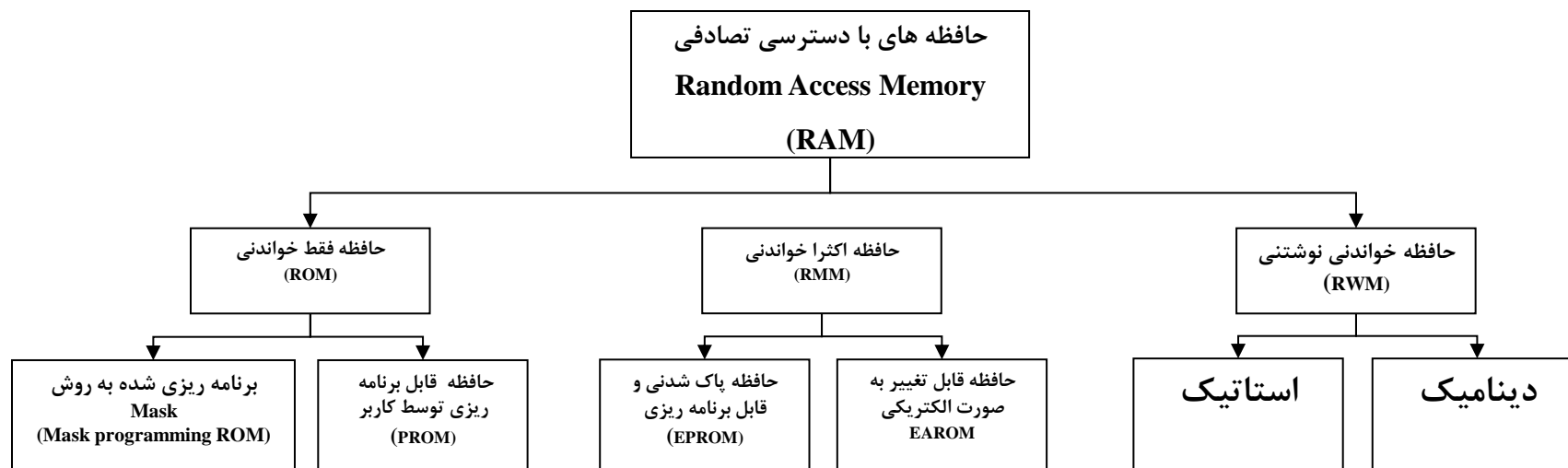
- اگر حافظه ای n خط آدرس داشته باشد، تعداد 2^n کلمه حافظه را می تواند آدرس دهی کند و اگر عرض هر کلمه m بیت باشد، ظرفیت چنین حافظه ای را معمولا به صورت $2^n \times m$ بیان می کنند.

- آنچه معمولا برای خواندن از حافظه انجام می شود، قرار گرفتن آدرس مکان حافظه بر خطوط آدرس است و سپس فعال کردن سیگنال کنترلی Read.

- آنچه معمولا برای نوشتن در حافظه انجام می شود، قرار گرفتن آدرس مکان حافظه بر خطوط آدرس است و سپس فعال کردن سیگنال کنترلی Write.



طبقه‌بندی حافظه‌ها





حافظه‌ها



• حافظه‌های با دسترسی تصادفی به سه دسته زیر تقسیم می‌شوند:

• حافظه‌های فقط خواندنی ROM

• حافظه‌های اکثراً خواندنی RMM

• حافظه‌های نوشتنی-خواندنی RWM

• بخش مهمی از هر سیستم مبتنی بر ریزپردازنده، حافظه ROM است.

• داده‌های موجود در این حافظه در حین اجرای برنامه فقط خوانده می‌شوند و تغییری نمی‌یابند.

• دستوراتی که ریزپردازنده باید انجام دهد در این حافظه قرار می‌گیرد و غیرفرار است.

- ROM: Read Only Memory
- RMM: Read Multiple Memory
- RWM: Read Write Memory



حافظه‌های فقط خواندنی با دسترسی تصادفی

- حافظه‌های ROM یا حافظه‌های فقط خواندنی خود به دو گروه تقسیم می‌شوند. سلول‌های حافظه ROM به دلیل ثابت بودن محتوایشان، بسیار ساده هستند.

- گروه اول حافظه‌های ROM که Mask Programming ROM نامیده می‌شوند، در حین فرآیند ساخت برنامه‌ریزی می‌شوند و قابل تغییر نیستند. برنامه‌ریزی این حافظه‌ها توسط کارخانه سازنده حافظه انجام می‌شود.

- گروه دوم حافظه‌های ROM، حافظه فقط خواندنی قابل برنامه‌ریزی PROM نامیده می‌شوند. PROMها را نیز یک بار می‌توان برنامه‌ریزی کرد. برنامه‌ریزی توسط دستگاه مخصوص انجام می‌شود.

- هر سلول حافظه از یک فیوز یا دیود تشکیل می‌شود. سوزانیدن این فیوز با دیود، وضعیت آن سلول حافظه را از منطق 1 به منطق 0 می‌برد.



حافظه‌های فقط خواندنی با دسترسی تصادفی



- هر سلول حافظه از یک فیوز یا دیود تشکیل می‌شود. سوزانیدن این فیوز با دیود، وضعیت آن سلول حافظه را از منطق 1 به منطق 0 می‌برد.

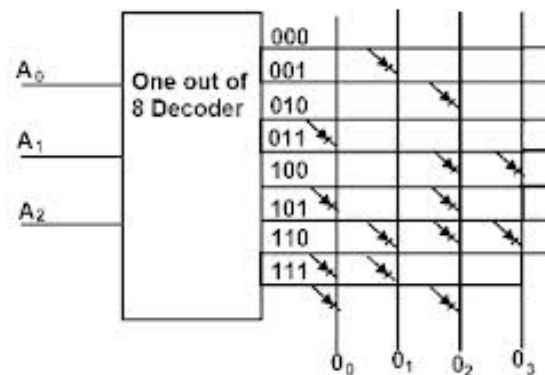


Figure 5: Read-Only Memory (ROM)



حافظه‌ها



- حافظه‌های RMM را می‌توان بیش از یک بار برنامه‌ریزی کرد ولی مدت زمان لازم برای پاک کردن محتوای قبلی و نوشتن محتوای جدید در این گروه زیاد است.

- این گروه خود به دو زیر گروه تقسیم می‌شود:

- زیر گروه اول حافظه فقط خواندنی قابل پاک شدن و برنامه ریزی EPROM است.

- زیر گروه دوم حافظه فقط خواندنی قابل تغییر به صورت الکتریکی EAROM (یا EEPROM) است.

EPROM: Erasable Programmable ROM

EAROM: Electrically Alterable ROM



حافظه EPROM



- برنامه‌ریزی EPROM به صورت الکتریکی انجام می‌شود.

- این کار با ارسال یک پالس کوتاه با دامنه ولتاژ مناسب بر روی **gate** ترانزیستور **FET** موجود در محل سلول حافظه صورت می‌گیرد که با محبوس شدن شارژ الکتریکی در کانال بین **source** و **drain** این ترانزیستور، آن سلول حافظه در منطق 0 قرار می‌گیرد.

- کار برنامه‌ریزی سلول‌های حافظه به روش فوق توسط دستگاهی بنام **EPROM Programmer** انجام می‌شود.

- در **EPROM** برای پاک کردن محتوای یکی از خانه‌های حافظه لازم است که کل محتوای آن حافظه پاک شود.

- برای اینکار لازم است که حافظه از سیستم جدا شود و در معرض اشعه فرابنفش قرار گیرد تا محتوایش پاک شود.



دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر

حافظه‌های EPROM

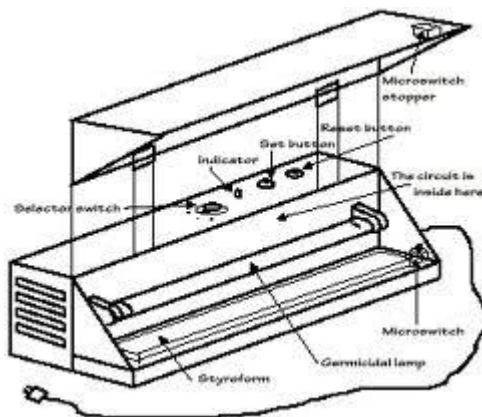


• فرآیند برنامه‌ریزی و پاک کردن در این حافظه، به لایه عایقی که در سلول‌های آن به کار رفته آسیب می‌رساند و این امر نهایتاً موجب تخریب سلول می‌شود.

• پاک کردن حافظه EPROM توسط EPROM Eraser انجام می‌شود.



EPROM Eraser



لامپ ماوراء بنفش برای پاک کردن EPROM



حافظه EEPROM



- حافظه فقط خواندنی قابل پاک شدن و برنامه ریزی مجدد به صورت الکتریکی، عنوانی است که به این نوع حافظه اختصاص داده شده است.
- این حافظه غیر فرار است و در کامپیوترها و دیگر وسایل دیجیتال برای ذخیره مقادیر محدودی داده به کار می رود.
- برای ذخیره مقادیر زیاد داده، استفاده از حافظه Flash که در بخش های بعدی مطرح می شود مقرون به صرفه تر است.
- این حافظه ها در ظرفیت های گوناگونی از چند بایت تا چند صد کیلوبایت ارائه می شوند.
- به عنوان مثال در کامپیوترهای مدرن از این تراشه برای نگهداری کدهای نوشته شده در BIOS سیستم استفاده می کنند.



حافظه‌های EPROM و EEPROM



• تفاوت موجود بین EPROM و EEPROM در این است که در EEPROM برای پاک کردن اطلاعات این حافظه نیازی به اشعه ماوراء بنفش نیست و با استفاده از جریان الکتریکی قابل پاک شدن است به همین دلیل بدون نیاز به جدا شدن از سیستم می‌توان آن را پاک کرد.

• همه محتوای حافظه EEPROM با هم پاک می‌شود و نمی‌توان به طور انتخابی بخشی از آن را پاک کرد.

• EEPROMها در تعداد دفعات نوشتن محدود هستند و این تعداد در انواع مدرن آن به حدود ۱۰۰۰۰۰ بار می‌رسد.



حافظه‌ها



- حافظه فرار: حافظه‌ای است که بعد از قطع برق داده خود را از دست می‌دهد.
- حافظه غیرفرار: حافظه‌ای است که در نبود برق هم اطلاعات خود را حفظ می‌کند.
- تمامی حافظه‌های فقط خواندنی جزء حافظه‌های غیر فرار هستند. حافظه‌های RWM معمولاً حافظه‌های فرار هستند.
- از آنجا که ریزپردازنده بدون دستورالعمل هیچ کاری انجام نمی‌دهد، بدیهی است که وجود مقداری حافظه غیرفرار در سیستم ضروری است.



حافظه‌ها



- حجم حافظه غیرفرار می‌تواند بسیار کم باشد مثلاً در کامپیوترها، اگر سیستم عامل و برنامه‌ها در یک حافظه انبوه ذخیره شده باشند، حافظه غیرفرار حاوی برنامه کوچکی است که سیستم عامل را از حافظه انبوه جانبی می‌خواند و در حافظه اصلی خود قرار می‌دهد.
- این برنامه کوچک را برنامه راه‌انداز boot یا bootstrap گویند.





حافظه‌ها



حافظه با دسترسی تصادفی خواندنی-نوشتنی (RWM)

• اصطلاح "دسترسی تصادفی" یا RAM (Random Access Memory) که در مورد حافظه به کار می‌رود، بدین معنی است که هر مکان حافظه به صورت کاملاً مستقل از دیگر مکان‌های حافظه قابل دسترسی است.

• اصطلاح RAM به تنهایی نمی‌تواند تعیین کند که حافظه از نوع فقط خواندنی یا خواندنی-نوشتنی است.

• لیکن معمولاً اصطلاح RAM برای حافظه‌های خواندنی-نوشتنی RWM به کار می‌رود.

• حافظه‌های خواندنی-نوشتنی RWM محدودیتی در نوشتن مجدد در حافظه ندارند.

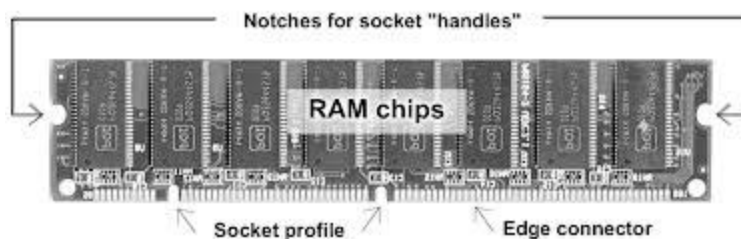
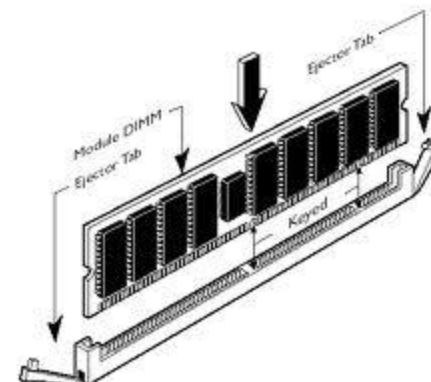


دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر

حافظه ها



حافظه با دسترسی تصادفی خواندنی-نوشتنی (حافظه های RWM)





حافظه‌ها



زمان دسترسی به حافظه و زمان سیکل حافظه:

• زمان "دسترسی به حافظه" و زمان "سیکل حافظه" هر دو بیانگر سرعت یک حافظه است.

• فاصله زمانی بین لحظه‌ای که واحد حافظه دستور خواندن را دریافت می‌کند تا لحظه‌ای که داده مکان مورد نظر از حافظه در خروجی حافظه قرار می‌گیرد را زمان دسترسی به حافظه می‌گویند.

• زمان سیکل حافظه حداقل زمان ممکن بین دو عملیاتی است که با حافظه سر و کار دارند.



حافظه‌ها



دو دسته از تکنولوژی‌های نیمه‌هادی حافظه‌های مدارات مجتمع عبارتند از:

- تکنولوژی Bipolar

- تکنولوژی MOS

تکنولوژی Bipolar:

- مزیت Bipolar بر MOS زمان دسترسی بسیار کم آن است

- حافظه‌های Bipolar توان زیادی مصرف می‌کنند.

- فرآیند ساخت بسیار پیچیده‌تری دارند.

- هزینه ساخت این نوع حافظه‌ها بالاست.



حافظه‌ها



• حافظه MOS معمول‌ترین نوع حافظه برای سیستم‌های مبتنی بر ریزپردازنده است.

• انواع حافظه‌های MOS:

• NMOS و CMOS

• استاتیک و دینامیک

• مدارات NMOS نسبت به CMOS پیچیدگی کمتری دارند.

• حافظه‌های CMOS از حافظه‌های NMOS کم‌مصرف‌تر هستند.



حافظه‌ها



حافظه‌های خواندنی-نوشتنی ممکن است استاتیک یا دینامیک باشند.

- حافظه‌های استاتیک نیاز به رفرش کردن ندارند.

- حافظه‌های دینامیک نیاز به رفرش (refresh) دارند.

- حافظه‌های استاتیک برای حجم‌های کوچک حافظه مناسب هستند.

- در حافظه‌های دینامیک مدارات مجتمع ارزان قیمت‌تری را به کار می‌برند.

- به دلیل نیاز به رفرش، حافظه‌های دینامیک به مدارات حمایتی برای عمل رفرش نیاز دارند.





حافظه‌ها



• حافظه دینامیک:

- در هر سلول حافظه دینامیک یک خازن قرار دارد. باری که در خازن ذخیره شده است سطح منطقی داده ذخیره شده در سلول را تعیین می‌کند.
- به خاطر دشارژ شدن، خازن داده را فقط به مدت چند میلی ثانیه در خود نگه می‌دارد.
- بعد از این مدت لازم است که داده مجدداً در سلول نوشته شود. این عملیات را تازه کردن (Refresh) سلول گویند.



حافظه‌ها



• حافظه دینامیک (ادامه)

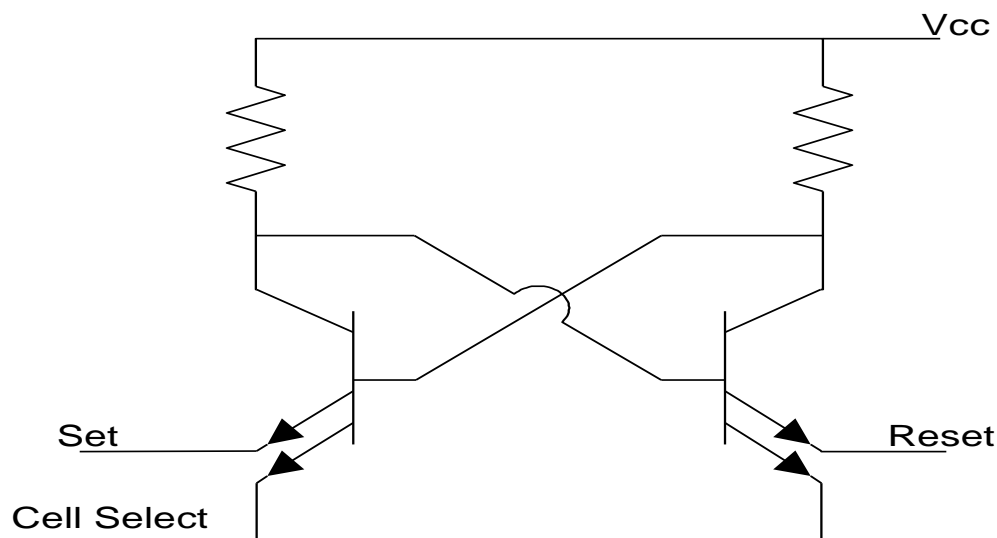
- سیستم‌های حافظه‌ای که از RAM دینامیک استفاده می‌کنند مدار خاصی برای این عملیات دارند که Refresh Logic نامیده می‌شود.
- این مدار به داده‌های حافظه به صورت سطری دسترسی می‌یابد و تمامی سلول‌های یک سطر را با هم Refresh می‌کند.
- این عملیات نباید با عملیات خواندن-نوشتن در حافظه که CPU انجام می‌دهد تداخل کند.
- مدار Refresh باید بداند که چه بخش‌هایی از حافظه Refresh نشده‌اند تا قبل از تخریب شدن داده‌های آن سلول‌ها، آنها را Refresh کند.



حافظه‌ها



- شکل زیر شماتیک ساده‌ای از یک سلول حافظه bipolar را نشان می‌دهد.
- این سلول چیزی جز یک فلیپ فلاپ نیست که ورودی های Set و Reset دارد.





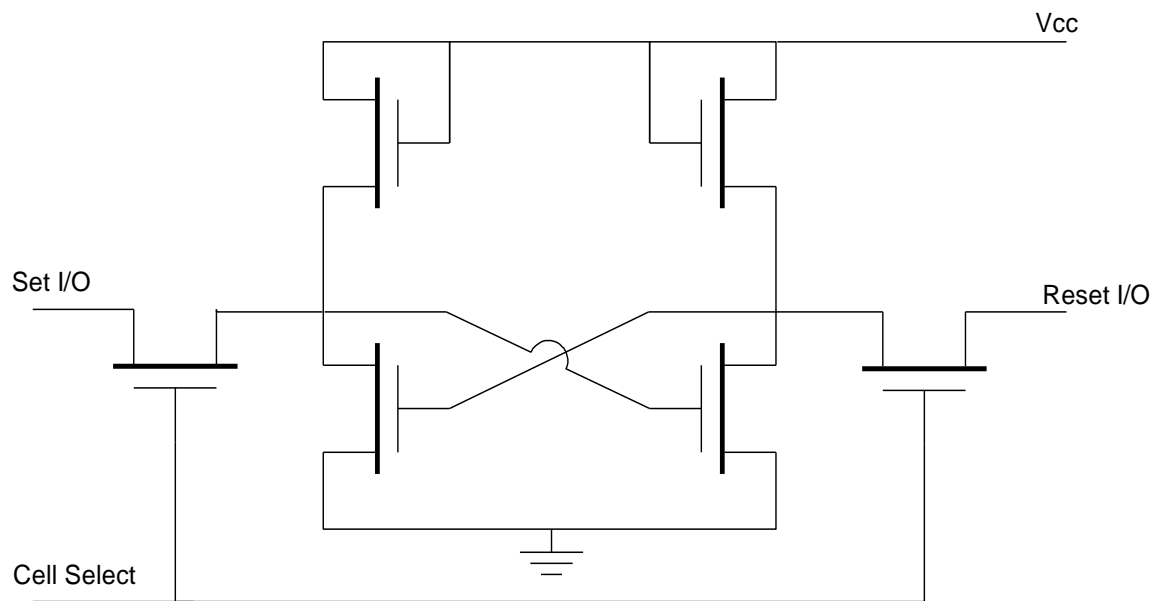
حافظه‌ها



- شکل زیر شمای ساده یک سلول حافظه استاتیک NMOS را نشان می‌دهد.

- این سلول نیز یک فلیپ فلاپ است.

- در این مدار ترانزیستور MOS با بایاس ثابت به عنوان بار در درین ترانزیستورهای دیگر به کار رفته است.





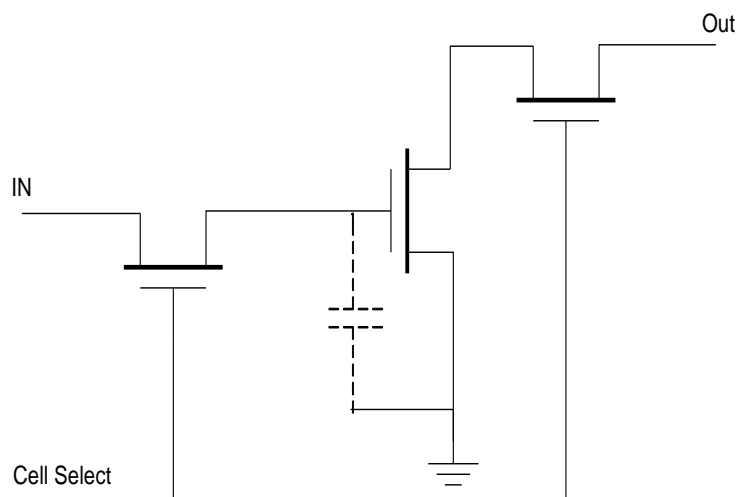
حافظه ها



حافظه های دینامیک

• سلول های حافظه دینامیک ساده تر از استاتیک هستند.

• این سلول کار حافظه استاتیک را با استفاده از تعداد ترانزیستورهای کمتری انجام می دهد و لذا بر روی یک سطح یکسان از تراشه، حجم حافظه بیشتری را فراهم می کند.

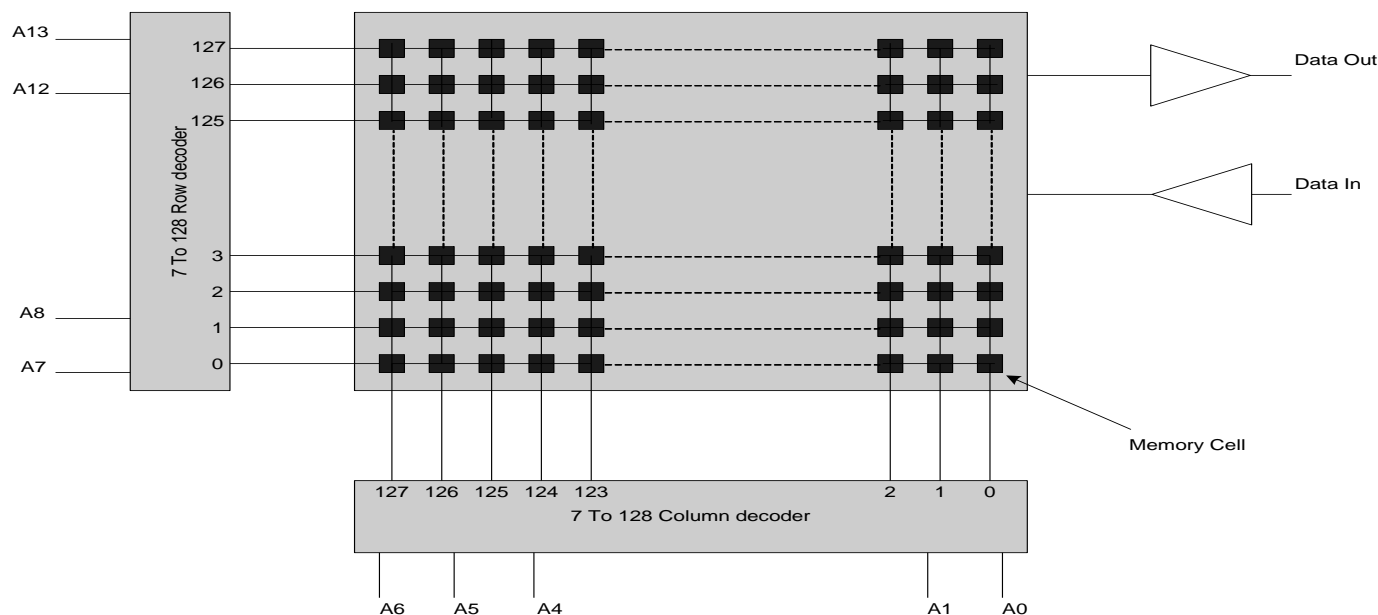




حافظه‌ها



- تعداد زیادی از این سلول‌های حافظه در ساختارهای ماتریسی قرار می‌گیرند و حافظه‌های بزرگ را ایجاد می‌کنند.
- شکل زیر یک تراشه ۱۶۳۸۴ بیتی را نشان می‌دهد.
- این بلوک دیگرام برای هر دو تکنولوژی bipolar و MOS، استاتیک یا دینامیک یکسان است.
- این تراشه ۱۴ خط آدرس دارد که این خطوط به دیکودرهای سطر و ستون وصل می‌شوند. خطوط A0 تا A6 به دیکودر ستون و خطوط A7 تا A13 به دیکودر سطر وصل می‌شوند.





حافظه‌ها



شکل زیر یک نمونه حافظه استاتیک از نوع MOS را نشان می‌دهد. در این تصویر یک حافظه SRAM با حجم 2Kbyte یا 16Kbit نشان داده شده است.

سلول‌های این حافظه به صورت کلمات هشت بیتی هستند که متناسب با سیستم‌های مبتنی بر ریزپردازنده انتخاب شده‌اند.

در این IC علاوه بر ۱۲ خط آدرس، هشت خط داده نیز موجود است که در حین عملیات خواندن یا نوشتن، ورودی یا خروجی داده هستند. ورودی کنترلی عملیات خواندن یا نوشتن را تعیین می‌کند.

1	N/C	V _{cc}	28
2	N/C	R/ \overline{W}	27
3	A7	N/C	26
4	A6	A8	25
5	A5	A9	24
6	A4	N/C	23
7	A3	\overline{OE}	22
8	A2	A10	21
9	A1	\overline{CE}	20
10	A0	D7	19
11	D0	D6	18
12	D1	D5	17
13	D2	D4	16
14	GND	D3	15

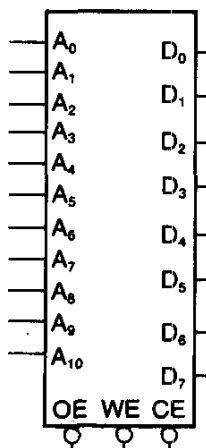


حافظه ها

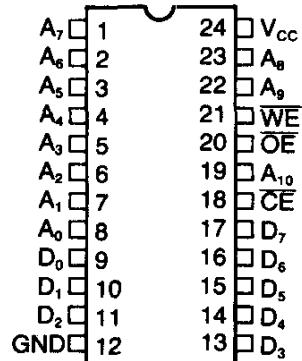
مثال هایی از انواع حافظه SRAM و EPROM



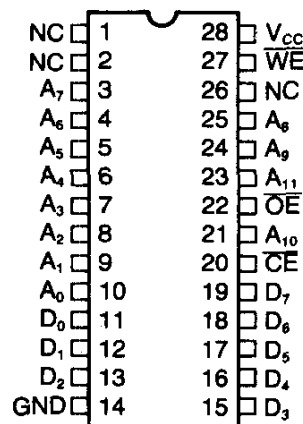
LOGIC
SYMBOL
2Kx8 SRAM



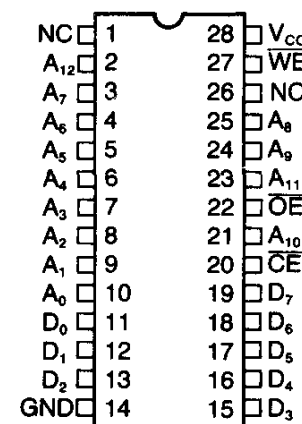
PIN
CONFIGURATION
2Kx8 SRAM



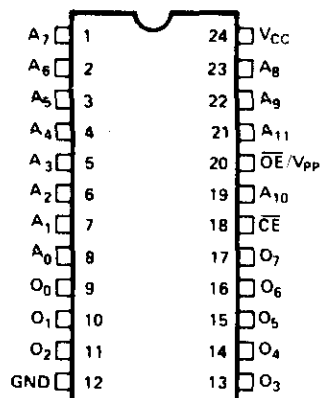
4Kx8 SRAM



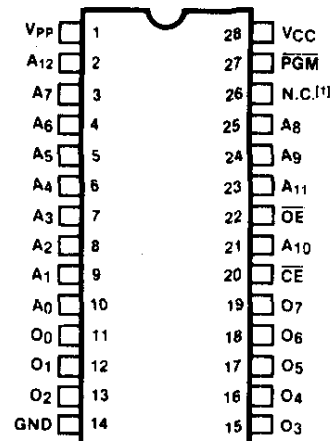
COMPATIBLE PINOUTS
8Kx8 SRAM



2732A
PIN CONFIGURATION



2764
PIN CONFIGURATION





حافظه‌ها



ورودی Chip Enable برای انتخاب تراشه است که اگر در سطح منطقی 1 قرار بگیرد، خروجی تراشه در حالت امپدانس بالا قرار می‌گیرد.

این پایه کنترلی برای اتصال چند تراشه به هم و ایجاد حافظه‌های با حجم بالاتر مناسب است. چون با به کار بردن آن، خروجی تراشه‌ها را می‌توان به هم وصل کرد.

به عنوان مثال برای ایجاد یک حافظه 16KB با استفاده از دو تراشه حافظه 8KB، کفایت ۱۳ خط آدرس A0 تا A12 را به هریک از دو تراشه حافظه 8KB وصل کنیم و خط A13 آدرس را به ورودی مدار انتخاب تراشه (دیکودر) وصل کنیم.

با این کار به ازای نیمی از آدرس‌ها یکی از تراشه‌ها و به ازای نیمه دیگر آدرس‌ها تراشه دوم عمل می‌کند.



حافظه FLASH

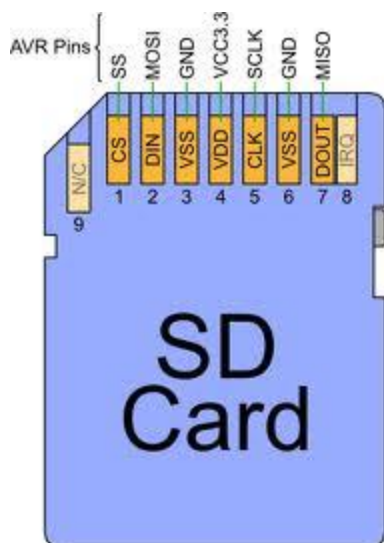


- این تکنولوژی در کارت‌های حافظه و فلش درایوهای USB برای ذخیره کردن اطلاعات و انتقال آن بین کامپیوترها و دیگر وسایل دیجیتال به کار گرفته می‌شود.
- امروزه در بسیاری از تراشه‌ها از جمله ریزپردازنده‌ها و میکروکنترلرها از این نوع حافظه استفاده می‌شود.
- حافظه فلش اطلاعات را در آرایه‌ای از ترانزیستورها با گیت شناور (Floating Gate) ذخیره می‌کند.
- دسترسی سریع به اطلاعات موجود در حافظه فلش امکان‌پذیر است (البته نه به سرعت حافظه‌های RWM).
- استقامت مکانیکی بیشتری نسبت به دیسک‌های سخت دارند، مقاومت نسبت به فشار زیاد هوا، دمای بالا و حتی غرق شدن در آب و ... همگی توجیهی بر محبوبیت این حافظه در دستگاه‌هایی است که نیاز به حافظه دارند و از باتری برای تامین انرژی استفاده می‌کنند.



دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر

حافظه FLASH





حافظه FLASH



- دو تکنولوژی اصلی در ساخت حافظه‌های فلش NOR و NAND هستند.
- حافظه NAND برای ذخیره حجم زیاد داده مناسب هستند .
- پاک کردن و خواندن حافظه NAND بصورت بلوکی انجام می‌شود.
- حافظه NOR به دلیل سرعت زیاد دسترسی به اطلاعات، برای ذخیره کدهای اجرایی برنامه ها و فراخوانی آنها برای اجرا مناسب هستند.
- پاک کردن حافظه NOR بصورت بلوکی و خواندن آنها بصورت بایتی انجام می‌شود.

حافظه FLASH

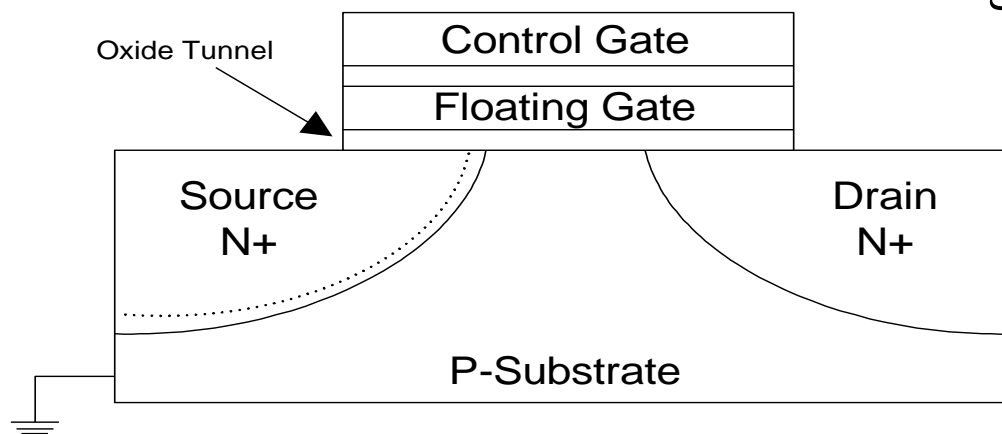


• در فلش‌های نوع NOR هر سلول شبیه یک MOSFET استاندارد است، به جز اینکه دو گیت دارد (شکل زیر).

• عبور یا عدم عبور جریان بین Source و Drain در ترانزیستور یک سلول حافظه را می‌توان به صفر یا یک بودن آن سلول ترجمه کرد.

• برنامه‌ریزی یک سلول بدین صورت است که جریانی از الکترون‌ها از پایه سورس به درین ترانزیستور راه‌اندازی می‌شود، سپس ولتاژ زیادی بر پایه گیت کنترلی قرار می‌گیرد تا یک میدان الکتریکی به اندازه کافی بزرگ فراهم شود.

• این میدان موجب مکش الکترون‌ها به سمت بالا، درون گیت شناور می‌شود. این فرآیند را **تزریق الکترون‌های داغ** می‌نامند.





حافظه FLASH



• برای پاک کردن یک سلول NOR، ولتاژ تفاضلی بزرگی بین سورس و گیت کنترلی ایجاد می‌شود.

• پاک کردن اطلاعات باید به صورت بلوکی انجام شود.

• یعنی برای پاک کردن یک بایت داده از یک بلوک، تمام داده‌های آن بلوک باید پاک شوند.

• بعد از پاک شدن یک بلوک، محتوای تمامی سلول‌ها 1 خواهد بود.

• برای مقدار صفر باید آن را درون سلول ایجاد کرد.

• زمانی که یک سلول مقدار صفر را دریافت کرد، دیگر قابل بازگشت به مقدار یک نیست، مگر اینکه محتوای کل آن بلوک پاک شود.



حافظه FLASH



• محدودیت دیگر برای حافظه فلش، تعداد دفعات پاک کردن حافظه است که در مورد فلش‌های تجاری که امروزه به کار گرفته می‌شوند این محدودیت تا یک میلیون بار است.

• خواندن داده‌های موجود در فلش به صورت بایتی یا کلمه‌ای از طریق باس آدرس و داده، تنها در حافظه‌های نوع **NOR** امکان‌پذیر است.

• حافظه‌های **NAND** از آنجا که تنها به صورت بلوکی خوانده می‌شوند، به دیسک‌های سخت و کارت‌های حافظه شباهت دارند.



دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر



زمانبندی حافظه ها



مشخصات غیر زمانی ۸۰۸۶



8086

intel®

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias 0°C to 70°C
Storage Temperature -65°C to +150°C
Voltage on Any Pin with
Respect to Ground -1.0V to +7V
Power Dissipation 2.5W

NOTICE: This is a production data sheet. The specifications are subject to change without notice.

*WARNING: Stressing the device beyond the "Absolute Maximum Ratings" may cause permanent damage. These are stress ratings only. Operation beyond the "Operating Conditions" is not recommended and extended exposure beyond the "Operating Conditions" may affect device reliability.

D.C. CHARACTERISTICS (8086: $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5V \pm 10\%$)
(8086-1: $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5V \pm 5\%$)
(8086-2: $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5V \pm 5\%$)

Symbol	Parameter	Min	Max	Units	Test Conditions
V_{IL}	Input Low Voltage	-0.5	+0.8	V	(Note 1)
V_{IH}	Input High Voltage	2.0	$V_{CC} + 0.5$	V	(Notes 1, 2)
V_{OL}	Output Low Voltage		0.45	V	$I_{OL} = 2.5 \text{ mA}$
V_{OH}	Output High Voltage	2.4		V	$I_{OH} = -400 \mu\text{A}$
I_{CC}	Power Supply Current: 8086 8086-1 8086-2		340 360 350	mA	$T_A = 25^\circ\text{C}$
I_{LI}	Input Leakage Current		± 10	μA	$0V \leq V_{IN} \leq V_{CC}$ (Note 3)
I_{LO}	Output Leakage Current		± 10	μA	$0.45V \leq V_{OUT} \leq V_{CC}$
V_{CL}	Clock Input Low Voltage	-0.5	+0.6	V	
V_{CH}	Clock Input High Voltage	3.9	$V_{CC} + 1.0$	V	
C_{IN}	Capacitance of Input Buffer (All input except AD_0-AD_{15} , RQ/GT)		15	pF	$f_c = 1 \text{ MHz}$
C_{IO}	Capacitance of I/O Buffer (AD_0-AD_{15} , RQ/GT)		15	pF	$f_c = 1 \text{ MHz}$

NOTES:

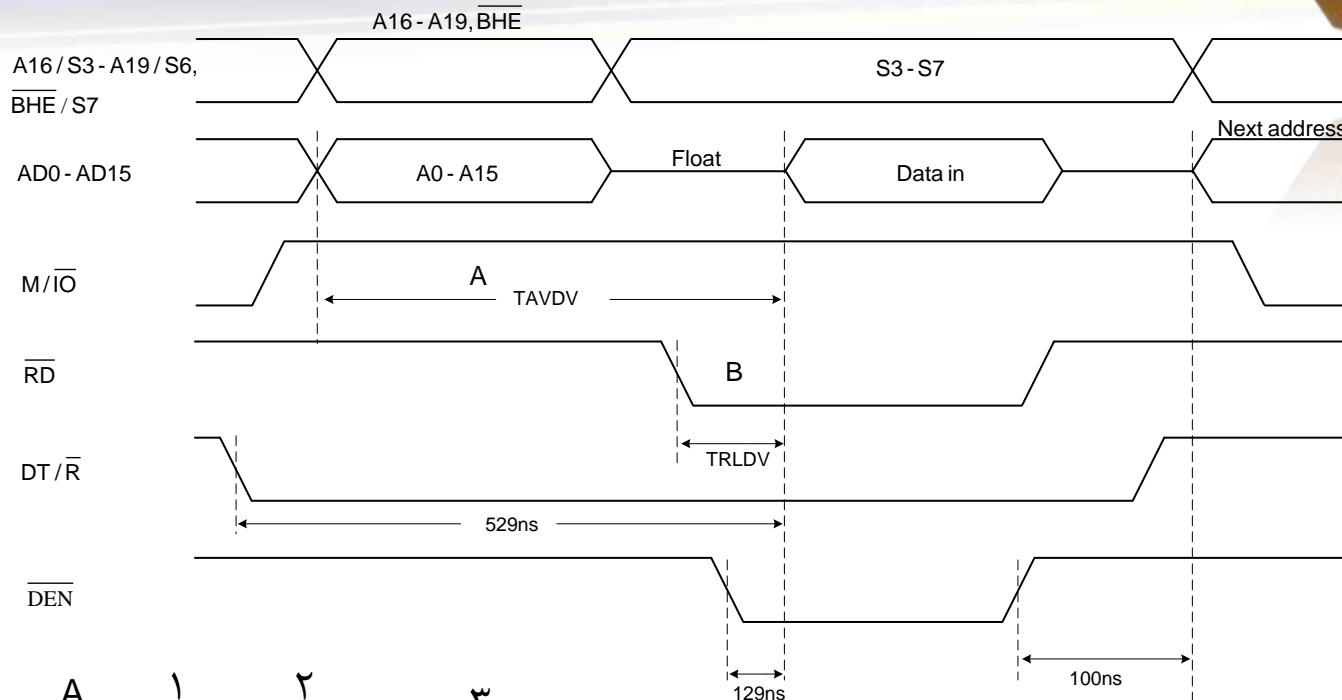
- V_{IL} tested with $\overline{MN}/\overline{MX}$ Pin = 0V. V_{IH} tested with $\overline{MN}/\overline{MX}$ Pin = 5V. $\overline{MN}/\overline{MX}$ Pin is a Strap Pin.
- Not applicable to $RQ/GT0$ and $RQ/GT1$ (Pins 30 and 31).
- HOLD and HLDA I_{LI} min = 30 μA , max = 500 μA .



زمان بندی حافظه در سیکل خواندن (مد مینیمم)



دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر



$$TAVDV = 3TCLCL - TCLAV_{max} - TDVCL_{min} = 3 \times 200ns - 110ns - 30ns = 460ns \text{ (8086)}$$

$$TRLDV = 2TCLCL - TCLRL_{max} - TDVCL_{min} = 2 \times 200ns - 165ns - 30ns = 205ns \text{ (8086)}$$

B ۱ ۴ ۳

TAVDV: Address Access Time

TRLDV: Read Access Time

TCLCL: Clock cycle periode
TCLAV: Address Valid Delay
TDVCL: Data Setup Time

TCLRL:RD Active Delay



زمان بندی حافظه در سیکل خواندن مد مینیمم



8086



A.C. CHARACTERISTICS (8086: $T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5V \pm 10\%$)
(8086-1: $T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5V \pm 5\%$)
(8086-2: $T_A = 0^\circ\text{C to } 70^\circ\text{C}$, $V_{CC} = 5V \pm 5\%$)

MINIMUM COMPLEXITY SYSTEM TIMING REQUIREMENTS

Symbol	Parameter	8086		8086-1		8086-2		Units	Test Conditions
		Min	Max	Min	Max	Min	Max		
TCLCL	CLK Cycle Period	200	500	100	500	125	500	ns	
TCLCH	CLK Low Time	118		53		68		ns	
TCHCL	CLK High Time	69		39		44		ns	
TCH1CH2	CLK Rise Time		10		10		10	ns	From 1.0V to 3.5V
TCL2CL1	CLK Fall Time		10		10		10	ns	From 3.5V to 1.0V
TDVCL	Data in Setup Time	30		5		20		ns	
TCLDX	Data in Hold Time	10		10		10		ns	
TR1VCL	RDY Setup Time into 8284A (See Notes 1, 2)	35		35		35		ns	
TCLR1X	RDY Hold Time into 8284A (See Notes 1, 2)	0		0		0		ns	
TRYHCH	READY Setup Time into 8086	118		53		68		ns	
TCHRYX	READY Hold Time into 8086	30		20		20		ns	
TRYLCL	READY Inactive to CLK (See Note 3)	-8		-10		-8		ns	
THVCH	HOLD Setup Time	35		20		20		ns	
TINVCH	INTR, NMI, TEST Setup Time (See Note 2)	30		15		15		ns	
TILIH	Input Rise Time (Except CLK)		20		20		20	ns	From 0.8V to 2.0V
TIHIL	Input Fall Time (Except CLK)		12		12		12	ns	From 2.0V to 0.8V

۱

۹

۳



زمان بندی حافظه در سیکل خواندن مد مینیمم



intel®

8086

A.C. CHARACTERISTICS (Continued)

TIMING RESPONSES

Symbol	Parameter	8086		8086-1		8086-2		Units	Test Conditions
		Min	Max	Min	Max	Min	Max		
TCLAV	Address Valid Delay	10	110	10	50	10	60	ns	*C _L = 20–100 pF for all 8086 Outputs (In addition to 8086 selfload)
TCLAX	Address Hold Time	10		10		10		ns	
TCLAZ	Address Float Delay	TCLAX	80	10	40	TCLAX	50	ns	
TLHLL	ALE Width	TCLCH-20		TCLCH-10		TCLCH-10		ns	
TCLLH	ALE Active Delay		80		40		50	ns	
TCHLL	ALE Inactive Delay		85		45		55	ns	
TLLAX	Address Hold Time	TCHCL-10		TCHCL-10		TCHCL-10		ns	
TCLDV	Data Valid Delay	10	110	10	50	10	60	ns	
TCHDX	Data Hold Time	10		10		10		ns	
TWHDX	Data Hold Time After WR	TCLCH-30		TCLCH-25		TCLCH-30		ns	
TCVCTV	Control Active Delay 1	10	110	10	50	10	70	ns	
TCHCTV	Control Active Delay 2	10	110	10	45	10	60	ns	
TCVCTX	Control Inactive Delay	10	110	10	50	10	70	ns	
TAZRL	Address Float to READ Active	0		0		0		ns	
TCLRL	RD Active Delay	10	165	10	70	10	100	ns	
TCLRH	RD Inactive Delay	10	150	10	60	10	80	ns	
TRHAV	RD Inactive to Next Address Active	TCLCL-45		TCLCL-35		TCLCL-40		ns	
TCLHAV	HLDA Valid Delay	10	160	10	60	10	100	ns	
TRLRH	RD Width	2TCLCL-75		2TCLCL-40		2TCLCL-50		ns	
TWLWH	WR Width	2TCLCL-60		2TCLCL-35		2TCLCL-40		ns	
TAVAL	Address Valid to ALE Low	TCLCH-60		TCLCH-35		TCLCH-40		ns	
TOLOH	Output Rise Time		20		20		20	ns	From 0.8V to 2.0V
TOHOL	Output Fall Time		12		12		12	ns	From 2.0V to 0.8V

NOTES:

1. Signal at 8284A shown for reference only.
2. Setup requirement for asynchronous signal only to guarantee recognition at next CLK.
3. Applies only to T2 state. (8 ns into T3).

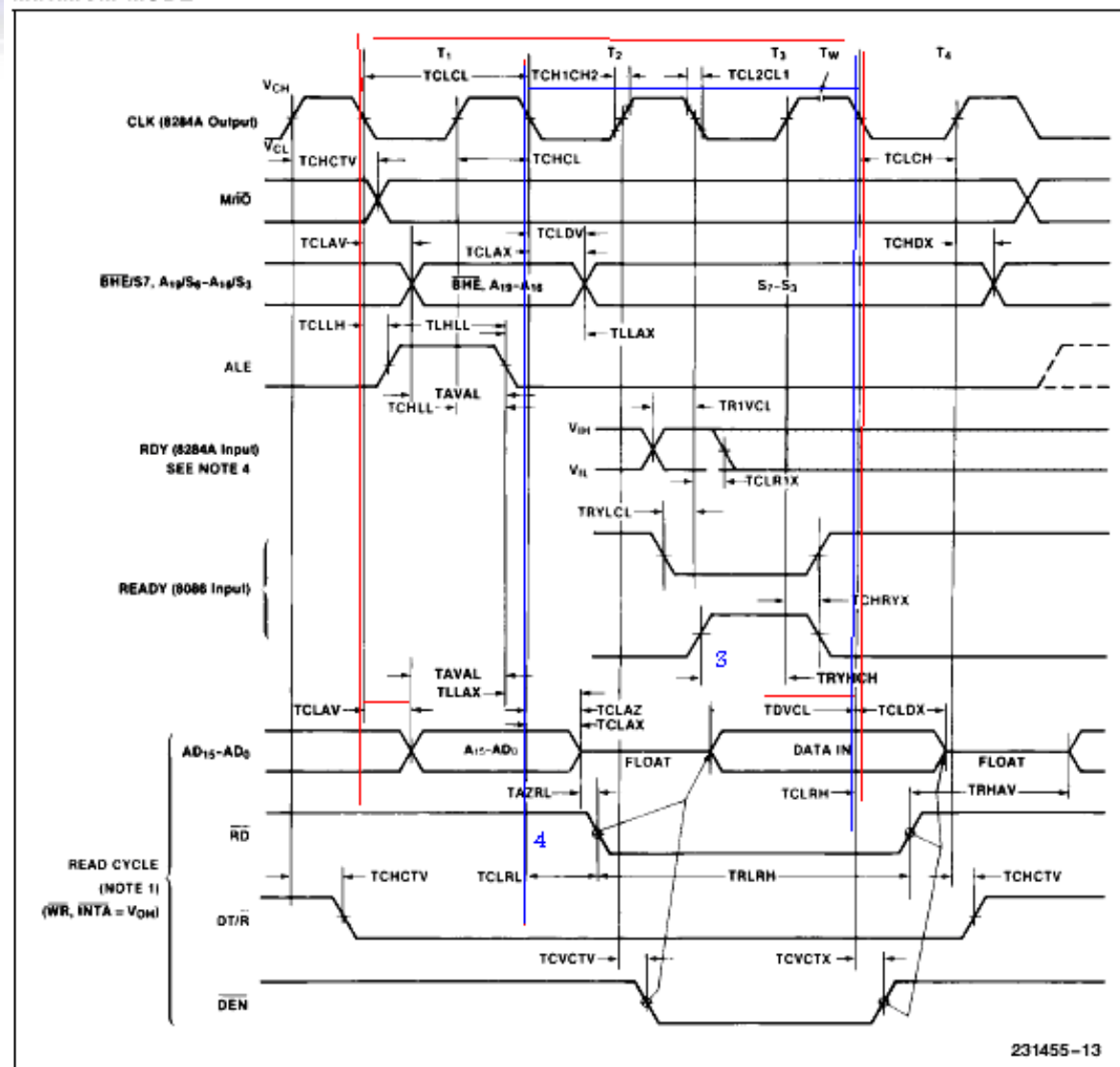


زمان بندی حافظه در سیکل خواندن مد مینیمم



دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر

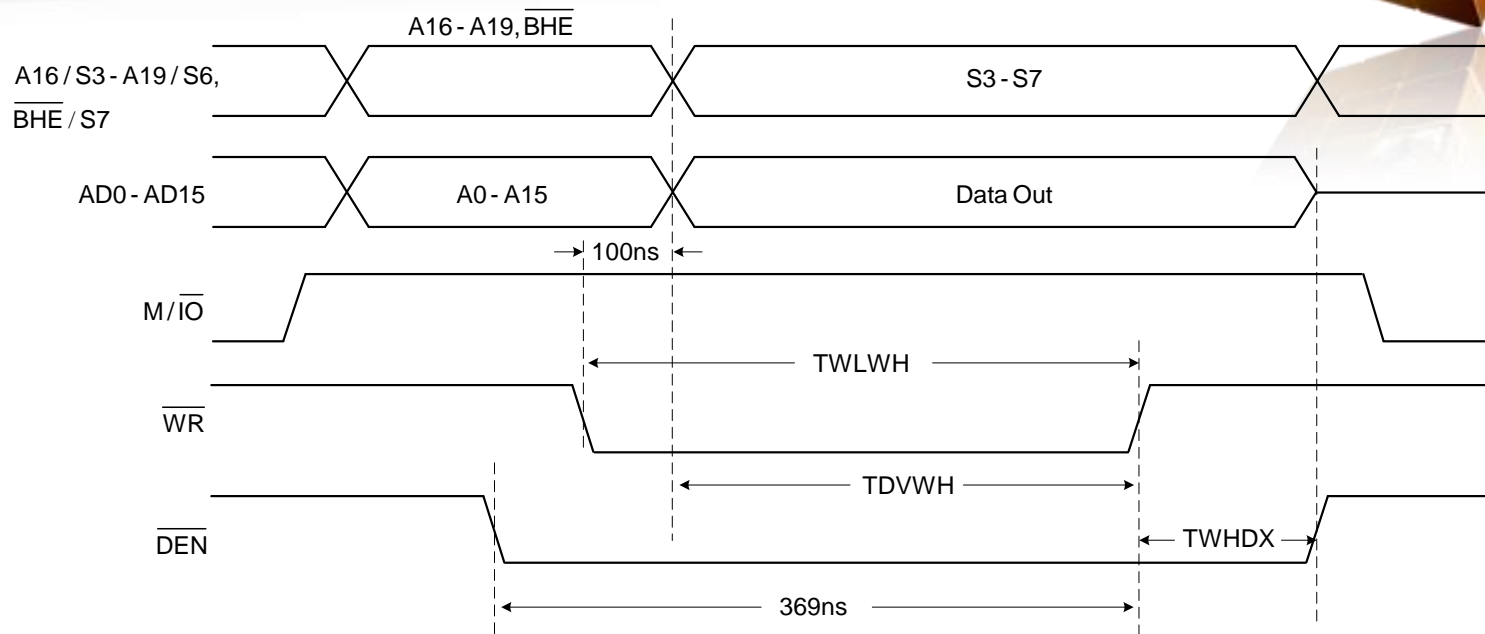
MINIMUM MODE



231455-13



زمان بندی حافظه در سیکل نوشتن مد مینیمم



$$DT / \overline{R} = V_{0H}$$

$$TWLWH = 2TCLCL - 60ns = 2 \times 200ns - 60ns = 340ns \text{ (8086)}$$

$$TDVWH = 2TCLCL - TCLDV_{max} + TCVCTX_{min} = 2 \times 200ns - 110ns + 10ns = 300ns \text{ (8086)}$$

$$TWHDX = TCLCH - 30ns = 118ns - 30ns = 88ns \text{ (8086)}$$

TCLCL: Clock cycle periode
TCLDV: Data Valid Delay
TCVCT: Control Active Dealy 1

TCLCH: Clock Low Time
TWHDX: Data Hold Time After Write



زمان بندی حافظه در سیکل نوشتن مد مینیمم



intel®

8086

A.C. CHARACTERISTICS (Continued)

TIMING RESPONSES

Symbol	Parameter	8086		8086-1		8086-2		Units	Test Conditions
		Min	Max	Min	Max	Min	Max		
TCLAV	Address Valid Delay	10	110	10	50	10	60	ns	*C _L = 20–100 pF for all 8086 Outputs (In addition to 8086 selfload)
TCLAX	Address Hold Time	10		10		10		ns	
TCLAZ	Address Float Delay	TCLAX	80	10	40	TCLAX	50	ns	
TLHLL	ALE Width	TCLCH-20		TCLCH-10		TCLCH-10		ns	
TCLLH	ALE Active Delay		80		40		50	ns	
TCHLL	ALE Inactive Delay		85		45		55	ns	
TLLAX	Address Hold Time	TCHCL-10		TCHCL-10		TCHCL-10		ns	
TCLDV	Data Valid Delay	10	110	10	50	10	60	ns	
TCHDX	Data Hold Time	10		10		10		ns	
TWHDX	Data Hold Time After WR	TCLCH-30		TCLCH-25		TCLCH-30		ns	
TCVCTV	Control Active Delay 1	10	110	10	50	10	70	ns	
TCHCTV	Control Active Delay 2	10	110	10	45	10	60	ns	
TCVCTX	Control Inactive Delay	10	110	10	50	10	70	ns	
TAZRL	Address Float to READ Active	0		0		0		ns	
TCLRL	RD Active Delay	10	165	10	70	10	100	ns	
TCLRH	RD Inactive Delay	10	150	10	60	10	80	ns	
TRHAV	RD Inactive to Next Address Active	TCLCL-45		TCLCL-35		TCLCL-40		ns	
TCLHAV	HLDA Valid Delay	10	160	10	60	10	100	ns	
TRLRH	RD Width	2TCLCL-75		2TCLCL-40		2TCLCL-50		ns	
TWLWH	WR Width	2TCLCL-60		2TCLCL-35		2TCLCL-40		ns	
TAVAL	Address Valid to ALE Low	TCLCH-60		TCLCH-35		TCLCH-40		ns	
TOLOH	Output Rise Time		20		20		20	ns	From 0.8V to 2.0V
TOHOL	Output Fall Time		12		12		12	ns	From 2.0V to 0.8V

NOTES:

1. Signal at 8284A shown for reference only.
2. Setup requirement for asynchronous signal only to guarantee recognition at next CLK.
3. Applies only to T2 state. (8 ns into T3).

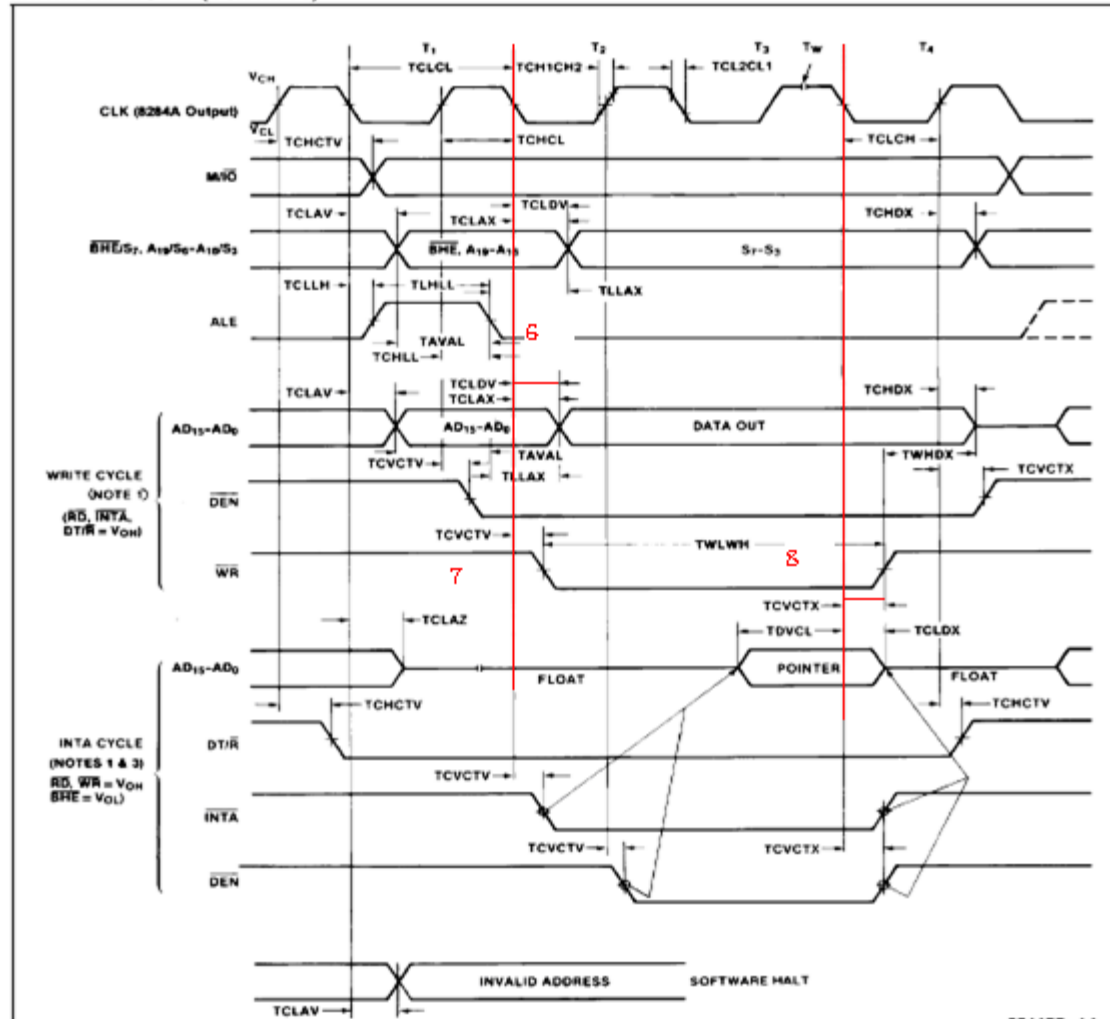


زمان بندی حافظه در سیکل نوشتن مد مینیمم

دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر



MINIMUM MODE (Continued)





پایه‌های حافظه SRAM به ظرفیت 2KB به شماره TMM2016

PIN CONNECTIONS

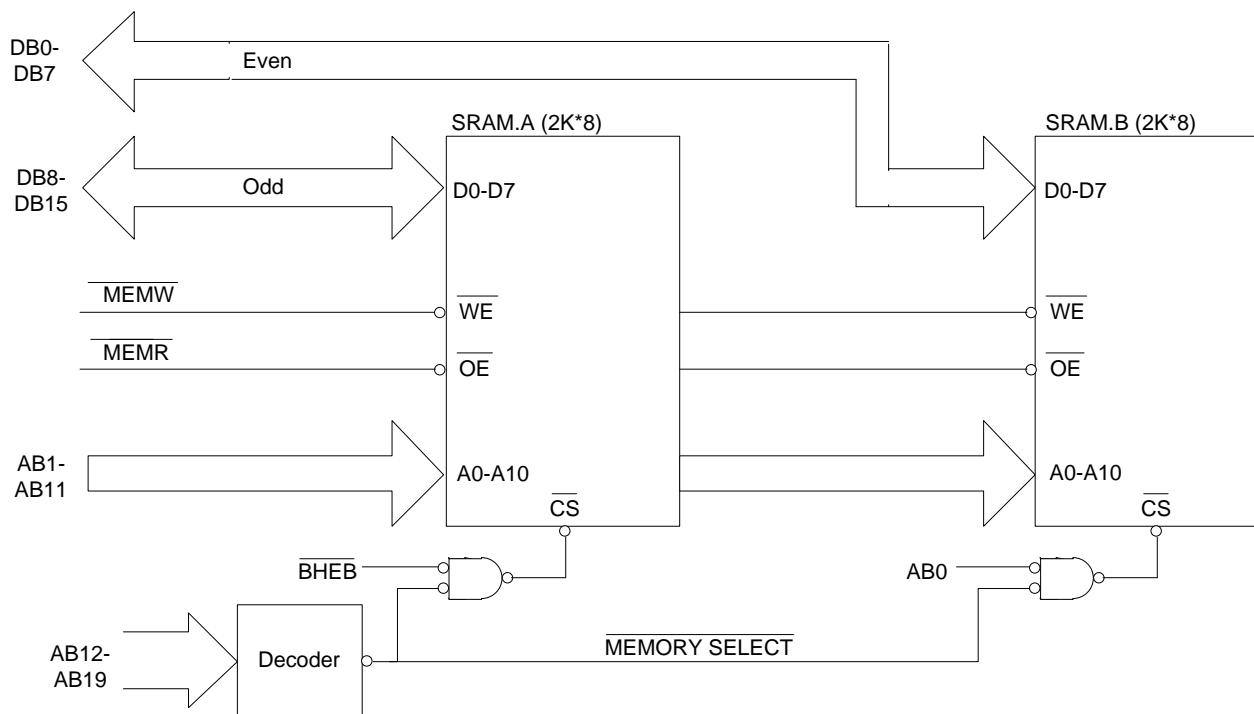
1	A ₇	V _{CC}	24
2	A ₆	A ₈	23
3	A ₅	A ₉	22
4	A ₄	WE	21
5	A ₃	OE	20
6	A ₂	A ₁₀	19
7	A ₁	CS	18
8	A ₀	I/O ₈	17
9	I/O ₁	I/O ₇	16
10	I/O ₂	I/O ₆	15
11	I/O ₃	I/O ₅	14
12	GND	I/O ₄	13

PIN NAMES

SYMBOL	NAME
A ₀ ~A ₃	Column Address Inputs
A ₄ ~A ₁₀	Row Address Inputs
CS	Chip Select Input
WE	Write Enable Input
I/O ₁ ~I/O ₈	Data Input/Output
OE	Output Enable Input
V _{CC}	Power (+5 v)
GND	Ground



مدار واسط ارتباط RAM استاتیک با ریزپردازنده ۸۰۸۶



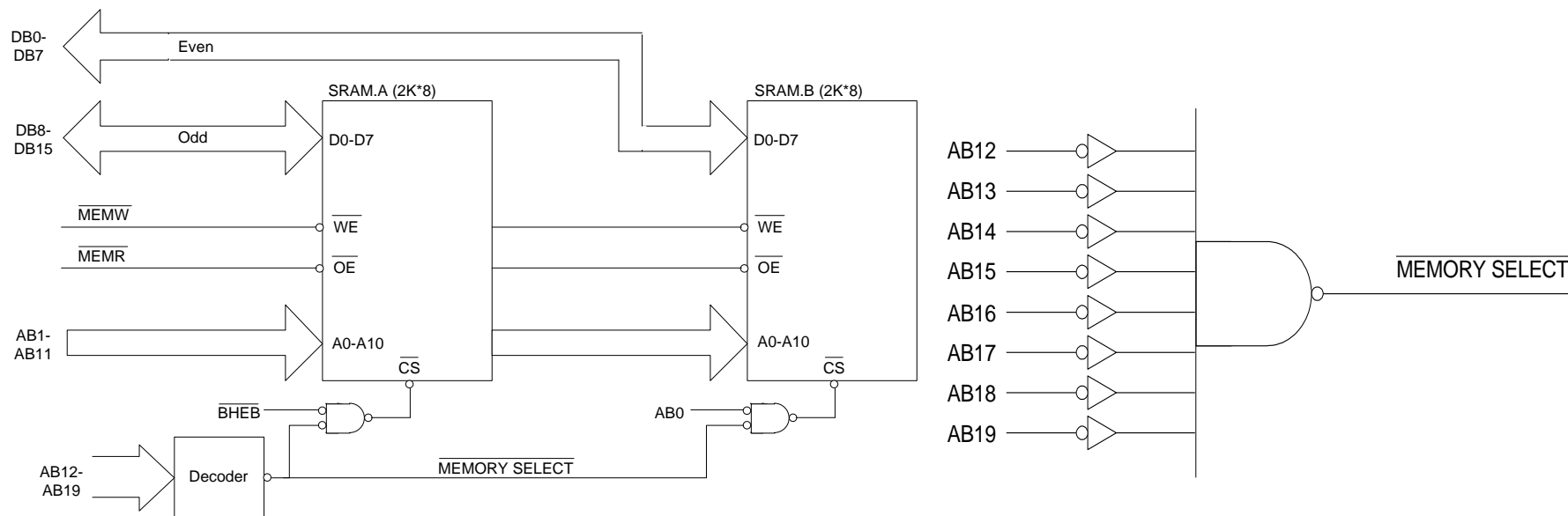


دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر

مدار واسط ارتباط RAM استاتیک با ریزپردازنده ۸۰۸۶



• در این طرح دسترسی بایتی و کلمه‌ای هر دو امکان پذیر است.



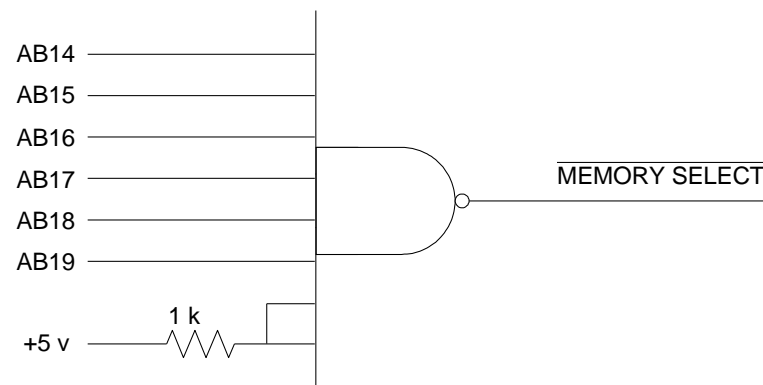
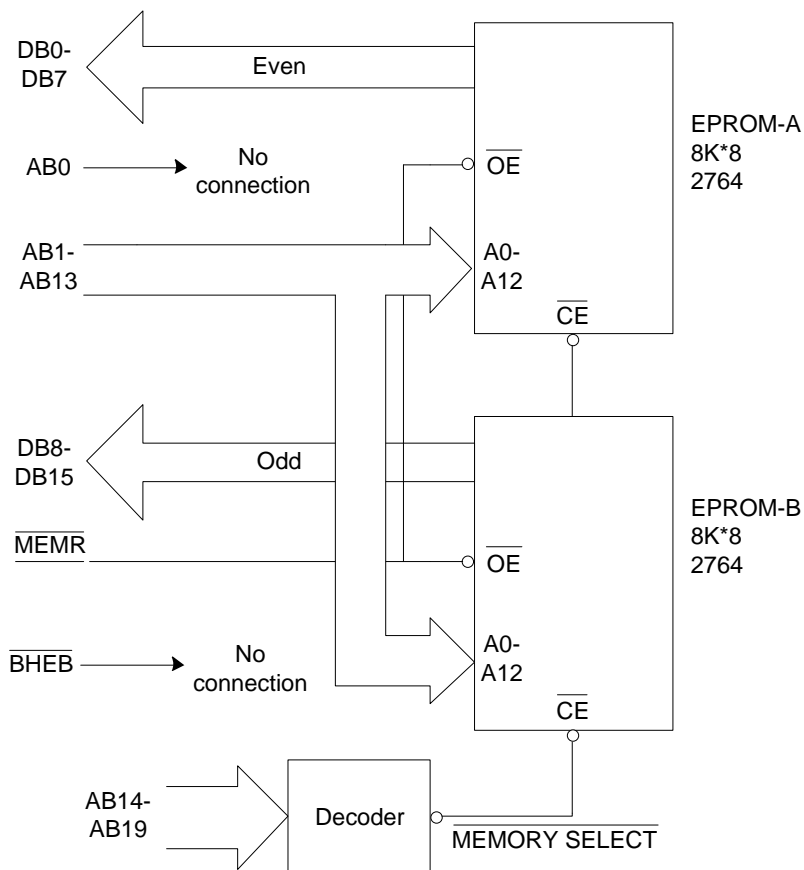
مدار دریکودر برای
محدوده آدرس 00000H-00FFFH



مدار واسط ارتباط ROM با ریزپردازنده ۸۰۸۶



در این طرح فقط دسترسی ای امکان پذیر است.



مدار دیکودر برای

محدوده آدرس FC000H-FFFFFFH

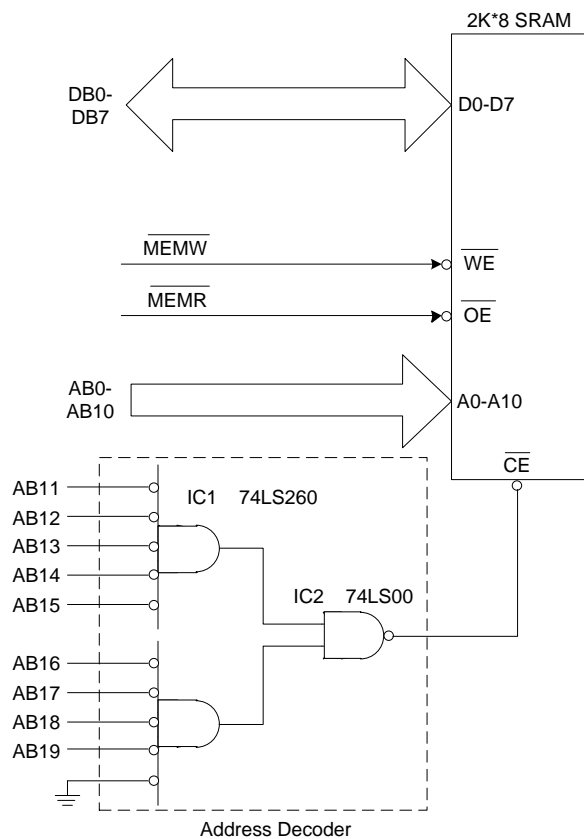


دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر

مدار واسط ارتباط SRAM با ریزپردازنده ۸۰۸۸



در این طرح دسترسی به فقط یک بایت امکان پذیر است.



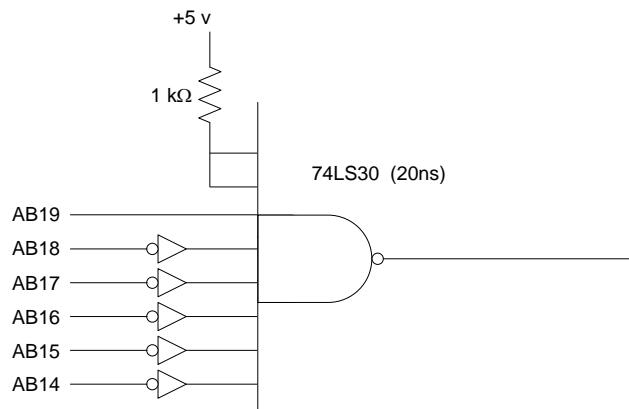


دیکودینگ آدرس

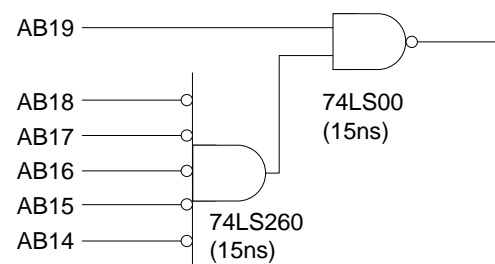


❖ دیکود کردن محدوده آدرس شامل 16KB از آدرس 80000H تا 83FFFH:

A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1



(الف)



(ب)

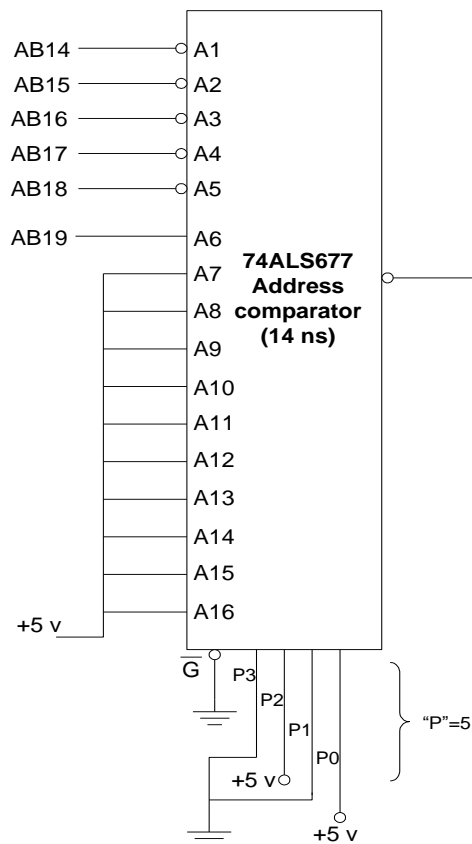
دیکود کامل آدرس با گیت‌های NAND و NOR



دیکودینگ آدرس توسط تراشه 74ALS677



❖ دیکود محدوده آدرس 80000H تا 83FFFH



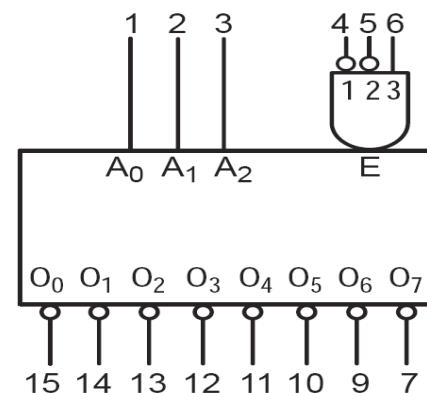
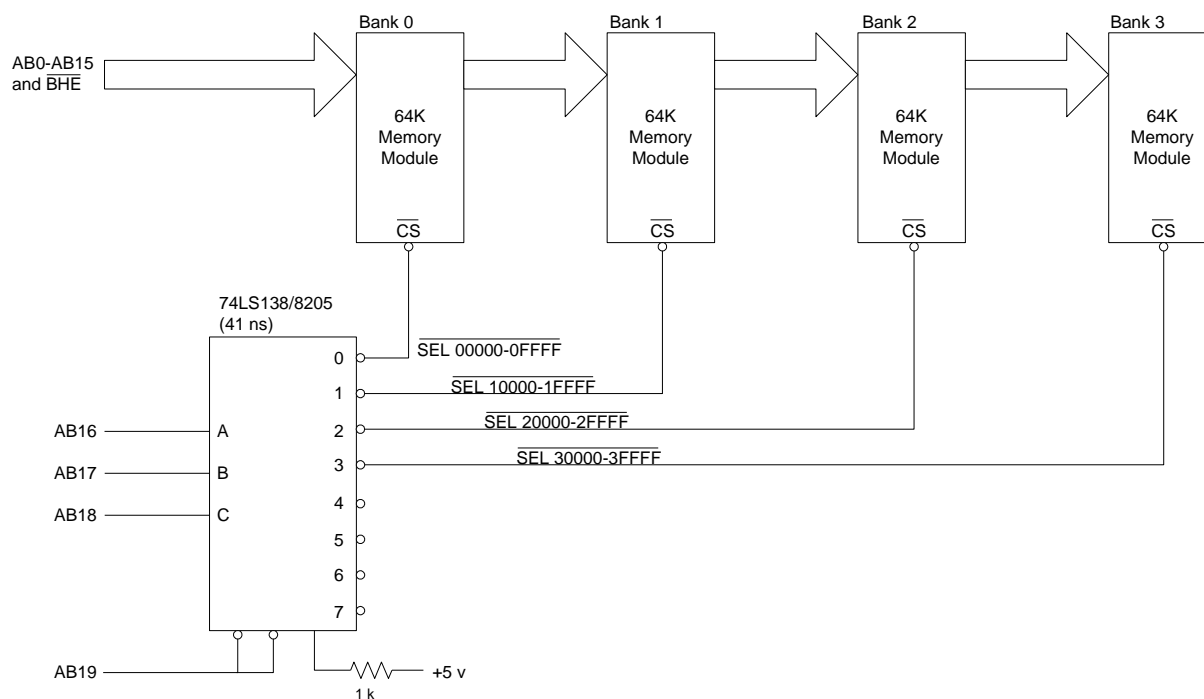
بکارگیری گیت NAND قابل برنامه ریزی 74ALS677 به عنوان دیکودر آدرس



دیکودینگ آدرس فضای حافظه



دیکود بلوکی با استفاده از دیکور ۷۴۱۳۸





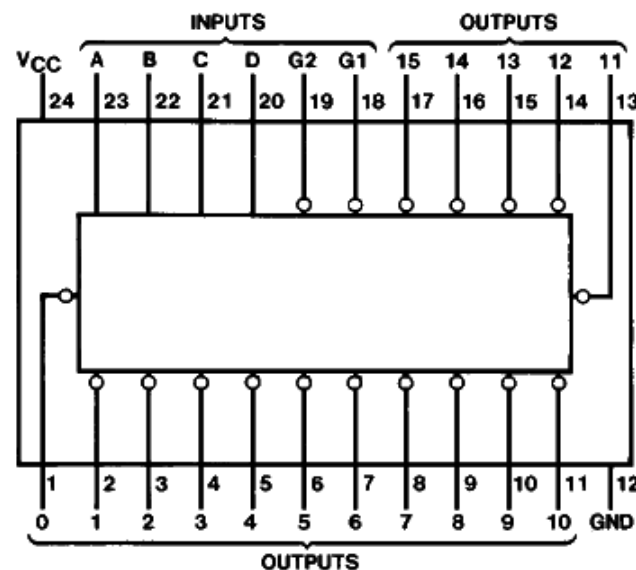
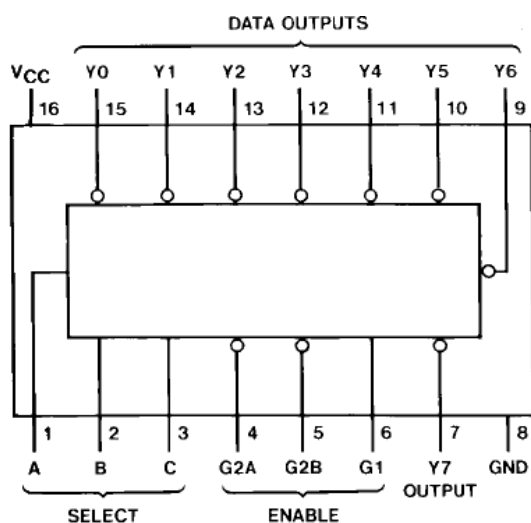
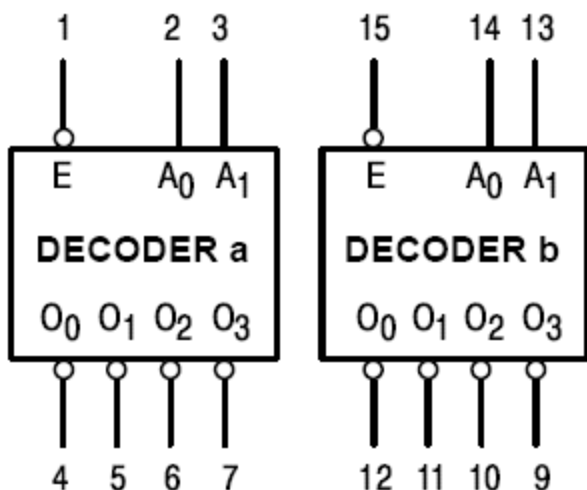
دیکودینگ آدرس فضای حافظه



دانشکده مهندسی کامپیوتر
دانشگاه صنعتی امیرکبیر

انواع تراشه‌های دیکودر عبارتند از:

- تراشه ۷۴۱۳۹: حاوی دو عدد دیکودر ۲ به ۴
- تراشه ۷۴۱۳۸: حاوی یک عدد دیکودر ۳ به ۸
- تراشه ۷۴۱۵۴: حاوی یک عدد دیکودر ۴ به ۱۶





تا خوردگی در حافظه



- برای فضای حافظه‌ای مانند فضای حافظه ۸۰۸۶ که ۱ مگابایت است.
- با یکبار تازدن حول 512KB می‌توان خط آدرس A19 را از ورودی دیکودر آدرس حافظه‌ها حذف و مدار دیکودر را ساده‌تر نمود.
- به همین ترتیب با هر باز تازدن بیشتر، می‌تواند خط آدرس دیگری را از ورودی دیکودر آدرس حافظه‌ها حذف نمود.
- تا زدن در صورتی مجاز است که در نیمی دوم فضای حافظه که با تازدن بر روی نیمه دیگر قرار می‌گیرد، حافظه‌ای قرار نداده باشیم.