

Rapport de projet [EA113]

Projet d'électronique analogique :

Amplificateur audiofréquence

Projet réalisé par :

AIT SIDI ALI Oussama
OUAJIH Safae

Projet encadré par :

LEBRET Valery

Table des matières

1) Introduction.....	3
• Cahier des charges.	
• Schéma fonctionnel de l'ensemble du circuit.	
• Gain de l'ensemble contre réactionné	
2) Caractérisation du transistor NMOS.....	5
• Tension de seuil	
• Mesure de la transconductance et la résistance drain source	
3) Réalisation d'un montage Push-Pull primitif.....	6
• Caractéristique de transfert théorique	
• Distorsion de croisements	
4) Optimisation du montage Push-Pull primitif.....	9
• Neutralisation des distorsions de croisements	
• Mesure de l'impédance d'entrée.	
5) Réalisation du montage globale.....	11
• Dimensionnement des résistances et condensateurs	
• Performances théoriques	
• Analyse thermique d'un transistor	
6) Processus de fabrication de la carte.....	16
7) Performances expérimentales.....	16
8) Annexes.....	18
• Équations du transistor NMOS	
• Datasheet du transistor IRLIB4343	
• Schéma électrique du circuit complet	
• Feuilles de placement	

Introduction

Ce projet d'électronique a conduit à la réalisation d'une maquette d'un amplificateur audiofréquence à l'aide d'outils CAO (Proteus Professional 8.8) à la fois permettant la simulation préalable des différents montages du circuit et la réalisation d'une carte de circuit imprimé (PCB).

Tout au long de ce projet, un certain nombre de contraintes ont été imposées pour permettre le dimensionnement des différents composants, montages et grandeurs électriques du circuit :

- Un haut-parleur devant se brancher à la sortie du circuit une fois la carte réalisée, il sera modélisé tout au long de l'étude théorique par une résistance de $8\ \Omega$.
- L'entrée du circuit prenant généralement des signaux audiofréquences provenant de lecteurs MP3 ou de téléphones portables, et compte tenu du fait que ces signaux sont d'amplitude assez faible ($\sim 100\text{mV}$) on prendra pour les simulations un générateur de tensions d'environ 100mV en valeur efficace.
- Le spectre audio s'étendant de 20Hz à 20kHz , on a choisit comme bande passante du circuit l'intervalle $\{40\text{Hz} ; 15\text{kHz}\}$.
- Un circuit passe haut sera montée en entrée pour éliminer la composante continue du signal audio entrant.
- L'impédance d'entrée dans la bande passante du circuit sera de $47\text{k}\Omega$.
- L'alimentation continue sera de $\pm 15\text{V}$.
- En admettant une tension de déchet de 3V , la puissance maximale de sortie doit être :

$$P_{\max} = \frac{(\hat{V}_s)^2}{R_L} = \left(\frac{V_{s\max}}{\sqrt{2}} \right)^2 \frac{1}{R_L} = \left(\frac{15\text{V} - 3\text{V}}{\sqrt{2}} \right)^2 \frac{1}{8\Omega} = 9\text{ Watts} :$$

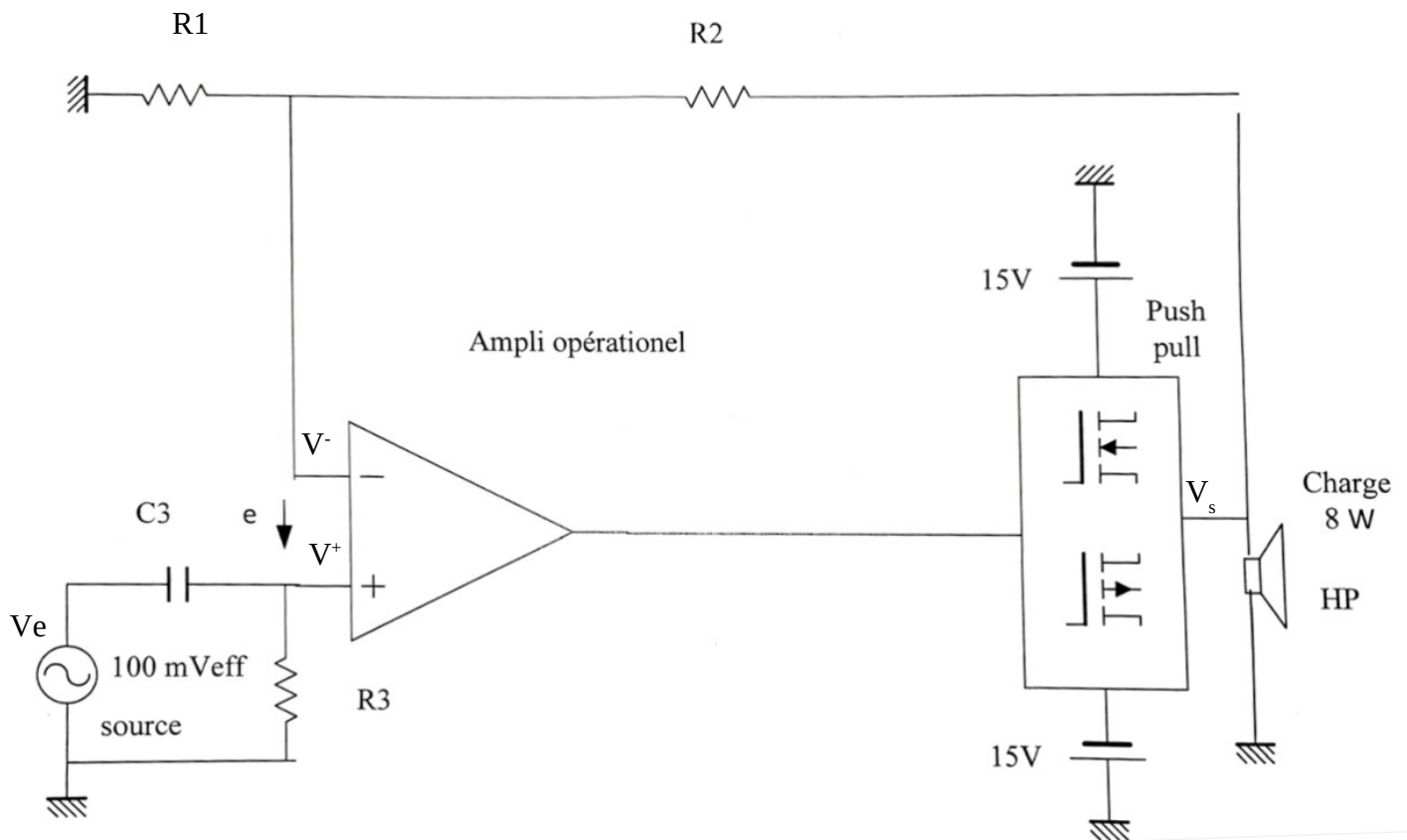
- De même, on peut déterminer une valeur crête maximale du courant en sortie à pleine puissance :

$$I_{\max} = \frac{V_{s\max}}{R_L} = \frac{12}{8} = 1.5$$

- Globalement, le montage devra pouvoir effectuer un amplification de :

$$A = \frac{V_{s\max}}{V_{e\max}} = \frac{V_{s\max}}{\sqrt{2}\hat{V}_e} = \frac{12}{0.1\sqrt{2}} = 85$$

Le circuit sera divisé en deux morceaux : un montage Push-pull et un amplificateur opérationnel. Le rôle de l'AOP est simple ; amplifier la tension d'entrée. Le Push-Pull quant à lui a pour rôle de fournir au signal de sortie de l'AOP la puissance nécessaire pour faire fonctionner une charge telle que le haut parleur qu'il y aura à la sortie de la carte, ou la résistance R_L qui le modélise. La sortie du Push-pull sera reliée à l'entrée inverseuse de l'AOP assurant une contre-réaction globale du circuit. Le schéma bloc du circuit est tel qui suit :



La cellule CR à l'entrée non inverseuse de l'AOP effectue le filtrage passe haut permettant l'élimination de la composante continue du signal audiofréquence.

Les valeurs des différentes résistances et capacités dans le circuit seront précisément calculés de manière à satisfaire toutes les exigences du cahier des charges.

On a utilisé un AOP standard (modèle TL071) qui permet une grande amplification ainsi qu'une impédance d'entrée très grande. Pour ce qui est du montage Push-pull, on a choisi de le baser sur une technologie MOS.

On peut dès à présent avoir une idée sur le gain globale de l'ensemble du circuit contre réactionné :

$$V^+ = \frac{R_3}{R_3 + \frac{1}{jC_3\omega}} V_e \quad V^- = \frac{R_1}{R_1 + R_2} V_s \quad \epsilon = V^+ - V^- = 0 \quad \frac{V_s}{V_e} = \left(1 + \frac{R_2}{R_1}\right) \frac{jC_3\omega}{1 + jR_3C_3\omega}$$

$$\left| \frac{V_s}{V_e} \right| = \left(1 + \frac{R_2}{R_1}\right) \frac{C_3\omega}{\sqrt{(1 + (R_3C_3\omega)^2)}}$$

$$G_{dB} = 20 \log \left(\left| \frac{V_s}{V_e} \right| \right) = \underbrace{20 \log \left(1 + \frac{R_2}{R_1} \right)}_{\text{Gain statique en dB}} + \underbrace{20 \log (C_3\omega)}_{\text{Terme responsable du comportement passe-haut}} - \underbrace{10 \log (1 + (R_3C_3\omega)^2)}_{\text{Terme responsable du comportement passe-bas}}$$

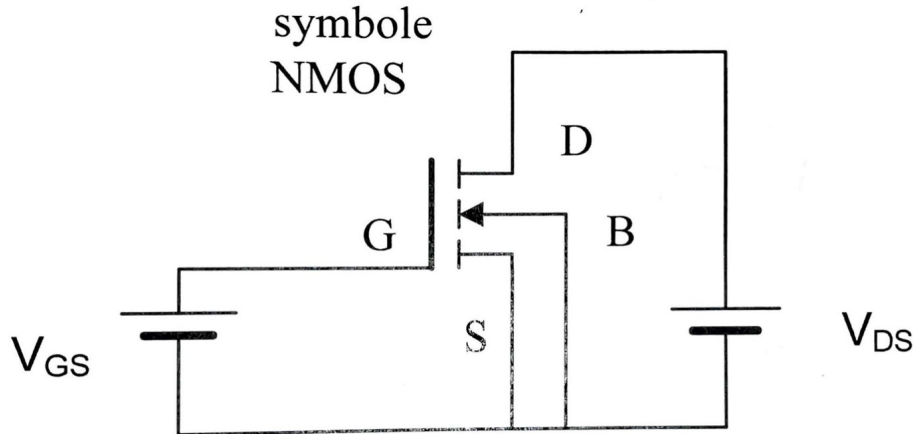
On retrouve bien un comportement passe bande de la part du circuit.

Caractérisation du transistor NMOS

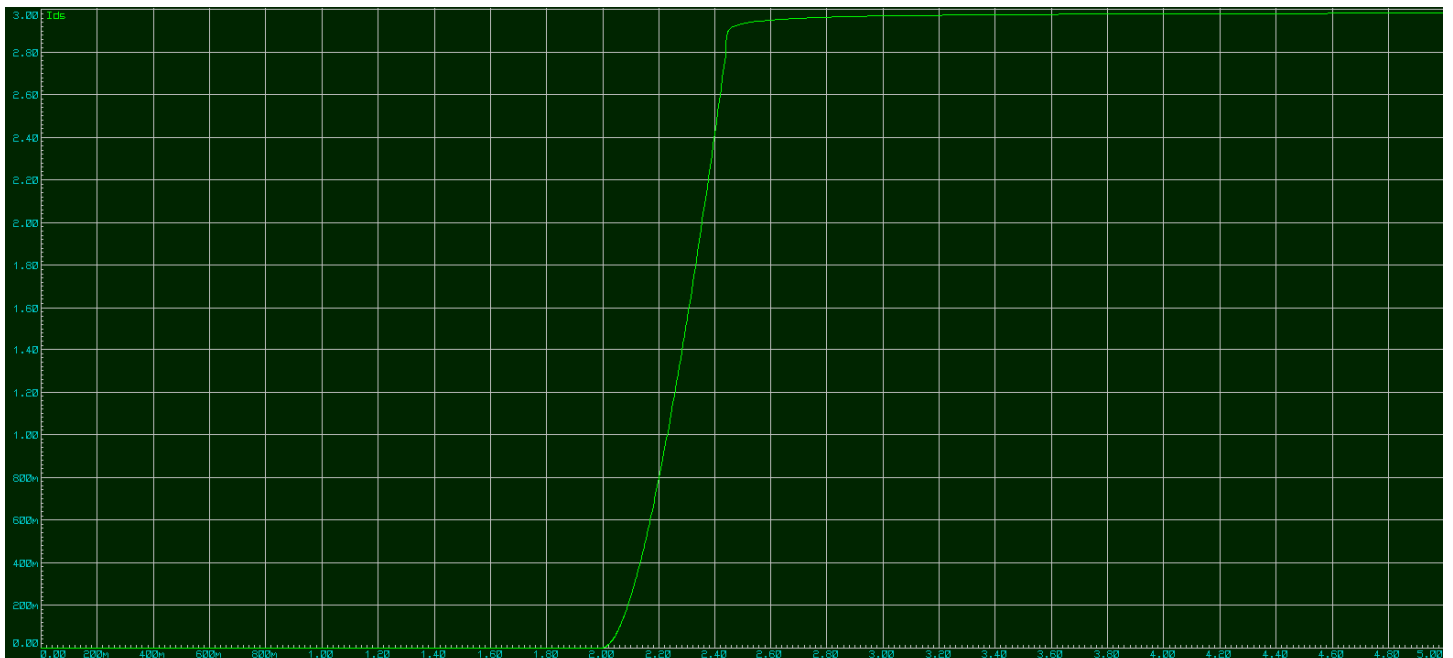
On se permet d'étudier les caractéristiques du transistor MOS à canal N mais plus précisément le modèle IRLIB4343 qu'on utilise dans la suite du projet.

Les équations et grandeurs caractéristiques du transistor NMOS seront rappelés en annexe. On s'intéressera aux grandeurs propres à notre modèle.

Pour cela, à l'aide de l'outil CAO (Proteus Professional 8.8), on cable le transistor à deux générateurs DC et on rajoute une résistance R à l'entrée du drain pour limiter le courant I_D à 3A tel que $R=(V_{DS} / 3)$



On fixe d'abord $V_{DS} = 10\text{ V}$ et $R = 3.3\ \Omega$, et on mesure à l'aide de voltmètre et d'ampèremètre la tension V_{GS} et le courant I_D puis on effectue une simulation « DC SWEEP » qui fournit la caractéristique $I_D(V_{GS})$. Le résultat de la simulation est tel que ci-dessous :



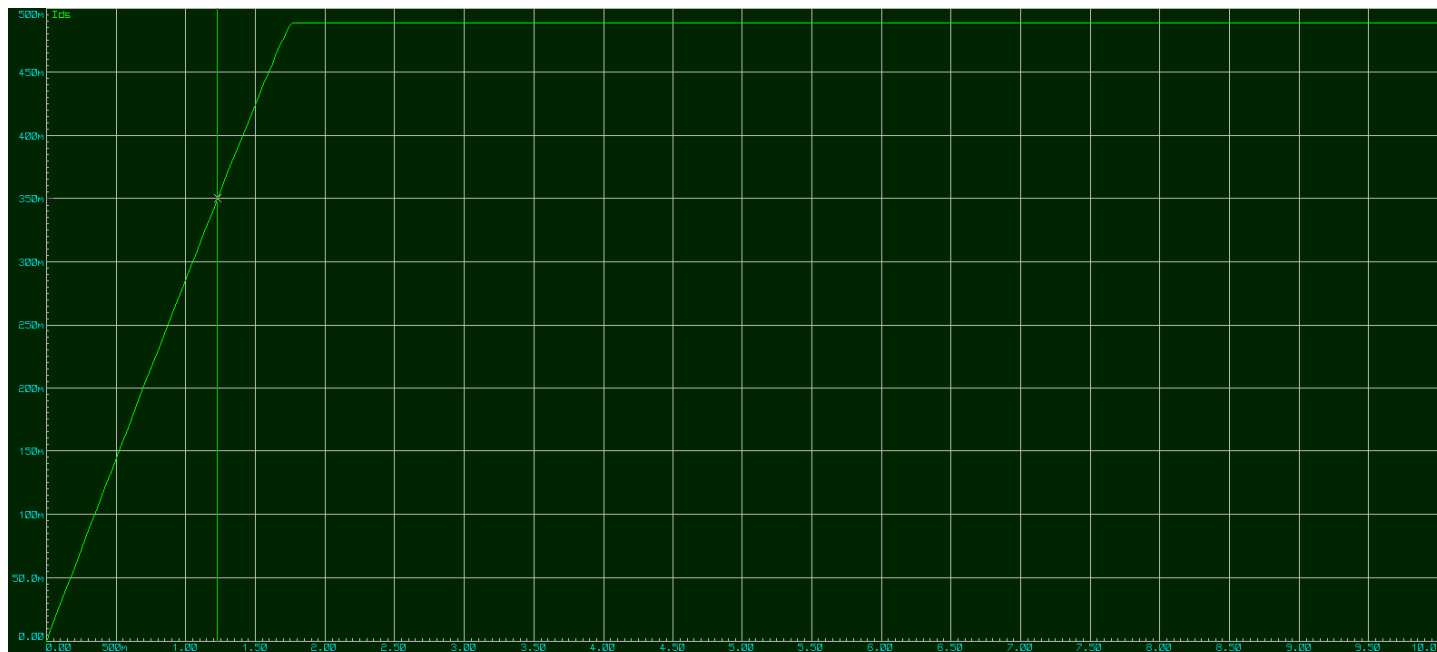
On observe clairement que le courant ne passe pas en dessous d'une valeur critique de V_{GS} . C'est le seuil V_T . On mesure donc $V_T = 2\text{ V}$ (à $I_D = 20\text{ mA}$).

Cette caractéristique nous permet aussi de faire une mesure de la transconductance de l'

IRLIB4343. On fait cette mesure à $I_D = I_{D0} = 0.5\text{ A}$:
$$g_m = \frac{\partial(I_D)}{\partial(V_{GS})} = \frac{(\Delta I_D)}{(\Delta V_{GS})} = 5.85\text{ S}$$

On mesure aussi à cette valeur de I_D $V_{GS0} = 2.15\text{ V}$.

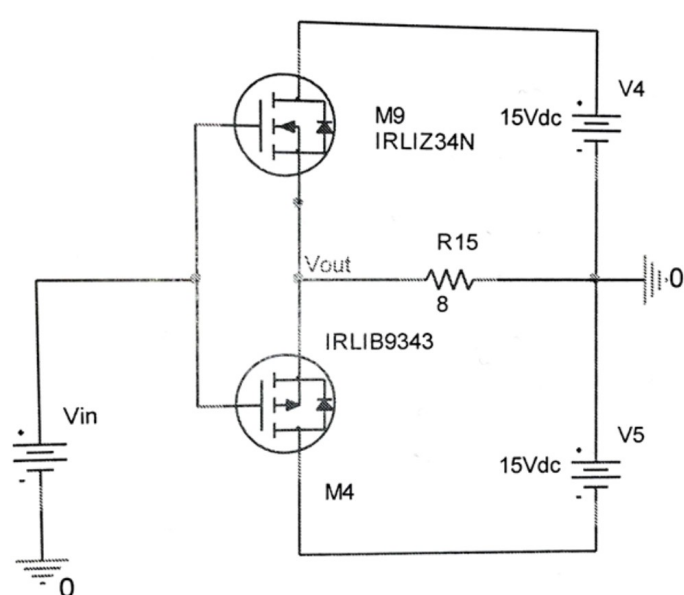
Les grandeurs permettant de commander le transistor NMOS ayant été déterminées, on s'intéressera maintenant à ses zones de fonctionnement. Pour cela, on fixe désormais V_{GS} à V_{GS0} . Le résultat de la simulation est tel que ci-dessous :



On remarque l'existence de deux zones de fonctionnement : une zone ohmique (où la caractéristique est linéaire) et une zone de saturation. Ces deux zones sont délimitées par une valeur critique de V_{DS} qu'on notera $V_{DSS} = 1.75V$.

On peut aussi mesurer la résistance entre le Drain et la Source, $R_{DS(on)} = \frac{\Delta V_{DS}}{\Delta I_D} = 0.11 \Omega$

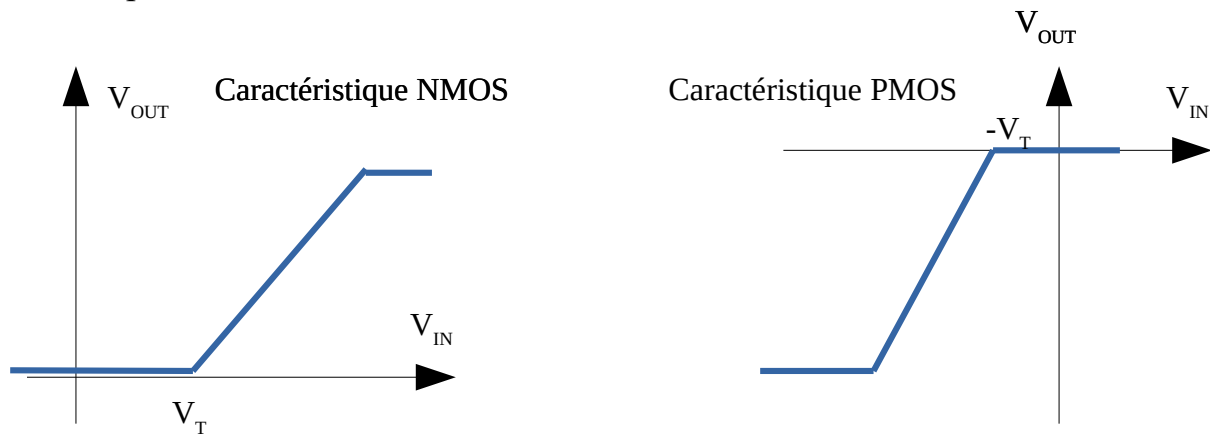
Réalisation d'un montage Push-pull primitif



Le schéma qui suit donne le principe du montage push-pull :

Deux transistors MOS complémentaires, un NMOS et un PMOS sont montés en drain commun afin de pouvoir fournir un courant important en sortie avec une très grande impédance d'entrée. Comme on l'a vu précédemment, le NMOS n'est passant que pour un $V_{GSN} > V_{TN}$. Et sature

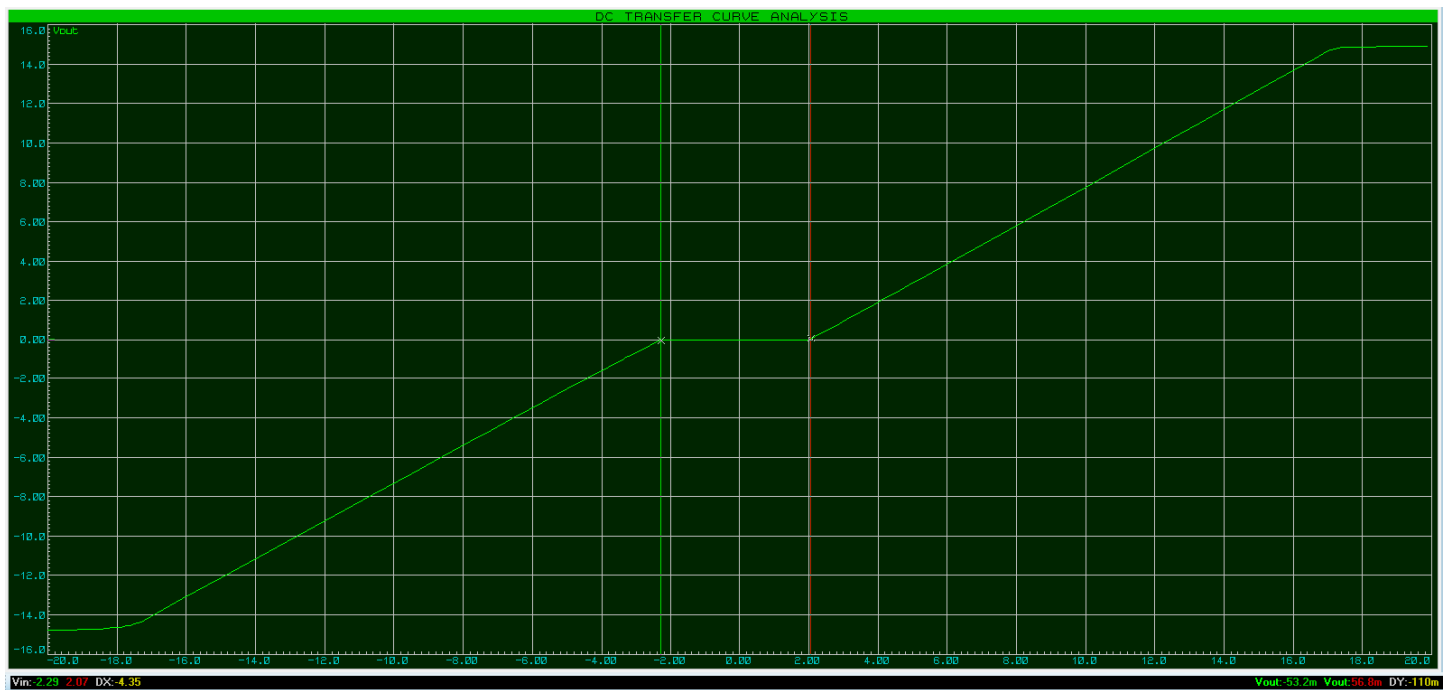
pour V_{GS} très grand. De manière symétrique, le PMOS ne sera passant que pour $V_{GSP} < V_{TP} = -V_{TN}$, et sature pour V_{GSP} très faible.



Pour V_{IN} positif, le NMOS conduit tandis que le PMOS est bloqué : la caractéristique de transfert du Push-pull est similaire à celle de NMOS.

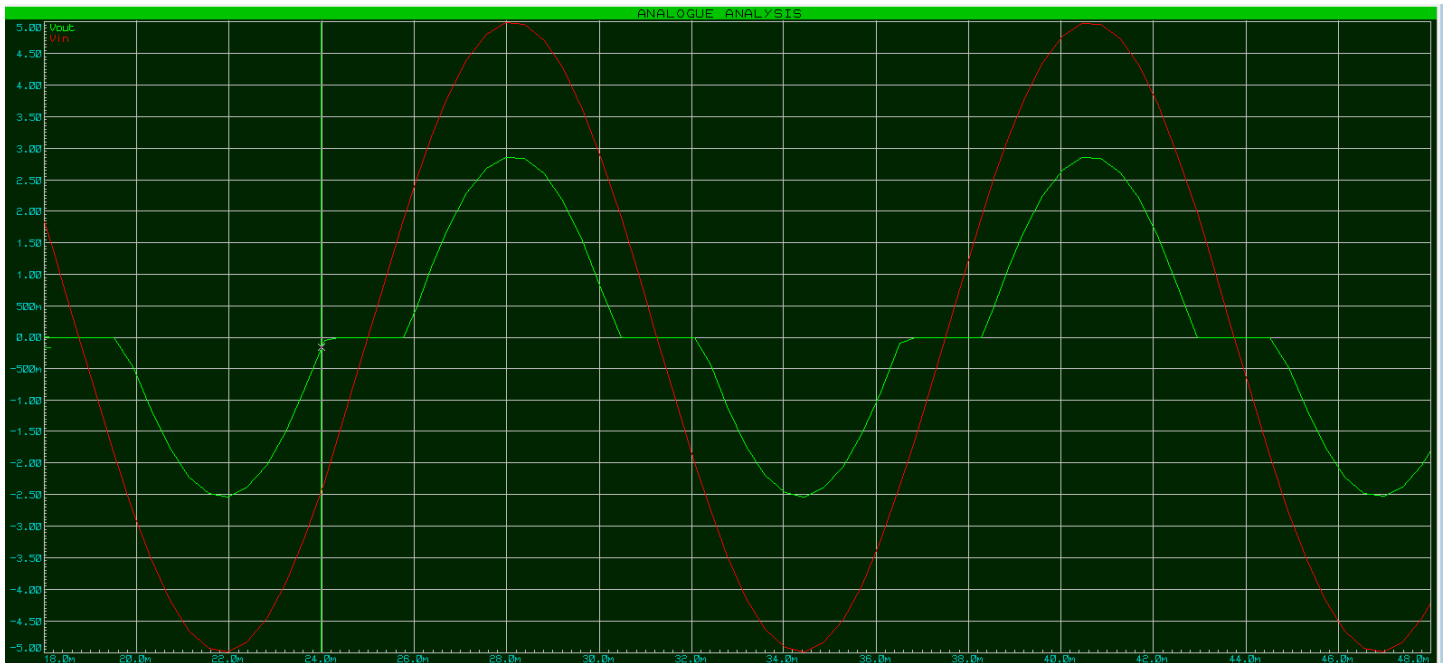
Pour V_{IN} négatif, le PMOS conduit tandis que le NMOS est bloqué : la caractéristique de transfert du Push-pull est similaire à celle de PMOS.

La caractéristique de transfert du Push-pull sur tout le domaine de variation de V_{IN} n'est donc que la superposition des deux caractéristiques ci-dessus :



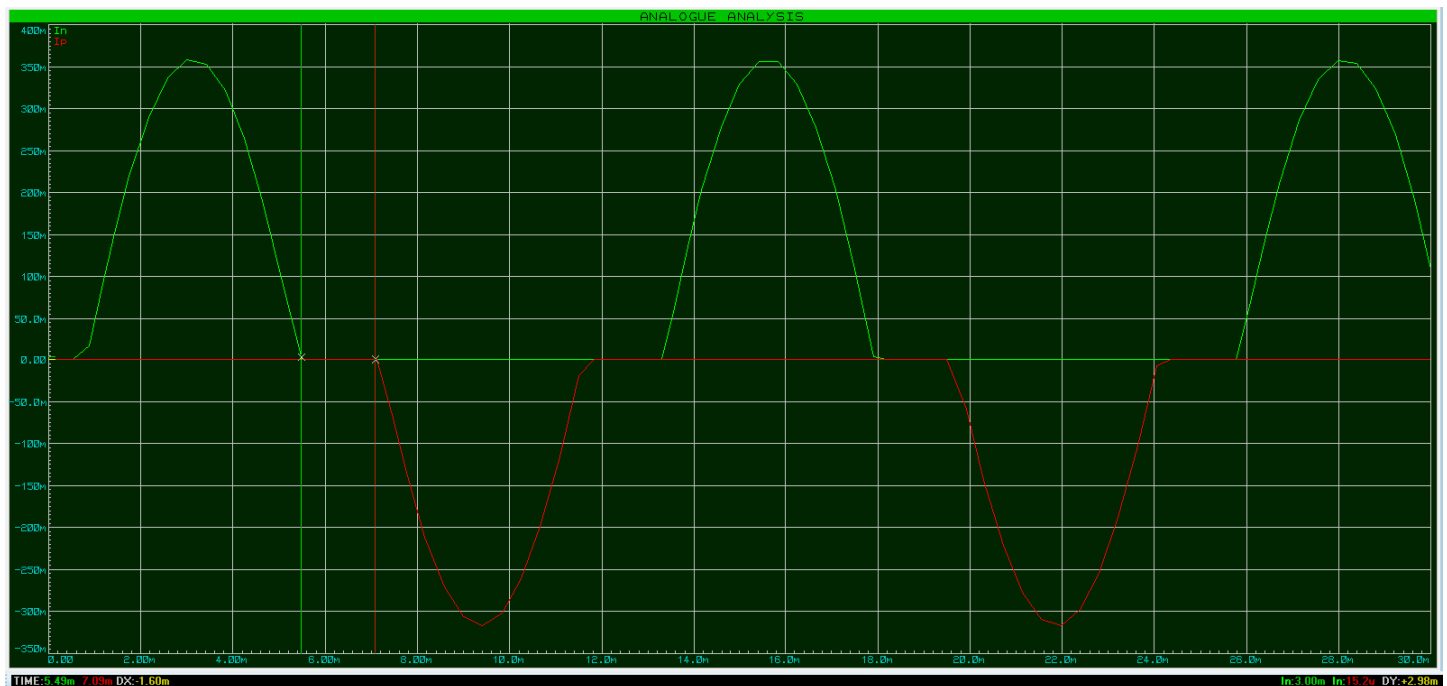
On retrouve bien la caractéristique prévue. On peut mesurer la largeur de la zone de blocage du montage Push-pull. On mesure $\Delta V_{\text{blocage}} = 4.35V$, soit environ $2 V_T = 4V$, valeur théorique attendue.

Cette fois-ci, au lieu de simuler par rapport à une entrée DC qui varie, on simule directement avec une entrée en sinus d'amplitude 5V, de fréquence 80 Hz et sans offset sur une durée totale de 30 ms. On obtient les courbes suivantes :



On constate que le signal à la sortie du Push-pull est altéré et n'est pas identique à la sinusoïde en entrée. Ceci s'explique par la présence de la zone de blocage dont on a précédemment mesuré la largeur. Sur les alternances positives, c'est le NMOS qui conduit tandis que sur les alternances négatives c'est le PMOS qui le fait. Mais entre les deux, la commutation entre NMOS qui conduit et PMOS qui conduit n'est pas instantanée. Il faut attendre que V_{IN} devienne supérieure à V_T pour que le NMOS conduise ($< V_T$ pour le PMOS). Ceci crée cette distorsion de croisement.

On a aussi accès aux valeurs de courants au niveau des 2 transistors qu'on visualise comme ci-dessous :



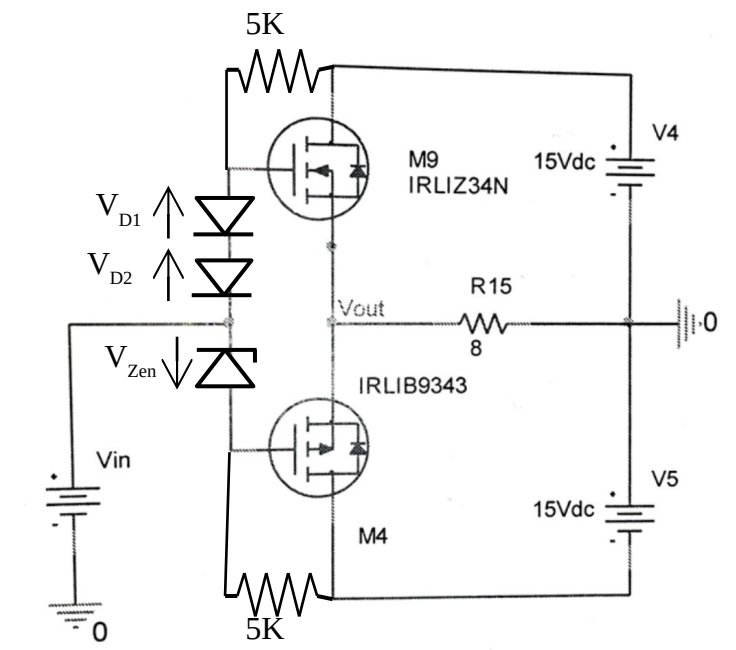
Lorsque le signal est positif, c'est le NMOS qui conduit en fournissant un courant sortant (push) vers la charge, alors que le PMOS se trouve bloqué, Inversement, lorsque le signal est négatif, le PMOS conduit en tirant un courant entrant depuis la charge (pull) alors que le NMOS reste bloqué.

Il est clair que le montage Push-pull est attrayant du fait de sa simplicité, mais la distorsion de

croisement reste néanmoins un inconvénient assez important. On se propose donc d'essayer d'optimiser le Push-pull en éliminant au plus possible cette distorsion.

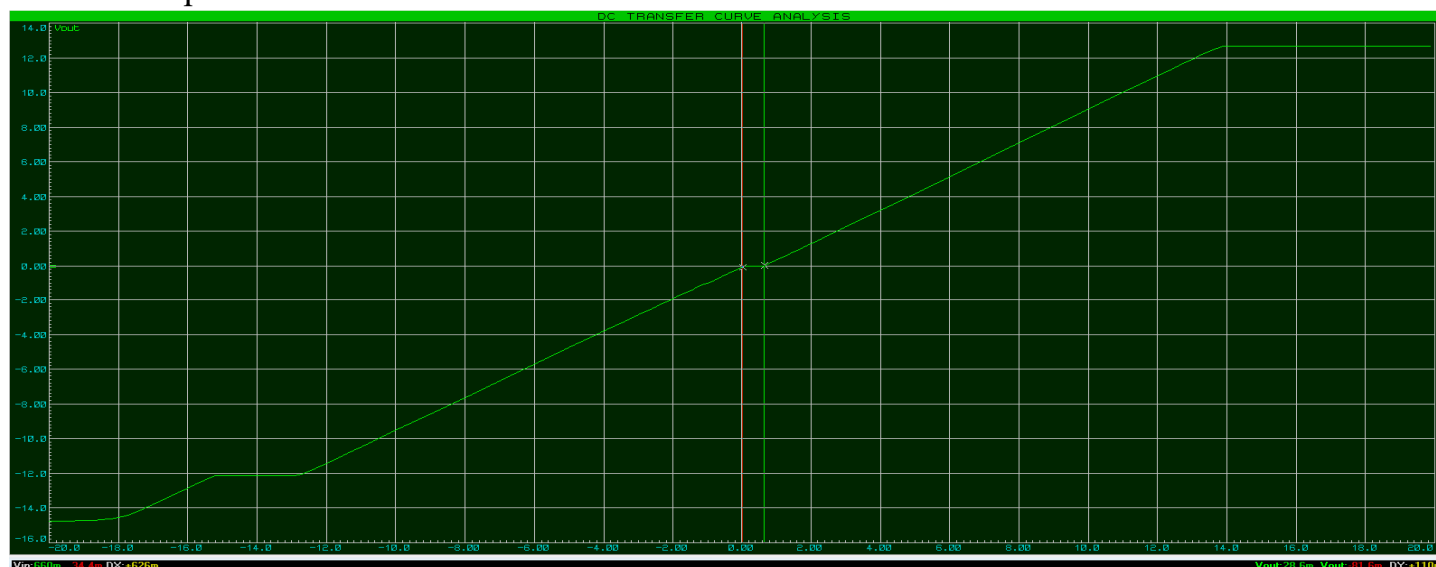
Optimisation du montage Push-pull

On polarise au repos le montage pour débloquer les MOS et on se propose d'ajouter au montage deux diodes PN ainsi qu'une diode Zener pour assurer une tension $V_{G1G2} = 2 \text{ V}$. Le schéma du nouveau montage est le suivant :

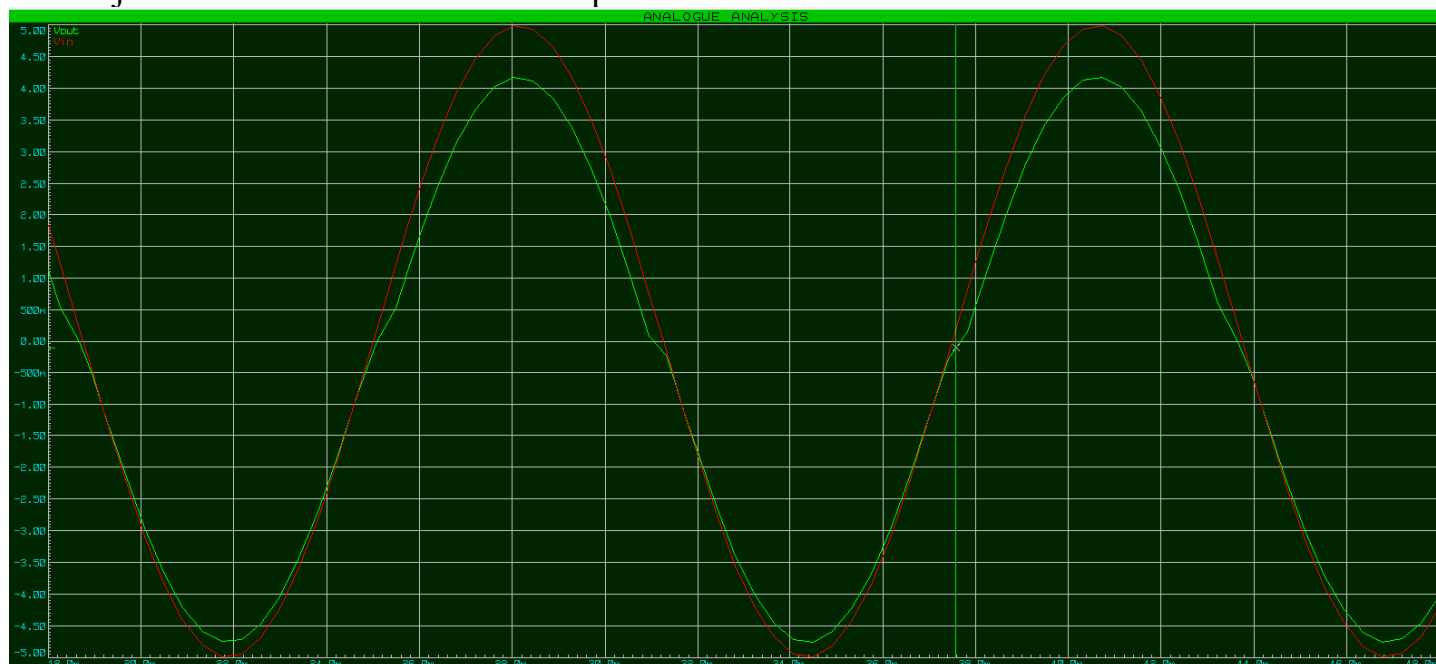


En associant deux diodes PN et une diode Zener, et en faisant passer un courant à travers eux, on crée une tension aux bornes de chacune d'elles. Pour les diodes PN, la tension seuil est de 0.6V tandis que pour la Zener, elle est de -1.2 V environ. Au total, on crée une différence de potentiel entre les deux grilles égale à : $V_{G1G2} = 2 V_{\text{seuil PN}} - V_{\text{seuil Zener}} = 2 \times 0.6 + 1.2 = 2.4 \text{ V}$. Ainsi, on fait en sorte de débloquer le Push-pull en garantissant une différence de potentiel entre les deux grilles égale (voir supérieure) à celle de la largeur de sa zone de blocage. Remarque : les résistances ajoutées sont là pour limiter les courant de grille et faire en sorte de ne jamais dépasser 3mA .

En re-simulant avec cette fois-ci les diodes présentes sur le montage, on obtient la caractéristique suivante :



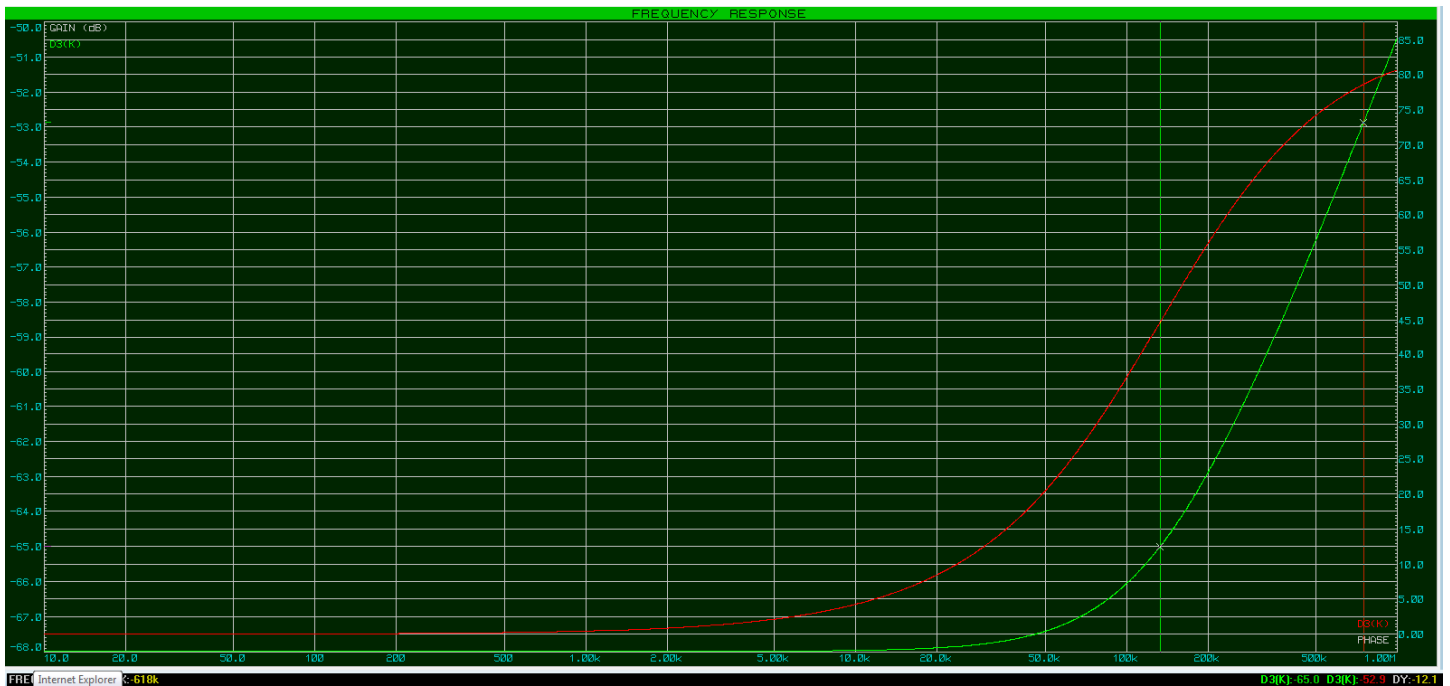
On constate que la largeur de la zone de blocage a nettement diminuée, passant de 4.35 V à 0.6V. Avec cette optimisation, il serait intéressant de voir quelle allure aura le signal de sortie si on réinjecte un sinus en entrée comme précédemment. Le résultat de la simulation est le suivant



Le signal de sortie est clairement plus similaire à celui d'entrée et on constate que la distorsion de croisement a quasiment disparu (légère altération du signal au moment du changement de signe).

Durant toute la suite du projet, on adoptera ce montage pour le Push-pull.

Maintenant que le montage du Push-Pull est terminé, il serait intéressant d'étudier son impédance d'entrée. Pour cela, on effectue une étude fréquentielle à l'aide d'un générateur de sinus en entrée d'amplitude 2V. On trace dans le plan de Bode le rapport $\frac{V_e}{I_e}$ égal à l'impédance d'entrée Z_{in} . Le résultat de la simulation est le diagramme de Bode ci-dessous :



On peut déduire à partir de cette réponse fréquentielle, un modèle équivalent au premier ordre, avec comme gain statique G_0 en dB de -68, ce qui veut dire que $G_0 = 10^{\frac{-68}{20}} = 4.10^{-3}$

On détermine la fréquence de coupure en recherchant la fréquence pour laquelle le gain en dB est égal à -65 dB = -68 + 3 dB. On mesure $f_c = 133\text{kHz}$. Donc la constante de temps

$$\tau = \frac{1}{f_c} = 7.5 \cdot 10^{-6} \text{ s} . \text{ De plus la phase tenant vers } 0^\circ \text{ à basses fréquences et à } 90^\circ \text{ à hautes}$$

fréquences implique forcément que le modèle équivalent de Z_{in} au premier ordre est de la forme

$$Z_{in} = G_0 (1 + \tau p) = 4.10^{-3} (1 + 7.5 \cdot 10^{-6} p)$$

Réalisation du montage globale

On câble à présent la sortie de l'AOP avec l'entrée du Push-pull et la sortie du Push-pull avec l'entrée inverseuse de l'AOP. Sur l'entrée non inverseuse, on injecte le signal d'entrée qui passe par un filtre passe-haut CR. On rappelle l'expression du gain global déterminé à l'introduction :

$$G_{dB} = 20 \log \left(\left| \frac{V_s}{V_e} \right| \right) = \underbrace{20 \log \left(1 + \frac{R_2}{R_1} \right)}_{\text{Gain statique en dB}} + \underbrace{20 \log (C_3 w)}_{\text{Terme responsable du comportement passe-haut}} - \underbrace{10 \log (1 + (R_3 C_3 w)^2)}_{\text{Terme responsable du comportement passe-bas}}$$

Donc pour dimensionner les valeurs des résistances et du condensateur, on utilise les exigences du cahier des charges :

- On souhaite un gain de 85, donc $1 + \frac{R_2}{R_1} = 85$ d'où $R_2 = 84 * R_1$. Si on pose $R_1 = 10k\Omega$, alors $R_2 = 840k\Omega$, mais qui si une fois normalisées donnent $R_1 = 10k\Omega$ et $R_2 = 820k\Omega$
- On souhaite une bande de fréquence allant de 30Hz à 15kHz, donc cela revient à déterminer les expressions des fréquences de coupures du montage globale. Il faut résoudre donc : $20 \log(C_3 w) - 10 \log(1 + (R_3 C_3 w)^2) = 0$ c.a.d $(R_3 C_3)^2 w^2 - C_3 w + 1 = 0$
On montre que les solutions de ce polynôme s'écrivent :

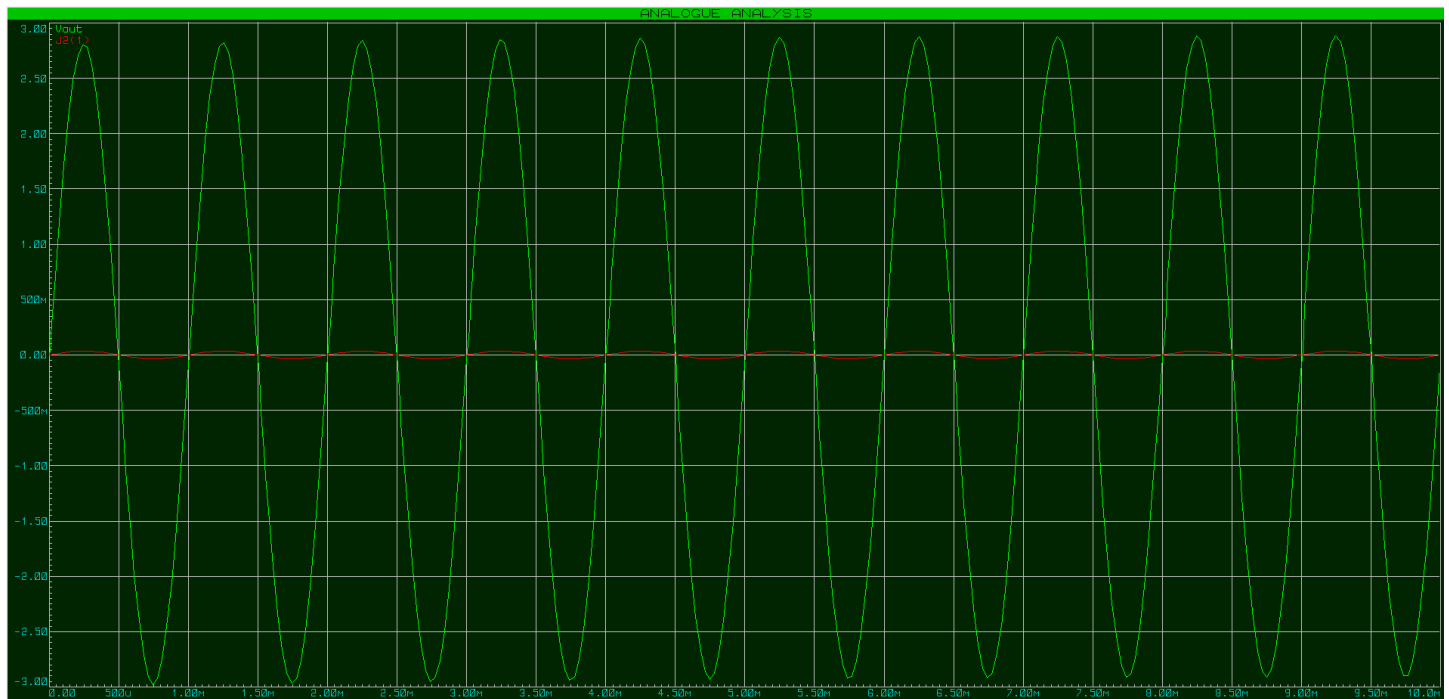
$$w_1 = \frac{(1 - \sqrt{(1 - 4 R_3^2 C_3)})}{(2 R_3^2 C_3)} \quad \text{avec } w_1 = 2\pi f_{\min} \quad w_2 = \frac{(1 + \sqrt{(1 - 4 R_3^2 C_3)})}{(2 R_3^2 C_3)} \quad \text{avec } w_2 = 2\pi f_{\max}$$

On trouve pour valeur de R_3 une fois normalisée : $47k\Omega$ et $C_3 = 100nF$.

A présent, toutes les valeurs des composants ayant été déterminées, on peut procéder à la simulation de l'ensemble bouclé.

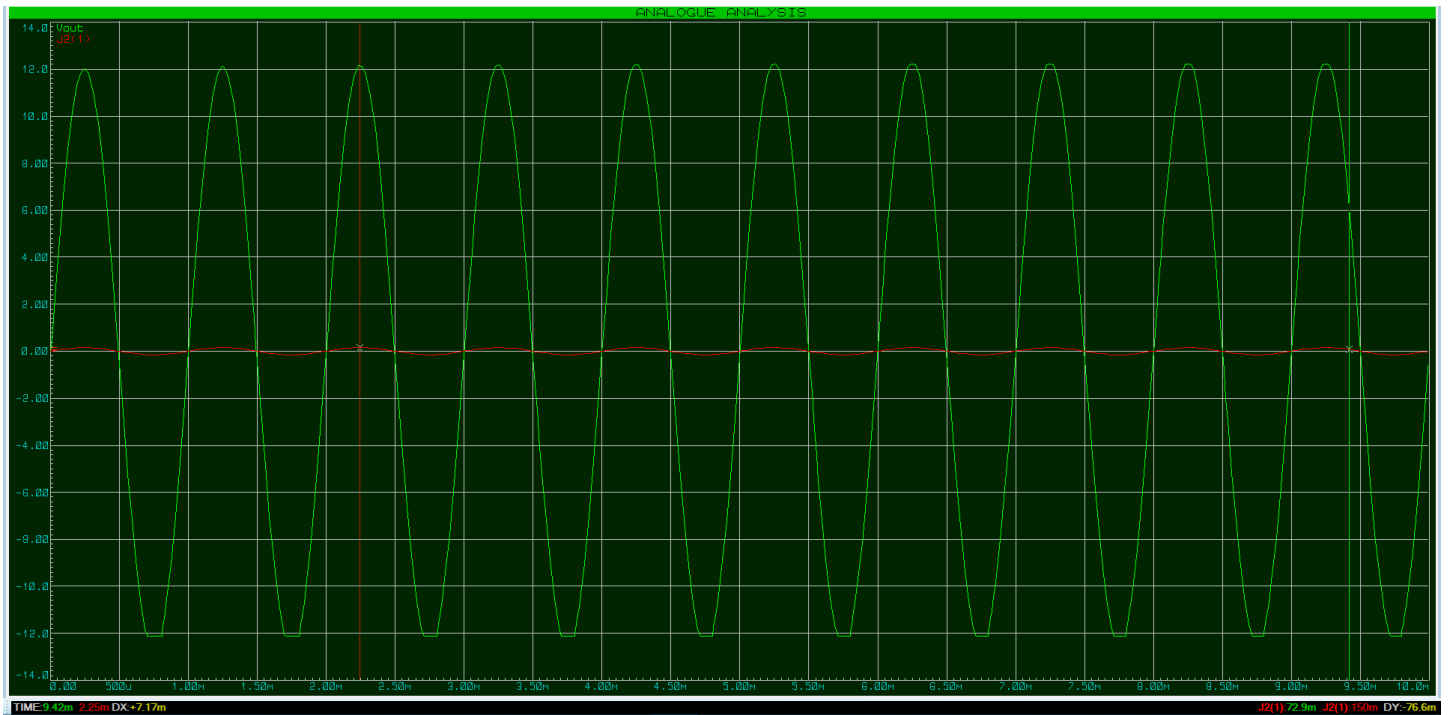
On simule en premier lieu la sortie du circuit avec comme entrée une sinusoïde de fréquence égale à 1kHz, de sorte à avoir en sortie $6 V_{\text{càc}}$. Donc, il nous faut injecter une sinusoïde d'amplitude $V_{\text{in max}} = \frac{3V}{85} = 35mV$.

Le résultat de la simulation est le suivant :

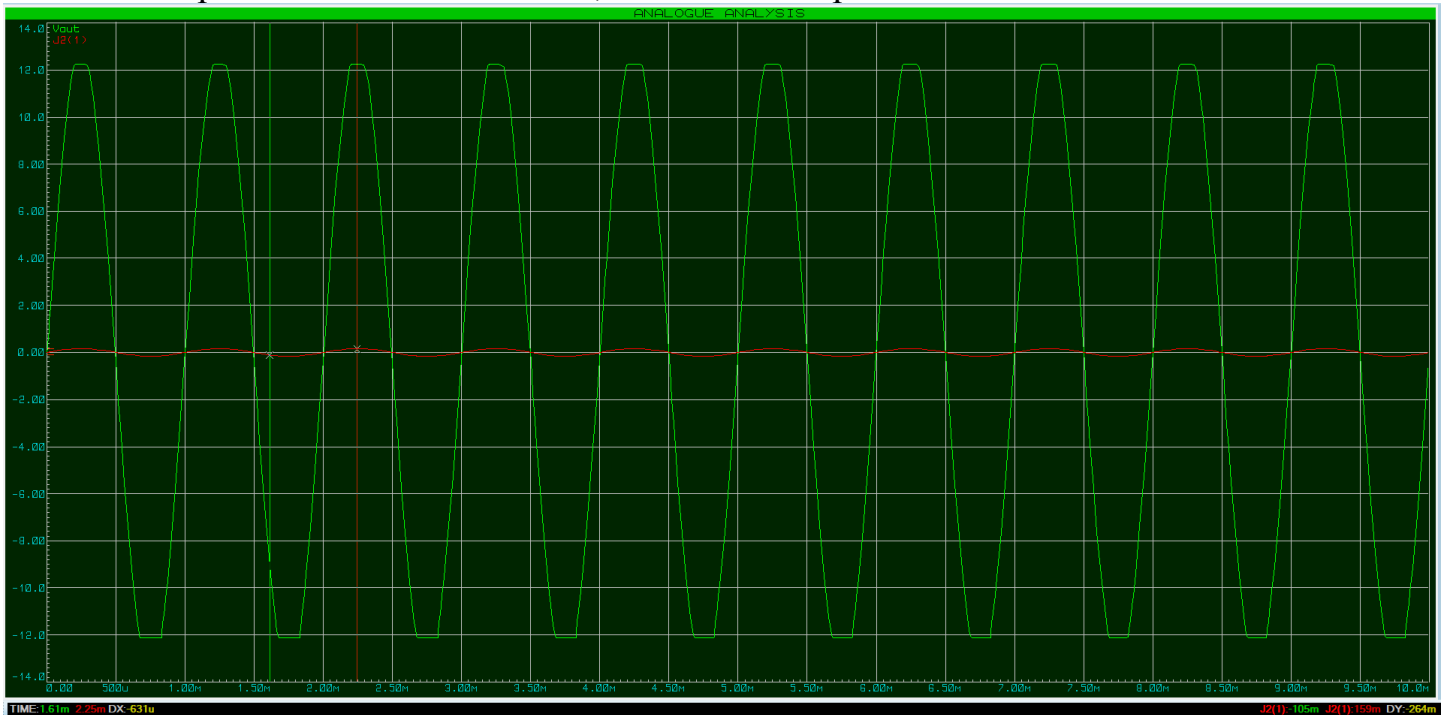


On remarque l'absence complète de distorsion de croisement, et on obtient bien les 6V crête à crête ce qui confirme bien un rapport d'amplification de 85 comme souhaité.

On cherche maintenant à mesurer la tension écrêtage ainsi que la tension de déchet, pour cela on augmente l'amplitude d'entrée jusqu'à l'écrêtage du signal de sortie. Le résultat de la simulation est ci-dessous :



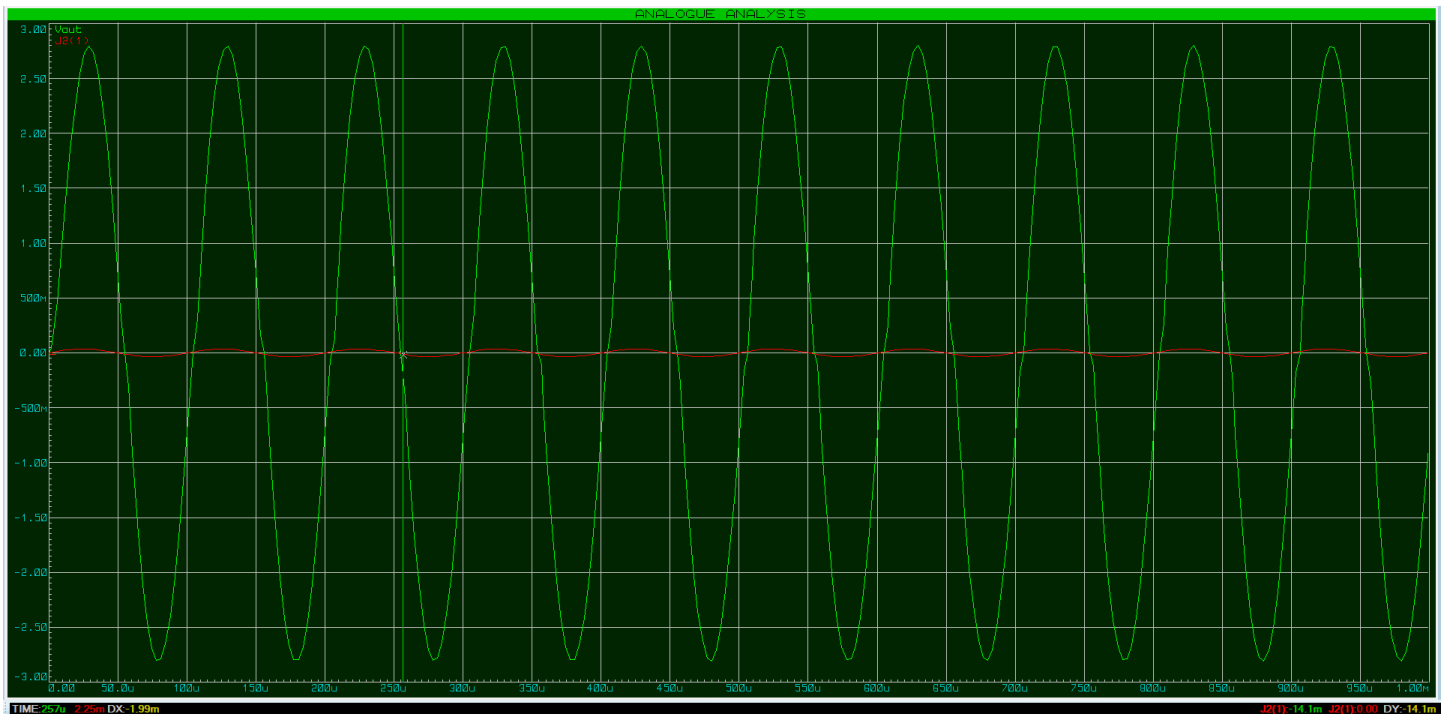
Avec une amplitude d'entrée de 150mV, tout fonctionne parfaitement.



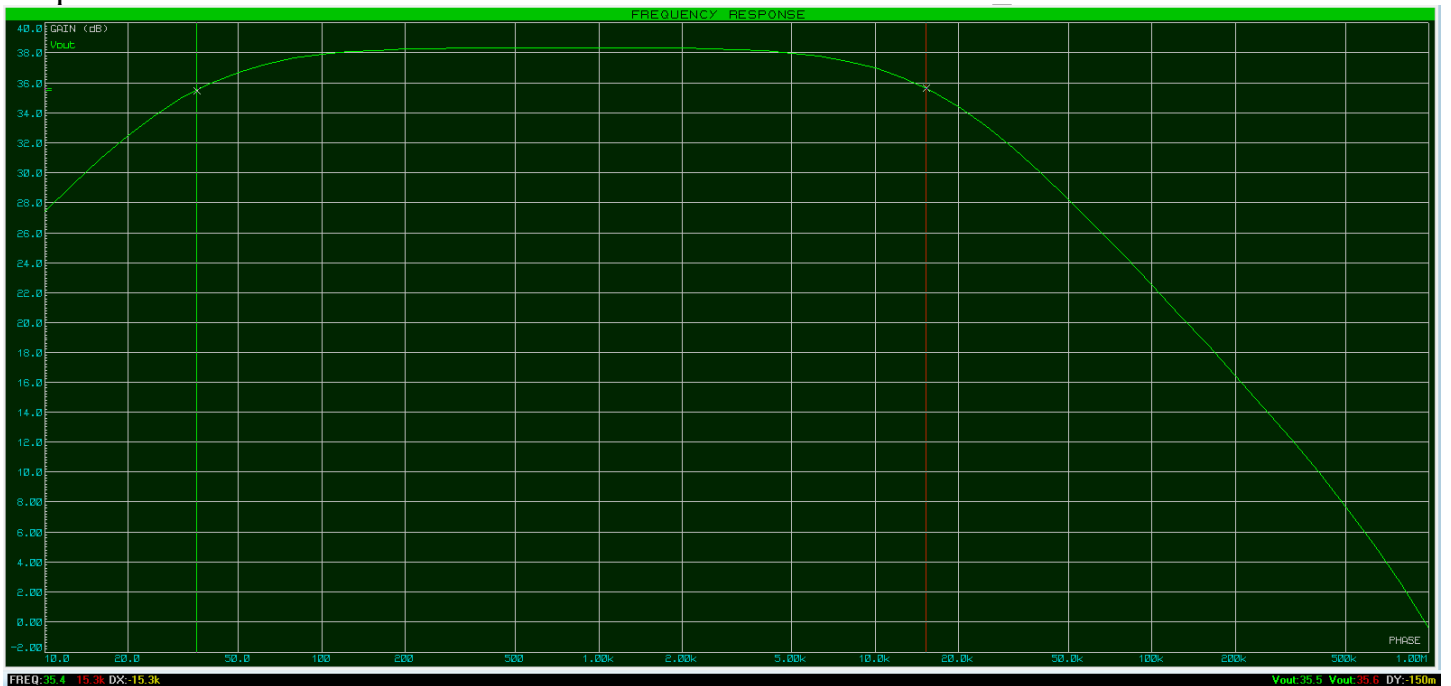
Dès lors qu'on passe à 160mV en entrée, on observe l'écrêtage de la sortie du circuit. On mesure un $V_{s\max} = 12.3\text{ V}$. Donc la tension de déchet $V_{\text{déchet}} = 15\text{ V} - 12.3\text{ V} = 2.7\text{ V}$. Environ égal aux 3V admis en début de projet. On peut aussi calculer la puissance max de sortie de la même manière qu'à l'introduction :

$$P_{\max} = \frac{(\hat{V}_s)^2}{R_L} = \left(\frac{V_{s\max}}{\sqrt{2}}\right)^2 \frac{1}{R_L} = \left(\frac{12.3}{\sqrt{2}}\right)^2 \frac{1}{8\Omega} = 9.46\text{ Watts}$$

On se propose de refaire la même simulation mais cette fois avec une sinusoïde en entrée de fréquence égale à 10kHz. Le résultat de la simulation est comme ci-dessous :



On observe que qu'on augmente la fréquence du signal d'entrée, une légère déformation apparaît mais qu'on peut négliger compte tenu de son ordre de grandeur. Finalement, on pourra valider les calculs faits sur le gain du montage complet par une étude fréquentielle sur le circuit entier. Le résultat de la simulation est ci dessous :



Première chose qu'on constate, le circuit agit bien comme un passe bande dont on peut mesurer les fréquences de coupures en regardant le gain à -3dB. On trouve $f_{\min}=35.4$ Hz et $f_{\max}=15.3$ kHz. On peut donc valider l'exigence au niveau du cahier des charges sur la bande passante.

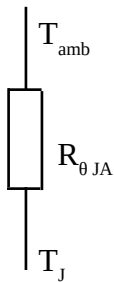
Ensuite, on remarque que $20\log(G_0) = 38.3$ dB. Donc $G_0 = 10^{\frac{38.3}{20}} = 82.2$. On retrouve donc bien l'amplification souhaitée.

Remarque : compte-tenu des ordres de grandeurs de tensions et donc de puissance dans le circuit, on s'interroge sur la température au sein d'un transistor. Pour cela, on peut calculer la puissance dissipée par un transistor. On a que $P_{d\max} = 0.2 P_{u\max} = 0.2 * 9.46$ Watts = 1.892 Watts. Or en cherchant sur la datasheet de l'IRLIB4343, on apprend qu'il peut supporter une température interne max de 175°C, et on apprend aussi les valeurs des résistances thermiques

propres au transistor. On propose les schémas équivalents suivants :

Avec R_{0JA} la résistance thermique entre le boîtier et l'air ambiant, R_{DA} résistance thermique du dissipateur, R_{CD} et résistance thermique entre le boîtier et le dissipateur. ($R_{DA} = 7^\circ\text{K/W}$, $R_{CD} = 1^\circ\text{K/W}$ et $R_{0JA} = 65^\circ\text{C/W}$).

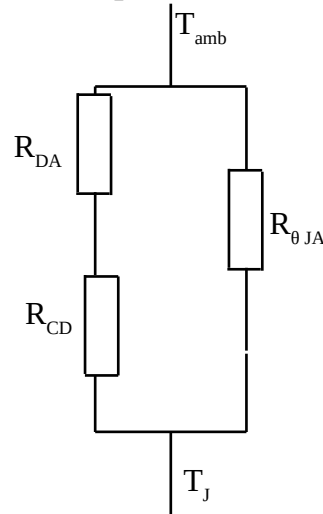
Sans dissipateur thermique



$$(T_j - T_{amb}) = P \cdot R_{0JA} = 1.892 \cdot 65$$

$$\text{Donc } T_j = 153^\circ\text{C}$$

Avec dissipateur thermique

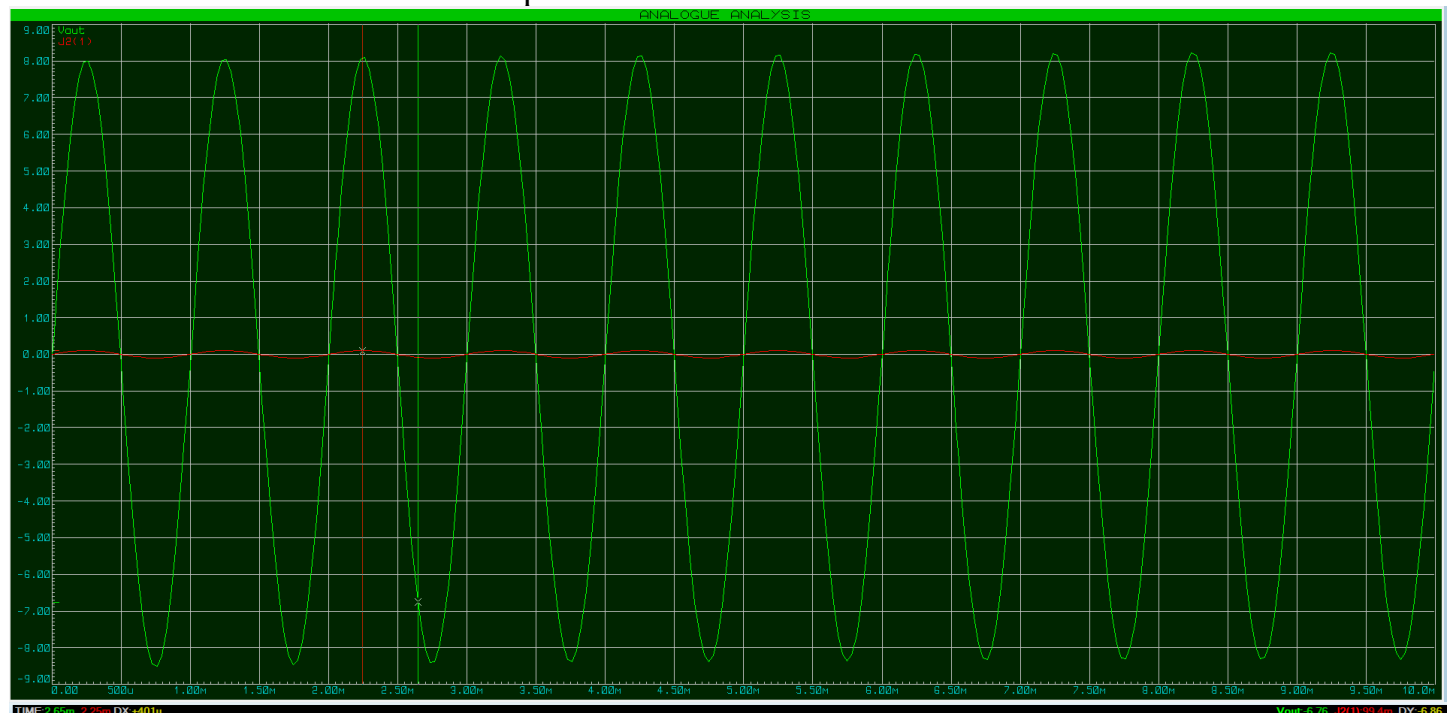


$$(T_j - T_{amb}) = P \cdot R_{eq} = P \cdot \frac{(R_{DA} + R_{CD}) \cdot R_{\theta JA}}{R_{DA} + R_{CD} + R_{\theta JA}}$$

$$\text{Donc } T_j = 43.47^\circ\text{C}$$

On constate donc que sans dissipateur thermique, la température intérieure du transistor se rapproche dangereusement de la température de fonctionnement maximale fournie par le constructeur. Cette dernière n'étant pas fiable à 100 %, on préférera l'ajout d'un dissipateur thermique.

La partie théorique touchant à sa fin, on préparera notre circuit pour la phase de conception. On rajoute des condensateurs de découplage au niveau de l'alimentation, une prise BNC ronde pour le connecteur d'entrée, un connecteurs 3 bornes pour les alimentations et des points test pour la masse et les sorties de chaque composants. On relance une dernière fois la simulation avec une sinusoïde en entrée d'amplitude 100mV et voici le résultat :



On retrouve bien le rapport d'amplification d'environ 85, vu que pour 100mV d'entrée, on obtient 8.1 V de sortie.

Processus de fabrication de la carte électronique

La réalisation de notre circuit se fait en plusieurs étapes :

- D'abord on effectue le routage sur Proteus de notre circuit
- On imprime séparément sur du papier calque les TOP Copper et BOTTOM Copper du layout en faisant attention à imprimer le TOP en miroir.
- On génère des fichiers de fabrication qui vont permettre à la tour 3 axes de percer la plaque de PCB qui accueillera le circuit imprimé aux endroits où s'emboîteront les différents composants du circuit.
- Une fois le perçage fait, on fait en sorte de bien fixer les deux calques de telle sorte que la plaque de PCB soit enfermée par les calques, et on met le tout dans une insoleuse UV. Les rayons UV attaquent la résine couvrant le cuivre sauf aux endroits où il y a l'encre de l'impression réfléchit les UV.
- Une fois le processus terminé, on trempe notre plaque de PCB dans une solution de soude, où cette dernière va attaquer tout le cuivre non couvert par de la résine.
- On fait attention à ne pas oublier de frotter légèrement avec les doigts la plaques pour bien dégager le cuivre restant. Au final on sort la carte et on la lave à l'eau.
- Ensuite on fait passer la plaque dans une machine à rouleaux qui frotte bien la carte pour faire disparaître toute trace de cuivre.
- Et au final, on fait passer la carte dans un four pour qu'on recouvre les pistes d'étain pour les protéger de l'oxydation au cours du temps.

Remarques :

La vitesse de rotation des rouleaux pour frotter la carte dépend d'à quel point la soude a fait son effet. Pour notre part on n'a pas eu besoin de ralentir ni d'accélérer les rouleaux. On s'est mis à vitesse moyenne et un tour a suffit.

Couvrir les pistes d'étain était assez délicat vu que l'étain était en fusion à l'intérieur du four et donc il y avait le risque d'éclaboussures d'étain en fusion.

On n'a rencontré aucun problème de pistes ou de mauvais alignement des trous percés.

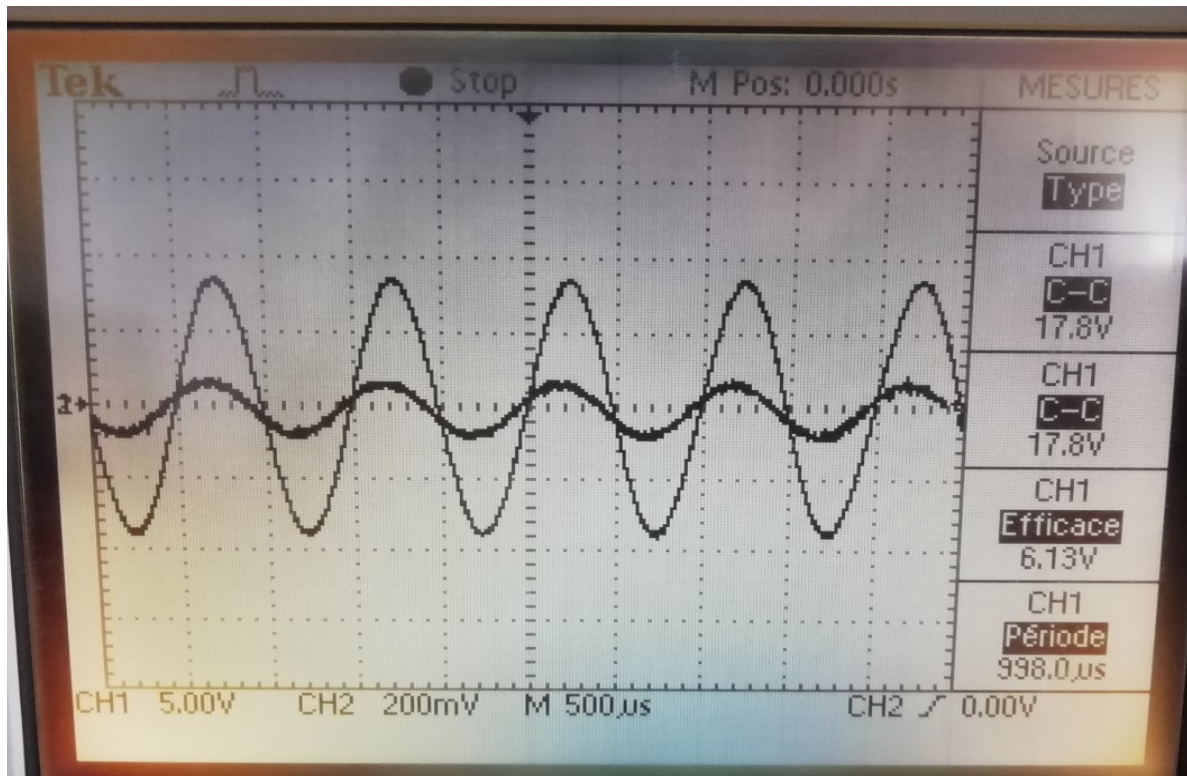
Les premières soudures de composants étaient un peu bâclées, mais une deuxième tentative avec les soudures en cône a permis de faire en sorte qu'il y avait bien contact entre les pistes et les composants.

Le seul bémol au niveau de la carte électronique est l'AOP, puisque la soudure des composants a été faite avant la séance qui lui était dédiée, l'AOP a été soudé directement sur la plaque sans l'intermédiaire de support, mais ça n'a pas posé de problème lors des tests.

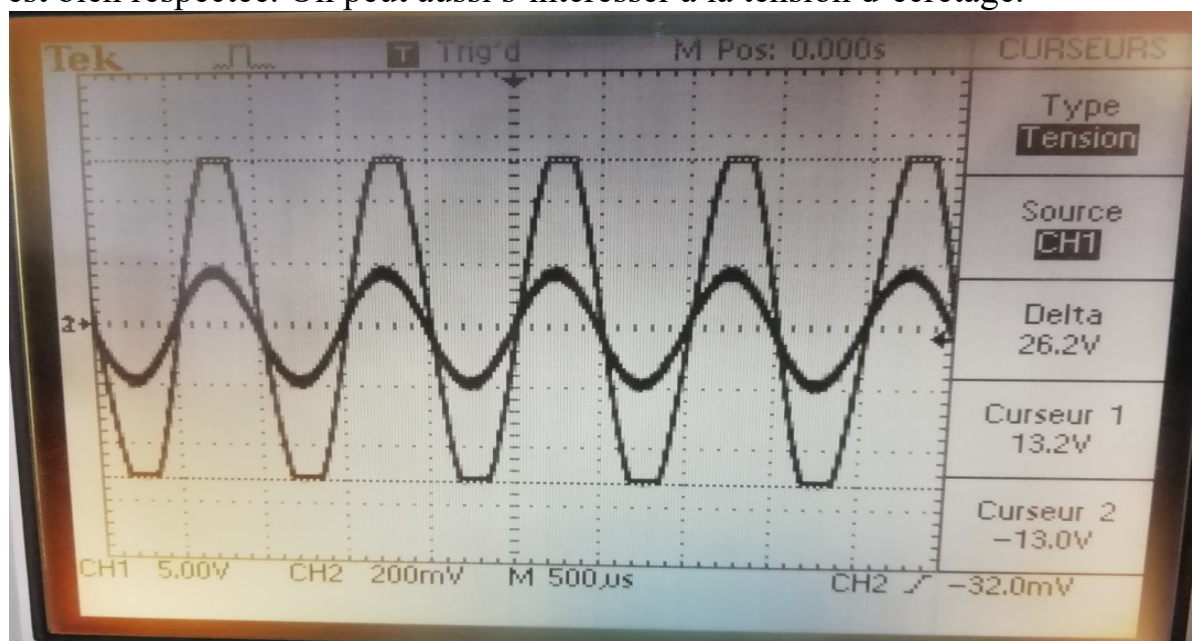
Performances expérimentales :

L'étude de l'amplificateur audiofréquence nous a permis de déterminer certaines valeurs de grandeurs caractérisant le circuit entier.

Pour une entrée sinusoïdale d'amplitude 100mV et de fréquence 1kHz, la sortie avait pour amplitude 8V, et ne présentait aucune distorsion. On s'attend donc à retrouver quelque chose de similaire en injectant le même à l'entrée de la carte.



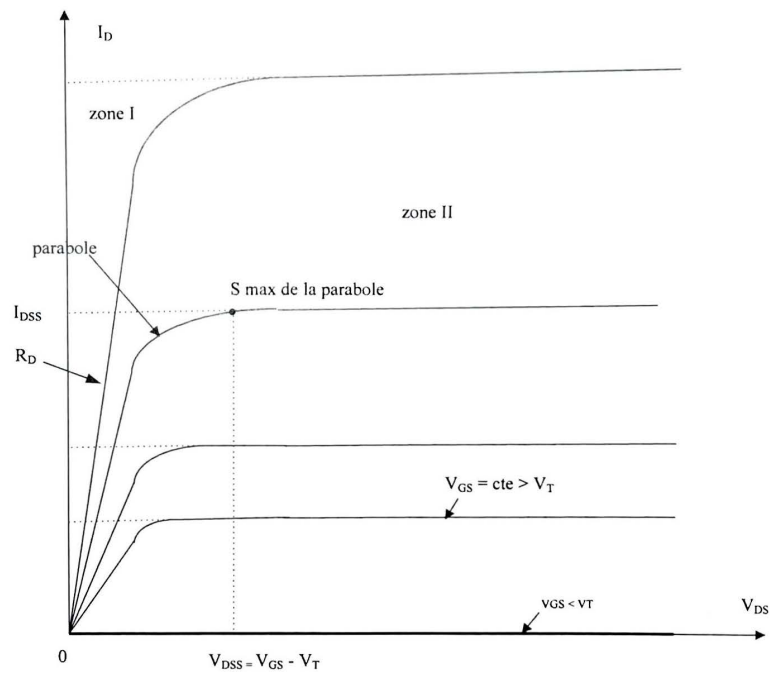
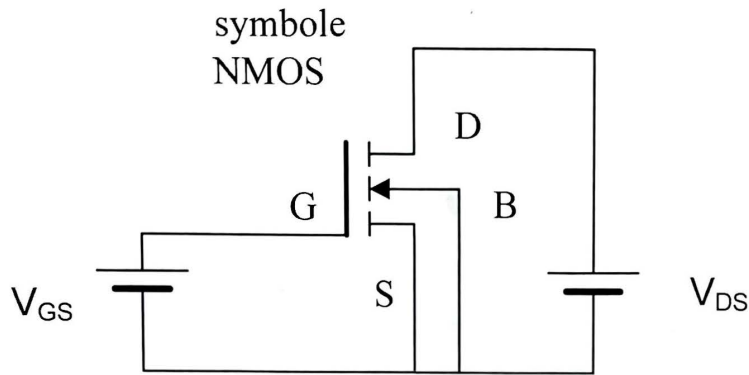
Le signal de sortie ne présente aucune distorsion et a pour amplitude crête-crête 17.8V. On retrouve donc un gain de $G_0 = \frac{V_{scc}}{V_{e,cc}} = \frac{17.8V}{0.2V} = 89$. On cherche les fréquences de coupures en déterminant les fréquences à -3dB. C'est à dire les fréquences pour lesquels : $V_s = \frac{V_{max}}{\sqrt{2}} = 6.3V$. On mesure $f_{min} = 32\text{ Hz}$ et $f_{max} = 20\text{kHz}$. La bande passante souhaitée au niveau du cahier des charges est bien respectée. On peut aussi s'intéresser à la tension d'écèlement.



On constate un début d'écèlement à partir d'une amplitude d'entrée de l'ordre de 180mV, et donc une tension de déchet $V_{déchet} = 15V - 13.2V = 1.8V$.

Annexes

On rappelle les caractéristiques d'un MOS canal N :



Les équations sont :

Dans la zone I (résistive) telle que $V_{DS} < (V_{GS} - V_T) = V_{DSS}$

$$I_D = \beta (V_{GS} - V_T - V_{DS}/2) V_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

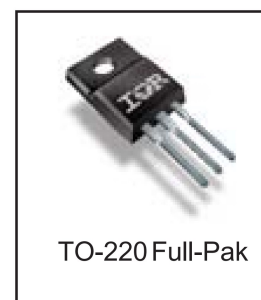
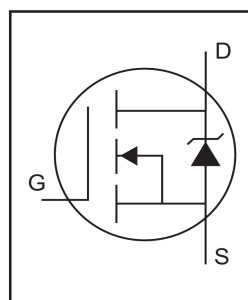
Dans la zone II (à courant saturé) telle que $V_{DS} > V_{DSS} = V_{GS} - V_T$

Features

- Advanced Process Technology
- Key Parameters Optimized for Class-D Audio Amplifier Applications
- Low $R_{DS(ON)}$ for Improved Efficiency
- Low Q_g and Q_{sw} for Better THD and Improved Efficiency
- Low Q_{rr} for Better THD and Lower EMI
- 175°C Operating Junction Temperature for Ruggedness
- Repetitive Avalanche Capability for Robustness and Reliability

Key Parameters

V_{DS}	55	V
$R_{DS(ON)}$ typ. @ $V_{GS} = 10V$	42	mΩ
$R_{DS(ON)}$ typ. @ $V_{GS} = 4.5V$	57	mΩ
Q_g typ.	28	nC
T_J max	175	°C



Description

This Digital Audio HEXFET[®] is specifically designed for Class-D audio amplifier applications. This MosFET utilizes the latest processing techniques to achieve low on-resistance per silicon area. Furthermore, Gate charge, body-diode reverse recovery and internal Gate resistance are optimized to improve key Class-D audio amplifier performance factors such as efficiency, THD and EMI. Additional features of this MosFET are 175°C operating junction temperature and repetitive avalanche capability. These features combine to make this MosFET a highly efficient, robust and reliable device for Class-D audio amplifier applications.

Absolute Maximum Ratings

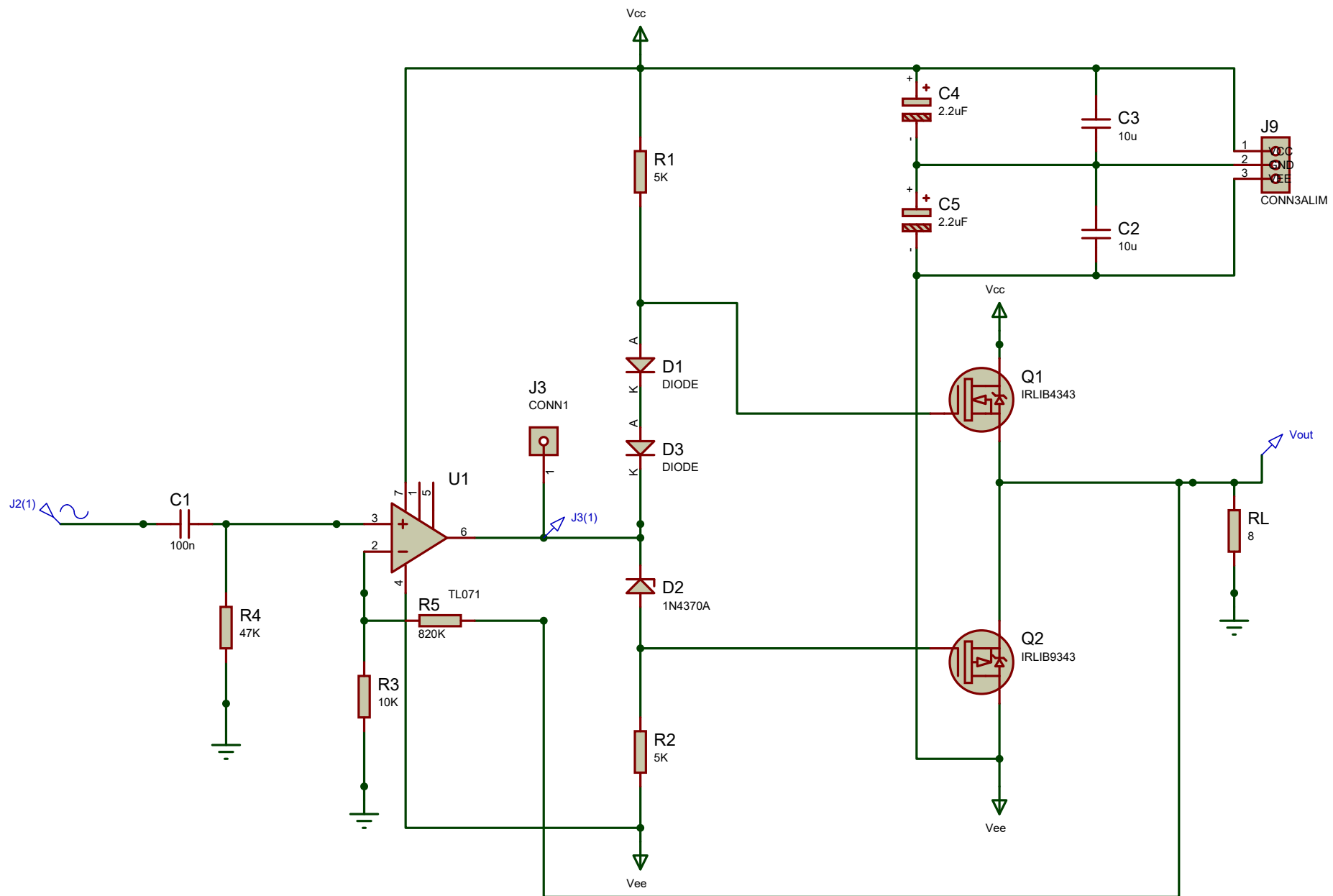
	Parameter	Max.	Units
V_{DS}	Drain-to-Source Voltage	55	V
V_{GS}	Gate-to-Source Voltage	±20	
I_D @ $T_C = 25^\circ C$	Continuous Drain Current, V_{GS} @ 10V	19	A
I_D @ $T_C = 100^\circ C$	Continuous Drain Current, V_{GS} @ 10V	13	
I_{DM}	Pulsed Drain Current ①	80	
P_D @ $T_C = 25^\circ C$	Power Dissipation	39	W
P_D @ $T_C = 100^\circ C$	Power Dissipation	20	
	Linear Derating Factor	0.26	W/°C
T_J T_{STG}	Operating Junction and Storage Temperature Range	-40 to + 175	°C
	Mounting torque, 6-32 or M3 screw	10lb·in (1.1N·m)	

Thermal Resistance

	Parameter	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case ④	—	3.84	°C/W
$R_{\theta JA}$	Junction-to-Ambient ④	—	65	

Notes ① through ⑤ are on page 7

www.irf.com



Bill Of Materials for project_analogique3

Design Title project_analogique3

Author

Document Number

Revision

Design Created mardi 19 février 2019

Design Last Modified mardi 19 février 2019

Total Parts In Design 26

0 Modules

<u>Quantity</u>	<u>References</u>	<u>Value</u>	<u>Stock Code</u>	<u>Unit Cost</u>
Sub-totals:				€0,00

5 Capacitors

<u>Quantity</u>	<u>References</u>	<u>Value</u>	<u>Stock Code</u>	<u>Unit Cost</u>
1	C1	100n		
2	C2-C3	10u		
2	C4-C5	2.2uF		
Sub-totals:				€0,00

5 Resistors

<u>Quantity</u>	<u>References</u>	<u>Value</u>	<u>Stock Code</u>	<u>Unit Cost</u>
2	R1-R2	5K		
1	R3	10K		
1	R4	47K		
1	R5	820K		
Sub-totals:				€0,00

1 Integrated Circuits

<u>Quantity</u>	<u>References</u>	<u>Value</u>	<u>Stock Code</u>	<u>Unit Cost</u>
1	U1	TL071		
Sub-totals:				€0,00

2 Transistors

<u>Quantity</u>	<u>References</u>	<u>Value</u>	<u>Stock Code</u>	<u>Unit Cost</u>
1	Q1	IRLIB4343		
1	Q2	IRLIB9343		
Sub-totals:				€0,00

3 Diodes

<u>Quantity</u>	<u>References</u>	<u>Value</u>	<u>Stock Code</u>	<u>Unit Cost</u>
2	D1,D3	DIODE		
1	D2	1N4370A		
Sub-totals:				€0,00

10 Miscellaneous

<u>Quantity</u>	<u>References</u>	<u>Value</u>	<u>Stock Code</u>	<u>Unit Cost</u>
1	J1	BNC		
7	J2-J8	CONN1		
1	J9	CONN3ALIM		
1	RL	8		
Sub-totals:				€0,00

Totals:				€0,00
---------	--	--	--	-------

vendredi 8 mars 2019 14:31:59

