

Intreruperi

Vector de intrerupere	Tip intrerupere	Sursă	Nume vector
2	Întrerupere externă	INT0	INT0_vect
3	Întrerupere externă	INT1	INT1_vect
4	Întrerupere externă la nivel de port, D8-D13	PCINT0	PCINT0_vect
5	Întrerupere externă la nivel de port, A0-A5	PCINT1	PCINT1_vect
6	Întrerupere externă la nivel de port, D0-D7	PCINT2	PCINT2_vect
10	Timer/Counter2 overflow	TIMER2_OVF	TIMER2_OVF_vect
14	Timer/Counter1 overflow	TIMER1_OVF	TIMER1_OVF_vect
17	Timer/Counter0 overflow	TIMER0_OVF	TIMER0_OVF_vect
18	Transfer complet pe SPI	SPI STC	SPI_STC_vect
19	USART Rx receptie completă	USART_RX	USART_RX_vect
21	USART Tx transfer complet	USART_TX	USART_TX_vect
22	Conversie ADC completă	ADC	ADC_vect
25	Transfer complet pe I2C	TWI	TWI_vect



Fig. 3.1 Registrul EICRA.

- Biții 3:2 – ISC1n: Acești biți permit controlul sensului intreruperii 1 [n=1:0]. O intrerupere externă pe pinul INT1 este funcțională dacă bitul 7 din registrul SREG este activat și masca corespunzătoare intreruperii este activată. Modurile prin care se poate genera o cerere de intrerupere pentru această sursă externă sunt date în funcție de valorile biților 3:2 astfel:
 - 00: valoarea de Low a pinului INT1;
 - 01: orice schimbare a valorii logice la pinul INT1;
 - 10: schimbarea din High în Low a valorii pinului INT1;
 - 11: schimbarea din Low în High a valorii pinului INT1.
- Biții 1:0 – ISC0n: Acești biți permit controlul sensului intreruperii 0 [n=1:0]. O intrerupere externă pe pinul INT0 este funcțională dacă bitul 7 din registrul SREG este activat și masca corespunzătoare intreruperii este activată. Modurile prin care se poate genera o cerere de intrerupere pentru această sursă externă sunt date în funcție

de valorile bitilor 3:2 astfel:

- 00: valoarea de Low a pinului INT0;
- 01: orice schimbare a valorii logice la pinul INT0;
- 10: schimbarea din High în Low a valorii pinului INT0;
- 11: schimbarea din Low în High a valorii pinului INT0.

În tabelul 3.2 sunt prezentării bitii registrului EIMSK (*External Interrupt Mask Register*).

Acst regiszru este utilizat pentru a activa sau dezactiva masca unuia dintre pinii INT0 și INT1, pentru generarea de intreruperi. Bitii acestui regiszru sunt următorii:

Bit	7	6	5	4	3	2	1	0
Access							INT1	INT0

R/W R/W

Fig. 3.2 Registrul EIMSK.

- Bitul 1 - INT1: Activare intrerupere externă 1. În momentul în care bitul INT1 este setat și bitul 7 din regiszru de stare SREG este setat, intreruperea pe pin este activată. Generarea intreruperii are în vedere setările efectuate în regiszru EICRA (tabelul 3.1);
- Bitul 0 - INT0: Activare intrerupere externă 0. În momentul în care bitul INT0 este setat și bitul 7 din regiszru de stare SREG este setat, intreruperea pe pin este activată. Generarea intreruperii are în vedere setările efectuate în regiszru EICRA (tabelul 3.1);

Regiszru EIFR (*External Interrupt Flag Register*) este responsabil pentru înregistrarea apariției unei intreruperi. La apariția unei intreruperi externe biții din acest regiszru vor fi setati automat de catre microconctrler. Următorii doi biți fac parte din acest regiszru (figura 3.3):

Bit	7	6	5	4	3	2	1	0
Access							INTF1	INTFO

R/W R/W

Fig. 3.3 Registrul EIFR.

- Bitul 1 - INTF1: Când o cerere de intrerupere este generată pe pinul INT1, bitul INTF1 este setat în mod automat;
- Bitul 0 - INTFO: Când o cerere de intrerupere este generată pe pinul INT0, bitul INTFO este setat în mod automat;

Timer

Bit	7	6	5	4	3	2	1	0
Access	R/W	R/W	R/W	R/W			WGM01	WGM00
Reset	0	0	0	0			0	0

Fig. 4.3 Registrul *timer/counter control register 0A* (TCCR0A).

Bit	7	6	5	4	3	2	1	0
Access	FOCOA	FOC0B			WGM02		CS0[2:0]	
Reset	0	0			0	0	0	0

Fig. 4.4 Registrul *timer/counter control register 0B* (TCCR0B).

Principaliii biți ai registrului TCCR0A sunt:

- Biții 7:6 - COM0A1 și COM0A0, se adresează doar modului de funcționare cu generare de undă tip PWM. Ei prezintă următoarea funcționalitate:
 - 00: OC0A dezactivat;
 - 01: și WGM02 = 0: PORT cu funcție normală; OC0A deconectat;
 - 10: și WGM02 = 1: basculează OC0A atunci când comparatorul semnalează o potrivire cu cea a valorii de comparare;
 - 11: logică inversată (LOW la bază și HIGH la atingerea valorii de comparare);
- Biții 5:4 - COM0B1 și COM0B0, se adresează doar modului de funcționare cu generare de undă tip PWM. Ei prezintă următoarea funcționalitate:
 - 00: OC0B dezactivat;
 - 01: mod de funcționare tip înapoi (eng. Reversed);
 - 10: mod de funcționare ne-inversat (eng. Non-Inverted) (HIGH la bază și LOW la atingerea valorii de comparare);
 - 11: logică inversată (LOW la bază și HIGH la atingerea valorii de comparare);
- Biții 1:0 - WGM01 și WGM00, în combinație cu WGM02 permite configurarea formei de undă generate de către timer. Funcționalitatea acestor biți este prezentată în tabelul 4.1;

Principaliii biți ai registrului TCCR0B:

- Biții 7:6 - FOC0A și FOC0B (eng. Force Out Compare). Sunt activi doar când biții WGM sunt setați pentru a configura o formă de undă de tip PWM. Acest bit nu va genera o întrerupere și nici o resetare a comparatorului atunci când se va ajunge la valoarea de top. Biții FOC0A și FOC0B sunt citiți mereu ca valoare 0;
- Bitul 3 - WGM02, în combinație cu alți registri similari, permite configurarea formei de undă generate de către timer. Funcționalitatea acestui bit este prezentată în tabelul 4.1;
- Biții 2:0 - CS02, CS01 și CS00 permit configurarea prescalarului (vezi tabelul 4.2).

Tab. 4.1 Forme de undă ce pot fi generate cu un timer.

Mod	WGM02	WGM01	WGM00	Descriere	TOP
0	0	0	0	Normal	0xFF
1	0	0	1	PWM, Phase corrected	0xFF
2	0	1	0	CTC	OCRA
3	0	1	1	Fast PWM	0xFF
4	1	0	0	Rezervat	-
5	1	0	1	Fast PWM, phase corrected	OCR0A
6	1	1	0	Rezervat	-
7	1	1	1	Fast PWM	OCR0A

Tab. 4.2 Lista prescalarilor disponibili pentru divizarea semnalului de ceas.

CS02	CS01	CS00	Descriere
0	0	0	Timer / counter dezactivat
0	0	1	Fără prescalar
0	1	0	Semnal de ceas / 8
0	1	1	Semnal de ceas / 64
1	0	0	Semnal de ceas / 256
1	0	1	Semnal de ceas / 1024
1	1	0	Sursă externă de ceas conectată la pinul T0 (front crescător)
1	1	1	Sursă externă de ceas conectată la pinul T0 (front descrescător)

Bit	7	6	5	4	3	2	1	0
Access						OCIEB	OCIEA	TOIE
Reset						0	0	0

Fig. 4.5 Registrul *timer/counter interrupt mask register* (TIMSK0).

- Bitul 2 - OCIEB (eng. *Output Compare Interrupt Enable B*). Activează (setat pe valoarea 1) sau dezactivează (setat pe valoarea 0) întreruperea generată atunci când valoarea din registrul TCNT0 este egală cu valoarea din OCR0B. Pre-condiție: bitul OCF0B trebuie să fie setat în TIFR0;
- Bitul 1 - OCIEA (eng. *Output Compare Interrupt Enable A*). Activează (setat pe valoarea 1) sau dezactivează (setat pe valoarea 0) întreruperea generată atunci când valoarea din registrul TCNT0 este egală cu valoarea din OCR0A. Pre-condiție: bitul OCF0A trebuie să fie setat în TIFR0;
- Bitul 0 - TOIE (eng. *Timer Output Interrupt Enable*). Activează (setat pe valoarea 1) sau dezactivează (setat pe valoarea 0) întreruperea generată de depășirea valorii maxime acumulate (0xFF) în registrul TCNT0 (eng. *overflow interrupt*). Pre-condiție: bitul TOV trebuie să fie setat în TIFR0.

În figura 4.6 sunt prezentate biții registrului TIFR0 (*Timer Interrupt Flag Register*). În acest regisztr sunt observabile evenimentele provocate de către unitatea timer. Semnificația biților acestui regisztr este următoarea:

Bit	7	6	5	4	3	2	1	0
Access						OCFB	OCFA	TOV
Reset						0	0	0

Fig. 4.6 Registrul *timer/counter interrupt flag register* (TIFR0).

- Bitul 2 - OCFB (eng. *Output Compare Flag B*). Aceste bit este setat automat de către timer atunci când valoarea din registrul TCNT0 este egală cu valoarea din OCR0B;
- Bitul 1 - OCFA (eng. *Output Compare Flag A*). Aceste bit este setat automat de către timer atunci când valoarea din registrul TCNT0 este egală cu valoarea din OCR0A;
- Bitul 0 - TOV (eng. *Timer Overflow*). Aceste bit este setat automat de către timer atunci când valoarea din registrul TCNT0 depășește valoarea de TOP (0xFF).

În figura 4.7 este prezentat registrul TCNT0 (Timer Counter 0). Acest registru conține valoarea accumulată incremental la excitațiile oscillatorului. Biții lui permit accesul direct, pentru scriere și/sau citire, la contorul (acumulatorul) de 8 biți al timerului 0.

În figura 4.8, respectiv 4.9 sunt prezentate registrele OCR0A (Output Compare Register 0 A), respectiv OCR0B. Acești registrii conțin valoarile de prag ce sunt folosite de către timer pentru a genera diferite forme de undă.

Tratarea unei intreruperi generate de către un modul timer se face în interiorul funcției ISR(). După cum a fost prezentat în tabelului 3.1 din capitolul anterior, sintaxa funcției

Bit	7	6	5	4	3	2	1	0
	TCNT0[7:0]							
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

Fig. 4.7 Registrul *timer/counter register* (TCNT0) (folosit pentru a stoca valoarea acumulată).

Bit	7	6	5	4	3	2	1	0
	OCR0A[7:0]							
Access	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

Fig. 4.8 Registrul *output compare register A* (OCR0A).

ADC

Bit	7	6	5	4	3	2	1	0
Access	REFS1 R/W	REFS0 R/W	ADLAR R/W		MUX3 R/W	MUX2 R/W	MUX1 R/W	MUX0 R/W

Fig. 5.1 Registrul ADMUX.

- Biții 7:6 – REFSn: Selectarea referinței [n = 1:0]: Acești biți permit selectarea tensiunii de referință pentru ADC. Dacă acești biți sunt schimbați pe parcursul unei conversii, efectul o să fie vizibil doar după terminarea conversiei curente. Dacă o tensiune externă este aplicată pe pinul AREF, tensiunea internă de referință este posibil să nu mai poată fi utilizată. Următoarele combinații pot fi posibile:
 - 00: AREF, tensiunea internă V_{ref} este oprită;
 - 01: AV_{CC} este utilizat (este necesar un condensator pe pinul AREF);
 - 10: neutilizabil;
 - 11: Tensiune internă de 1.1V.
- Bitul 5 – ADLAR: setarea acestui bit afectează rezultatul conversiei. O valoare de 1 va realiza o ajustare la stânga a rezultatului, în timp ce valoarea 0 va ajusta la dreapta. Rezultatul ajustat al conversiei este în registrul de date ADC: ADCL și ADCH;
- Biții 3:0 – MUXn: Selectare canal analogic [n = 3:0]. Permite selectarea canalului pe care se primește semnalul analogic care urmează a fi transformat în numeric. Pentru combinația 0000 avem ADC0, iar combinația 0101 corespunde ADC5. Combinăriile între cele exemplificate corespund celorlalte canale de intrare.

Cel de al doilea registru important pentru lucrul cu ADC este registrul de control și stare ADCSRA. Următorii biți sunt conținuți de acest regisztr:

Bit	7	6	5	4	3	2	1	0
Access	ADEN R/W	ADSC R/W	ADATE R/W	ADIF R/W	ADIE R/W	ADPS2 R/W	ADPS1 R/W	ADPS0 R/W

Fig. 5.2 Registrul ADCSRA.

- Bitul 7 – ADEN: Activare ADC: Prin scrierea unui 1 logic în acest bit, este activat modulul ADC. Un zero logic îl dezactivează;
- Bitul 6 – ADSC: Începere conversie ADC: prin scrierea acestui bit este pornită o conversie ADC. Dacă ADC este în modul de conversie "conversie singulară", bitul pornește conversia. În modul "conversie continuă", va determina pornirea primei conversii. În

prima conversie se realizează initializarea convertorului și procesul de conversie durează mai mult decât în următoarele conversii (aproximativ dublu);

- Bitul 5 – ADATE: Activarea mecanismului de declansare automată ADC: când acest bit este activat, convertorul analog numeric va porni o conversie pe frontul pozitiv al unui semnal specific de declanșare. Acest semnal este setat din registrul ADCSRB;
- Bitul 4 – ADIF: flag-ul de întrerupere ADC: Acest bit este automat setat când o conversie este finalizată și registrul de date este actualizat. Acest bit este sters în mod automat când este executată întreruperea corespunzătoare. Pentru stergere manuală, este necesară scrierea unui 1 logic în acest registru;
- Bitul 3 – ADIE: Activare întrerupere ADC. Când acest bit este setat și bitul 7 (I) din registrul SREG este setat, finalizarea procesului de conversie analog numerică va genera o întrerupere;
- Bitii 2:0 – ADPSn: selectarea prescalarului pentru ADC [n=2:0]: determină factorul de diviziune între frecvența oscilatorului plăcii de dezvoltare și semnalul de ceas utilizat de ADC. Factorul de divizare variază de la 2 (pentru 000) până la 128 (pentru 111). Rezultatul conversiei este regăsit în două registre. Aceste registre sunt ADCL și ADCH.

Seriala

Structura generală a Registrului de date UDR0 este prezentată în figura 6.1. Biții acestui regitru sunt aceeași cu cei ai buffer-ului de transmisie sau recepție pe serială.

Bit	7	6	5	4	3	2	1	0
Access	R/W							
TXB / RXB[7:0]								

Fig. 6.1 Registrul UDR0.

Registrul de Control și stare UCSR0A conține următorii biți: (figura 6.2):

Bit	7	6	5	4	3	2	1	0
Access	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0
Access	R	R/W	R	R	R	R	R/W	R/W

Fig. 6.2 Registrul UCSR0A.

- Bitul 7 – RXC0: Recepție completă de date: acest bit este setat când sunt date necitite în buffer-ul de recepție. Valoarea zero a acestui regitru înseamnă că nu sunt date necitite;
- Bitul 6 – TXC0: Transmisie completă: valoarea acestui bit este 1 atunci când întreg mesajul din regitru de deplasare a fost transmis în exterior. Bitul este automat șters când este finalizată întreruperea de transmisie completă, atașată;
- Bitul 5 – UDRE0: Regitru de date gol: dacă acest bit este 1, bufferul de date este gol și poate fi scris;
- Bitul 4 – FE0: eroare mesaj: acest bit este setat în cazul unei erori de transmisie;
- Bitul 3 – DOR0: este setat în cazul unei condiții de rulare peste date existente. O astfel de condiție poate fi când buffer-ul de recepție este plin, un nou caracter așteaptă în regitru de deplasare și este detectat un bit nou de start;
- Bitul 2 – UPE0: Eroare de paritate: acest bit este setat dacă următorul caracter în buffer-ul de recepție are o eroare de paritate;
- Bitul 1 – U2X0: dublare viteza transmisie pe serială: în mod asincron, prin setarea acestui bit se reduce factorul de divizare al ratei de transfer de la 16 la 8, astfel realizându-se dublarea vitezei de comunicație;
- Bitul 0 – MPCM0: funcționare în mod multi-procesor: activează funcționarea în mod multi-procesor.

Al treilea regitru important pentru realizarea comunicației seriale este regitru de Control și stare UCSR0B figura 6.3. Biții acestui regitru sunt următorii:

- bitul 7 – RXCIE0: Activare întrerupere recepție completă: setarea acestui bit va activa mecanismul de întrerupere pentru recepție;

Bit	7	6	5	4	3	2	1	0
Access	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

Fig. 6.3 Registrul UCSR0B.

- bitul 6 – TXCIE0: Activare întrerupere transmisie completă: setarea acestui bit va activa mecanismul de întrerupere pentru transmisie;
- bitul 5 – UDRIE0: Activare întrerupere registru de date gol: activarea acestui bit activează întreruperea de registru gol;
- bitul 4 – RXEN0: Activare recepție: setarea acestui bit conduce la activarea mecanismului de recepție;
- bitul 3 – TXEN0: Activare transmisie: setarea acestui bit conduce la activarea mecanismului de transmisie;
- bitul 2 – UCSZ02: dimensiune caracter: În combinație cu bițiii UCSZ0[1:0] din registrul UCSR0C, permite setarea numărului de biți de date transmiși sau recepționați într-un mesaj;
- bitul 1 – RXB80: Bitul 9 al unui mesaj pe 9 biți la recepție. Trebuie citit înaintea citirii bițiilor din UDR0;
- bitul 0 – TXB80: Bitul 9 al unui mesaj pe 9 biți la transmisie. Trebuie scris înaintea scrierii bițiilor din UDR0.

Registrul UCSR0C permite configurarea formei mesajului ce urmează a fi transmis sau recepționat. Următorii doi biți fac parte din acest registru (figura 6.4):

Bit	7	6	5	4	3	2	1	0
Access	R/W							

Fig. 6.4 Registrul UCSR0C.

- Biți 7:6 – UMSEL0n: selectare mod [n=1:0]: acești biți permit setarea modului de funcționare USART0, astfel:
 - 00: comunicație serială asincronă;
 - 01: comunicație serială sincronă;
 - 10: rezervat;
 - 11: Master SPI.
- Biți 5:4 – UPM0n: mod paritate [n=1:0]: Acești biți activează și setează tipul de paritate generat și verificat. Dacă este activat, transmîtatorul va genera și va trimite automat paritatea mesajului curent. Receptorul va genera la rândul său paritatea mesajului recepționat. Următoarele combinații sunt posibile:
 - 00: dezactivat;
 - 01: rezervat;
 - 10: activat, paritate pară;

- 11: activat, paritate impară.
- Bitul 3 – USBS0: selecție număr de biți de stop: acest bit permite selectarea numărului de biți de stop. Valoarea zero reprezintă un bit de stop, iar valoarea unu corespunde pentru doi biți de stop;
- Biții 2:1 – UCSZ0n: dimensiune mesaj/ordinea datelor [n=1:0]: biții UCSZ0[1:0] combinați cu bitul UCSZ02 din registrul UCSR0B permit setarea numărului de biți de date (dimensiunea mesajului) la recepție și transmisie. Următoarele combinații pot fi posibile:
 - 000: 5 biți de date;
 - 001: 6 biți de date;
 - 010: 7 biți de date;
 - 011: 8 biți de date;
 - 100: rezervat;
 - 101: rezervat;
 - 110: rezervat;
 - 111: 9 biți de date.
- Bitul 0 – UCPOL0: Polaritate semnal ceas.

Afisaj LCD

Conecțarea pinilor la placă Arduino UNO:

LCD RS la pinul digital 12

LCD Enable la pinul digital 11

LCD D4 la pinul digital 5

LCD D5 I a pinul digital 4

LCD D6 I a pinul digital 3

LCD D7 I a pinul digital 2

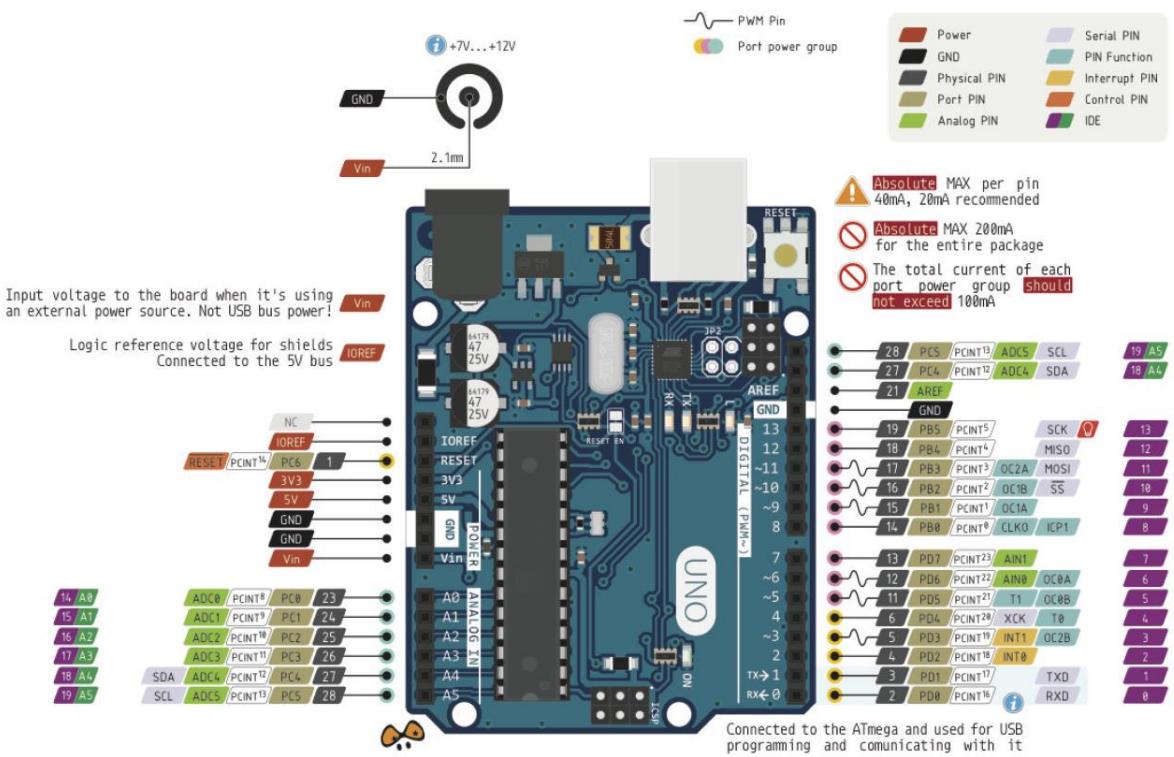
LCD R/W I a pinul de masa

LCD VSS I a pinul de masa

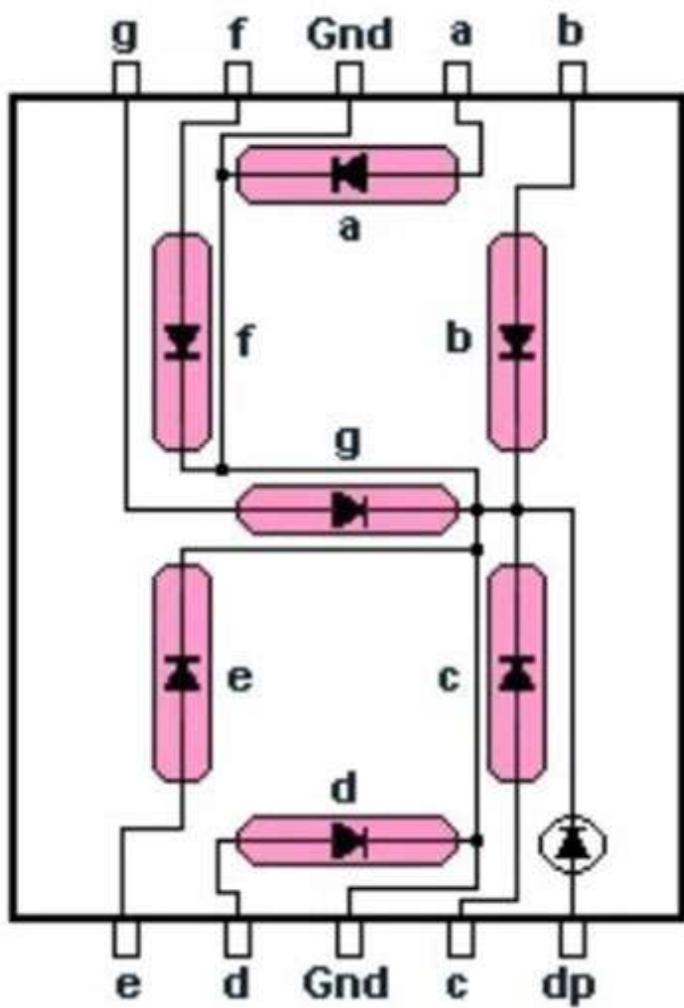
LCD VCC I a pinul 5V

VO la pinul de ieșire al potențiometrului

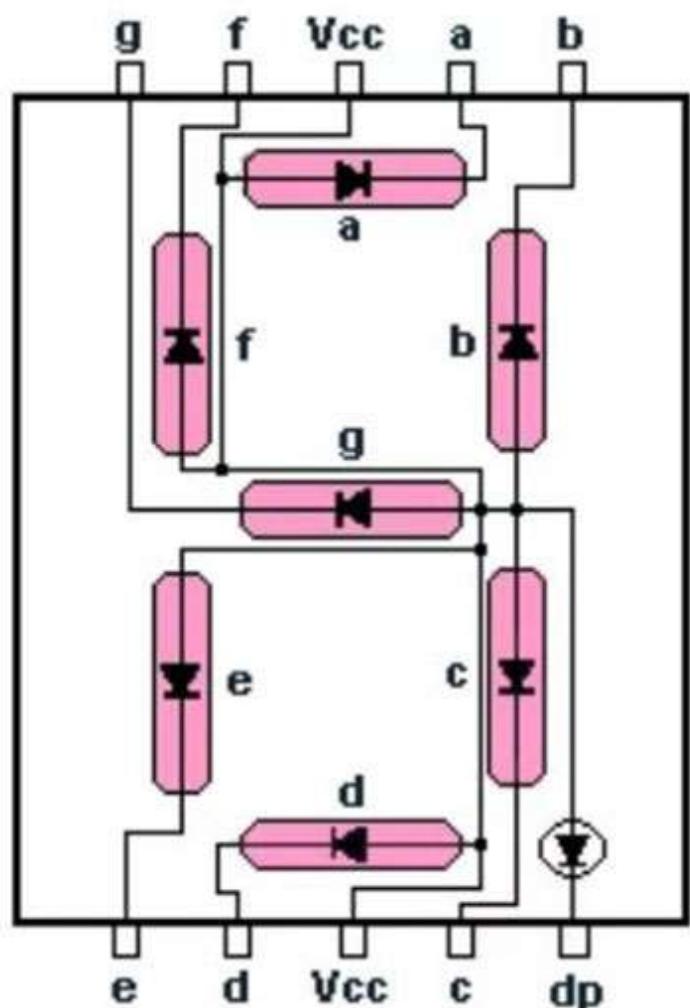
Schema electrică Arduino Uno



Common Cathode



Common Anode



SSD Configuration