**Model układu pamięci 74HC595**

Łukasz Lech 243 265

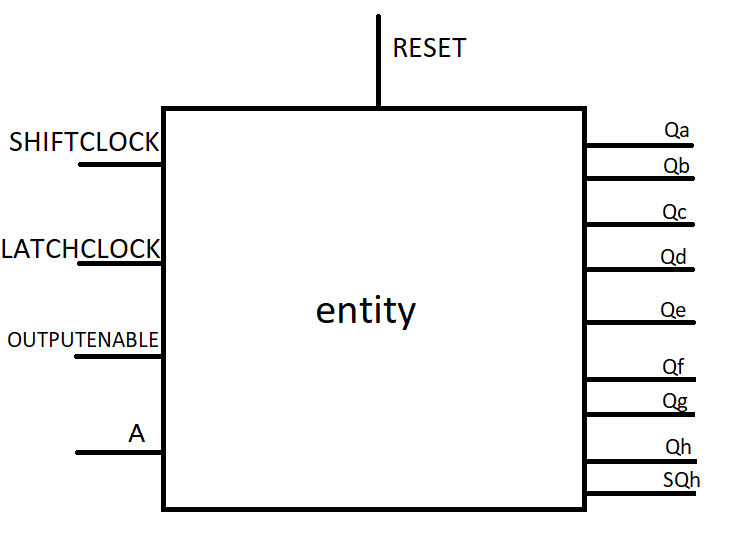
Szymon Kaczmarek 243273

Radosław Sadowski 243152

1. **Opis projektu**

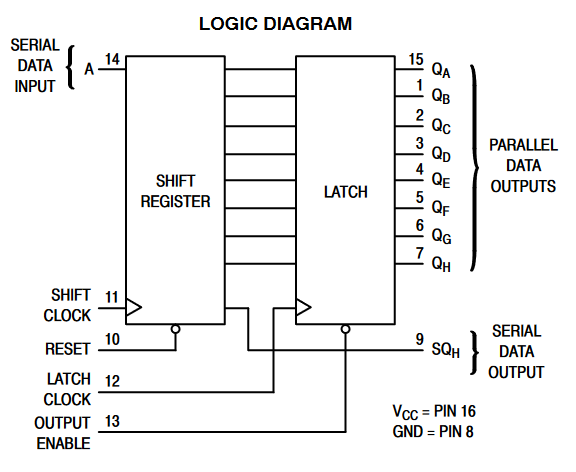
Celem projektu jest zaprojektowanie 8-bitowego rejestru przesuwnego z wyjściami zatrzaskującymi – latch. Wykorzystując język opisu sprzętowego VHDL zostanie odtworzona architektura popularnego i dostępnego na rynku układu 74HC595. Model ma uwzględniać również symulacje z zewnętrznymi wektorami testowymi oraz generować raport, zawierający zmieniające się kolejno dane wyjściowe.

1. **Jednostka projektowa (entity)**



1. **Architektura układu**

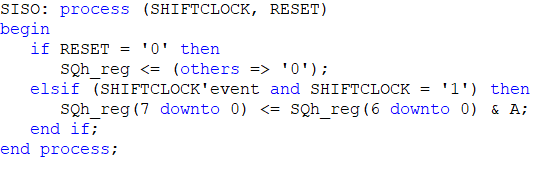
Układ 74HC595 zawiera 8-bitowy rejestr przesuwający z wejściem szeregowym i wyjściami równoległymi, podłączonymi wewnętrznie do 8-bitowego rejestru pamięciowego z wyjściami trójstanowymi. Rejestr przesuwny oraz zatrzask są taktowane oddzielnymi sygnałami zegarowymi. Rejestr przesuwny posiada asynchroniczny reset, natomiast zatrzask posiada asynchroniczne wejście OUTPUTENABLE zmieniające równoległe wyjścia w stan wysokiej impedancji.



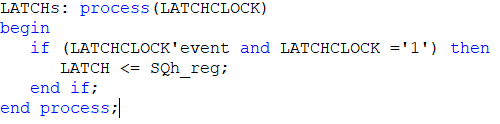
Układ został podzielony na dwa procesy SISO oraz LATCH, które wykorzystują dwa wewnętrzne wektory sygnałów SQh\_reg oraz LATCH.



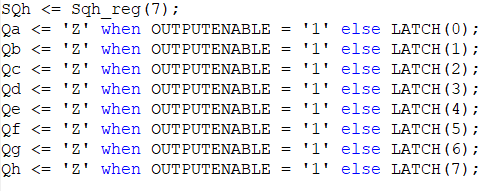
Proces SISO wykorzystuje wewnętrznie utworzony wektor sygnałów do przechowywania danych pobieranych z wejścia A oraz ich przesuwania wraz z narastającym zboczem zegara. Jest on także czuły na asynchroniczne działanie sygnału RESET.



Drugi proces LATCH jest czuły tylko na sygnał LATCHCLOCK. Na każdym zboczu narastającym, zostaje przepisana zawartość wektora SQh\_reg do wektora LATCH.

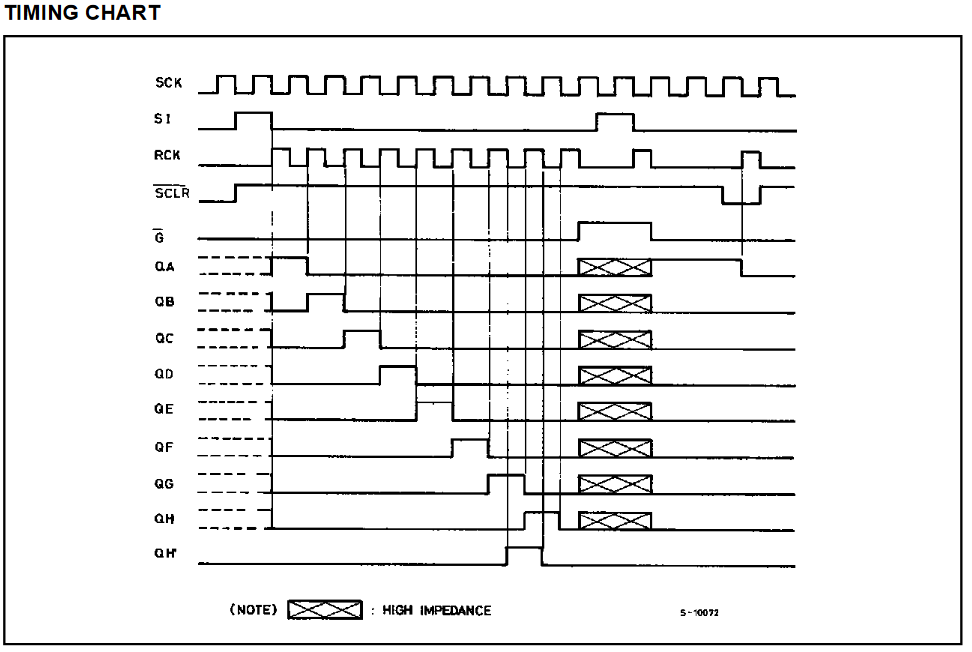


Ostatecznie dane wyprowadzenia układu (Qa….Qh) przyjmują wartości, w zależności od OUTPUTENABLE. Kiedy na OUTPUTENABLE jest logiczne ‘1’, wtedy na wyjściach układu pojawi się stan wysokiej impedancji. Jeżeli nie, to wartości pobierane są z LATCH’a. Natomiast wyjście przyjmuje wartość „wysuwanego” bitu z rejestru.

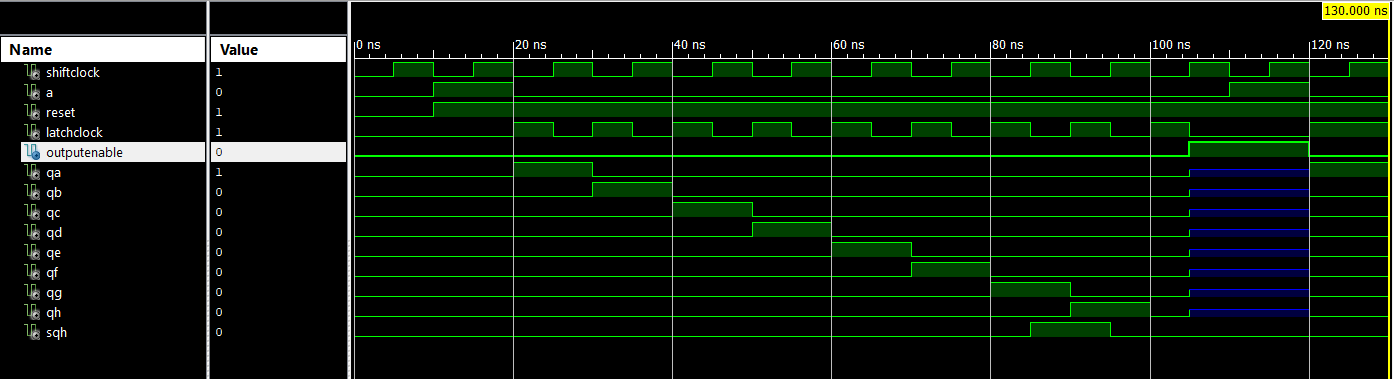


1. **Symulacja pracy**

Zamierzeniem projektu było odwzorowanie pracy układu 74HC595. Na rysunku przedstawiono symulacje układu według producenta.



Efekt uzyskanej pracy:



]\

Układ w symulacji wykazuje swoje założenia zgodnie z opisem w rozdziale 3.

1. **Tabela sygnałów, zmiennych i wyprowadzeń**

|  |  |  |
| --- | --- | --- |
| Nazwa | Zastosowanie | Typ |
| RESET | Asynchroniczny reset rejestru przesuwającego | STD\_LOGIC |
| A | Wejście szeregowe |
| SHIFTCLOCK | Sygnał zegarowy rejestru przesuwnego |
| LATCHCLOCK | Sygnał zegarowy zatrzasku |
| Qa | Równoległe sygnały wyjściowe układu |
| Qb |
| Qc |
| Qd |
| Qe |
| Qf |
| Qg |
| Qh |
| SQh | Szeregowy sygnał wyjściowy |
| OUTPUTENABLE | Sygnał zarządzający bramką trójstanową |
| SQh\_reg | Wektor sygnałów rejestru przesuwnego | STD\_LOGIC\_VECTOR |
| LATCH | Wektor sygnałów zatrzasku |

1. **Testowanie układu**

Układ testujący został zrealizowany za pomocą języka Verilog. Sprawdzenie wykorzystuje zewnętrzne wektory testowe, które zawiera różne scenariusze pracy. W trakcie symulowania pracy, w każdym cyklu zegarowym sygnały wyjściowe mogą ulec zmianie, zatem w celu ich śledzenia są one zapisywane do wyjściowego pliku tekstowego. Przeprowadzoną symulacje przedstawia poniższy rysunek.

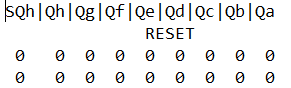


* 1. **Wejściowe wektory testowe**

Wektory testowe wprowadzane są w postaci pliku tekstowego, który zawiera ciąg 4 bitowych słów oddzielonych znakiem końca linii. Bity te reprezentują wejściowe wyprowadzenia układu w następującej kolejności – RESET, LATCHCLOCK, OUTPUTENABLE, A.

* 1. **Wyjściowy plik tekstowy**

Dane wyjściowe zapisywane są z każdym cyklem zegarowym, a plik tekstowy posiada nagłówek identyfikujący każdy zapisany bit. Poniższy rysunek przedstawia formę zapisu, śledzonych danych wyjściowych.



# Bibliografia

|  |  |
| --- | --- |
| [1] | On SemiConductor, [Online]. Available: https://www.onsemi.com/pub/Collateral/MC74HC595-D.PDF. |