**Midterm Project : ALU Design**

110學年度第2學期

老師 : 朱守禮教授

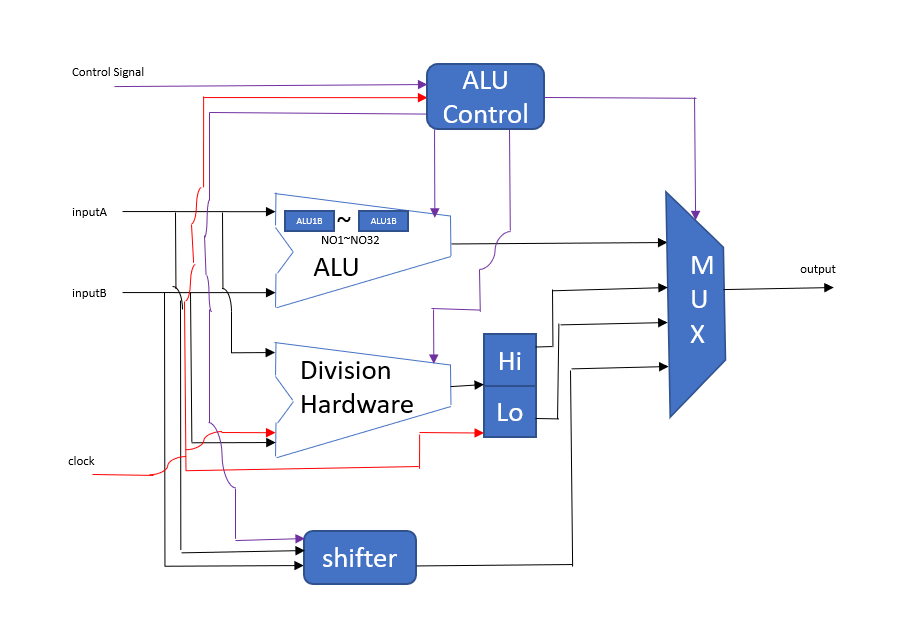
學生 :

10927141 黃詳諺

10927143 王胤迦

10924144 陳建成

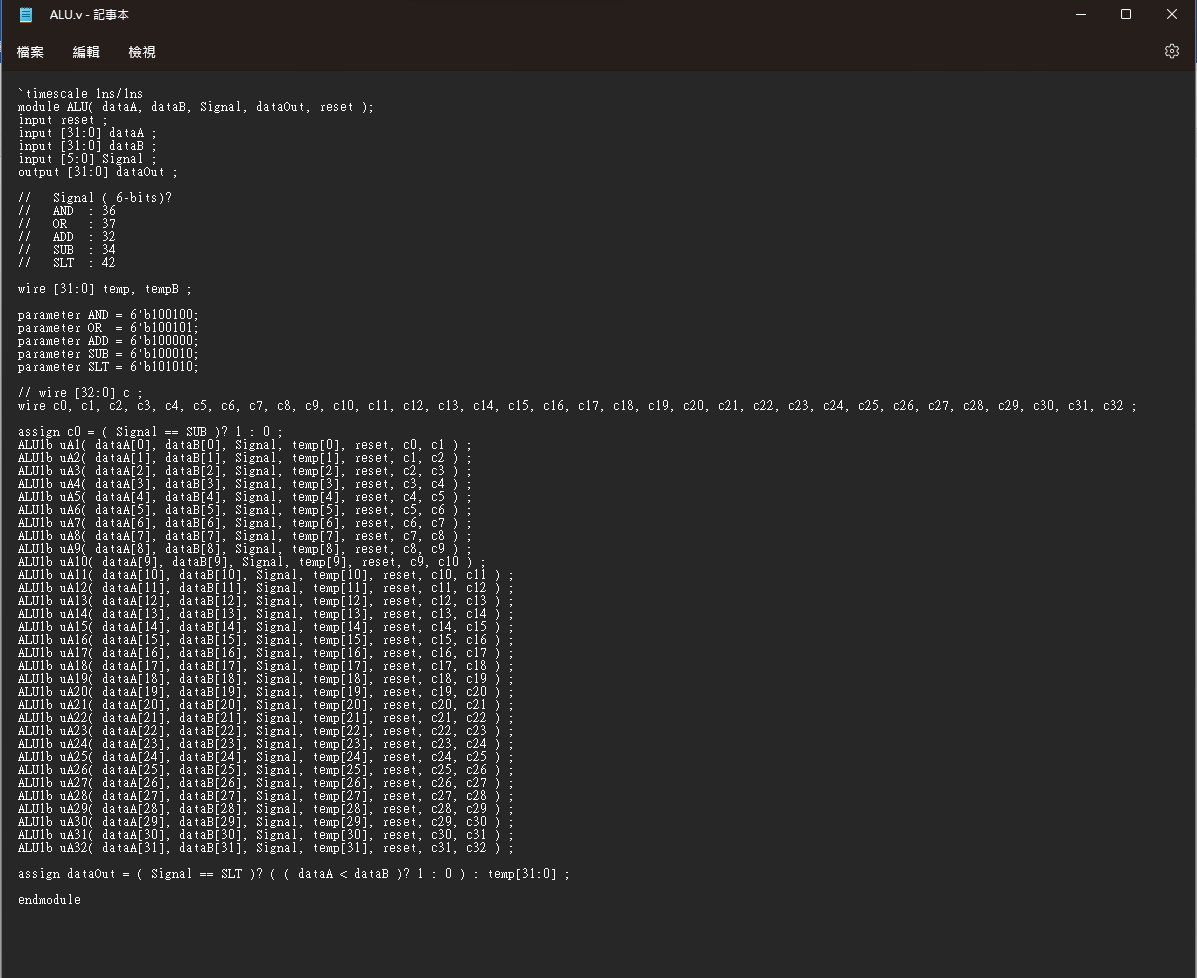
一、Datapath與詳細架構圖



二、設計重點說明

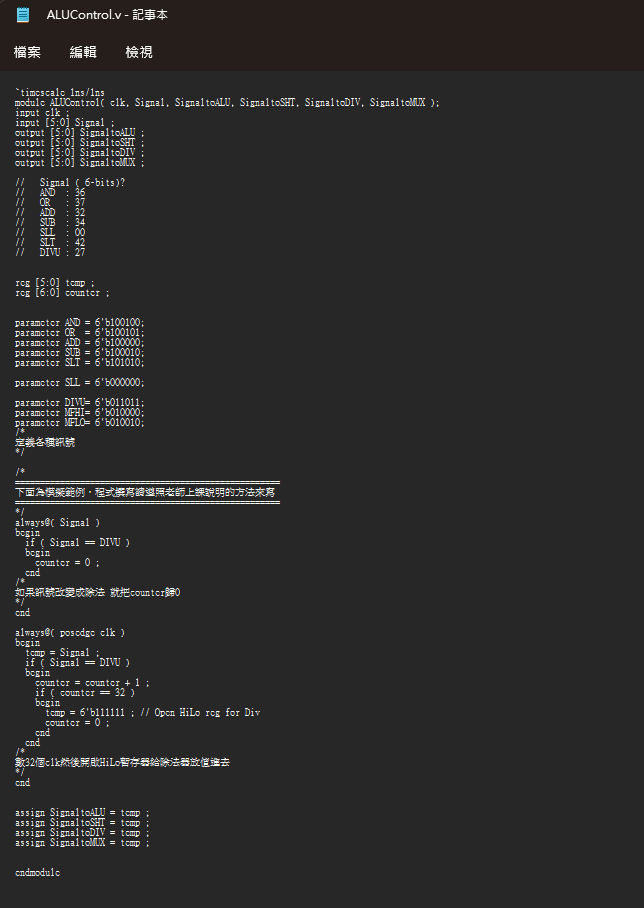
ALU : 因應題目的要求不能使用Always Block 或 Procedure Assignment來設計，

我們另外寫了一個ALU1b來實現ADD、SUB等功能。

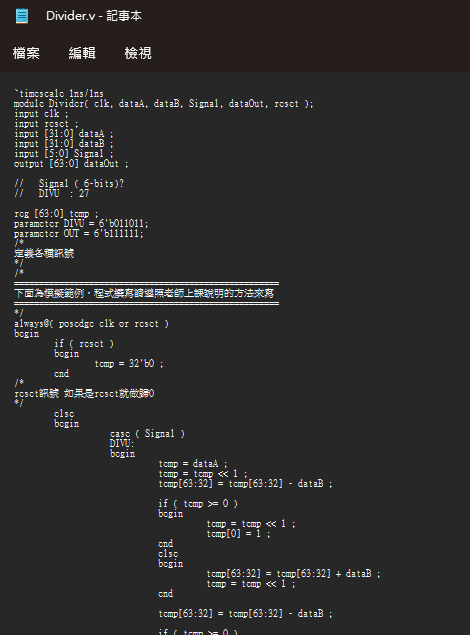
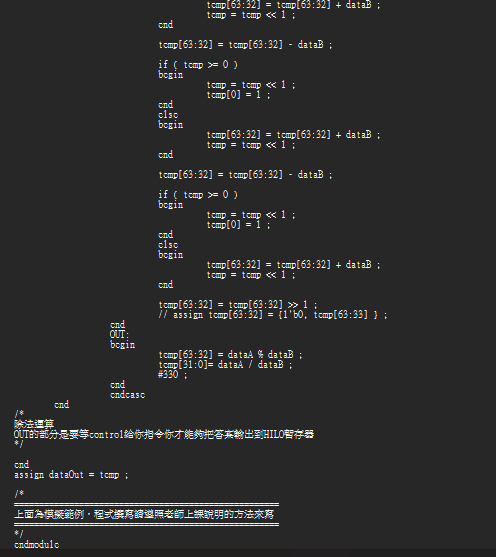




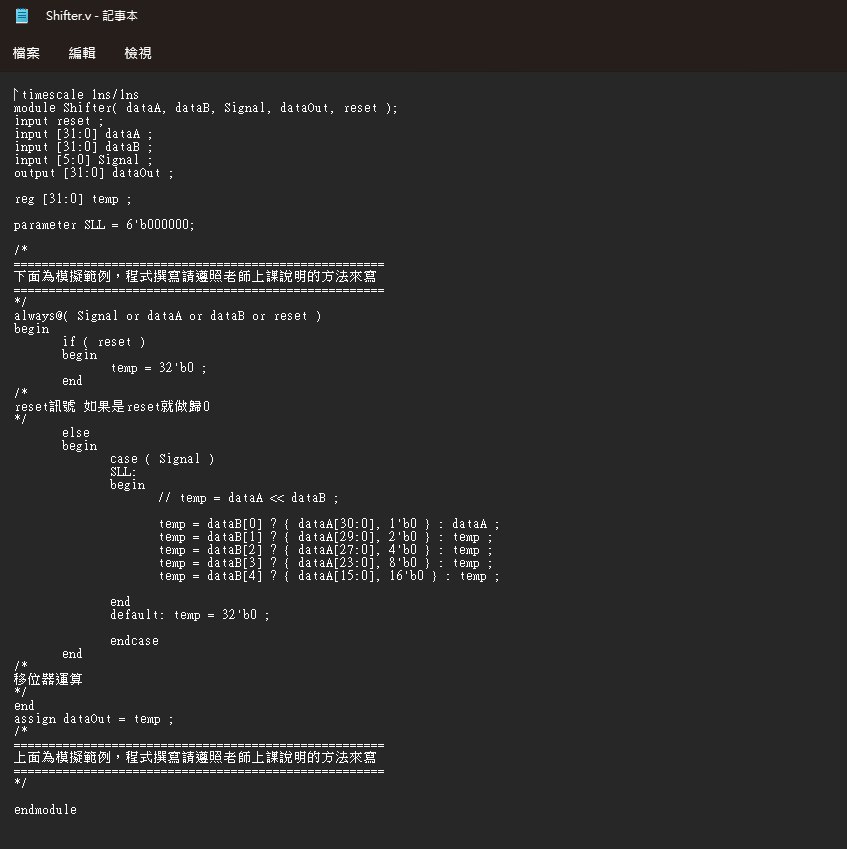
ALUControl : 而ALUControl基本上和原本給的範例相同，只不過作業所要求的shifter是要我們做左移，和範例中的不同，因此只修改此部分。



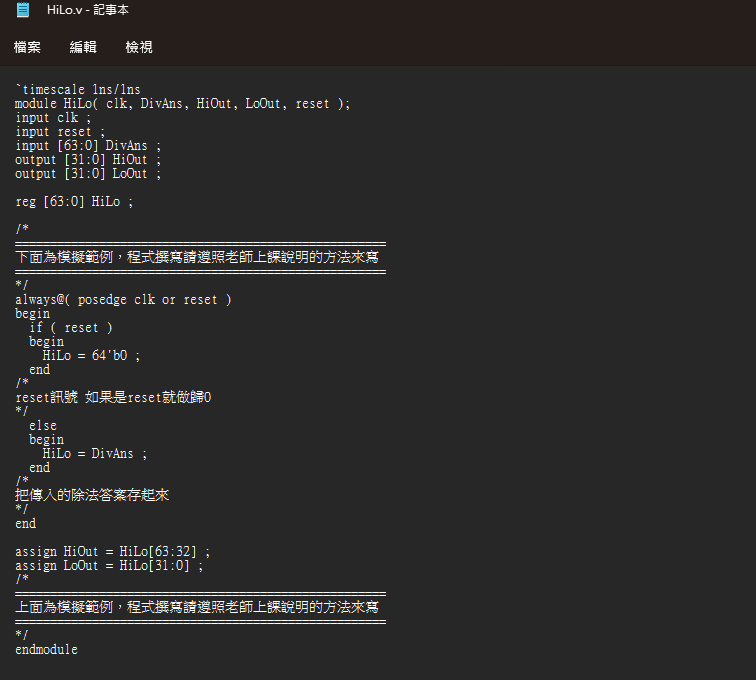
Divider : 由於題目要求除法器不接受迴圈形式的設計，因此我們中間重複了32次的if-else的判斷，來取代迴圈所需執行的事項。

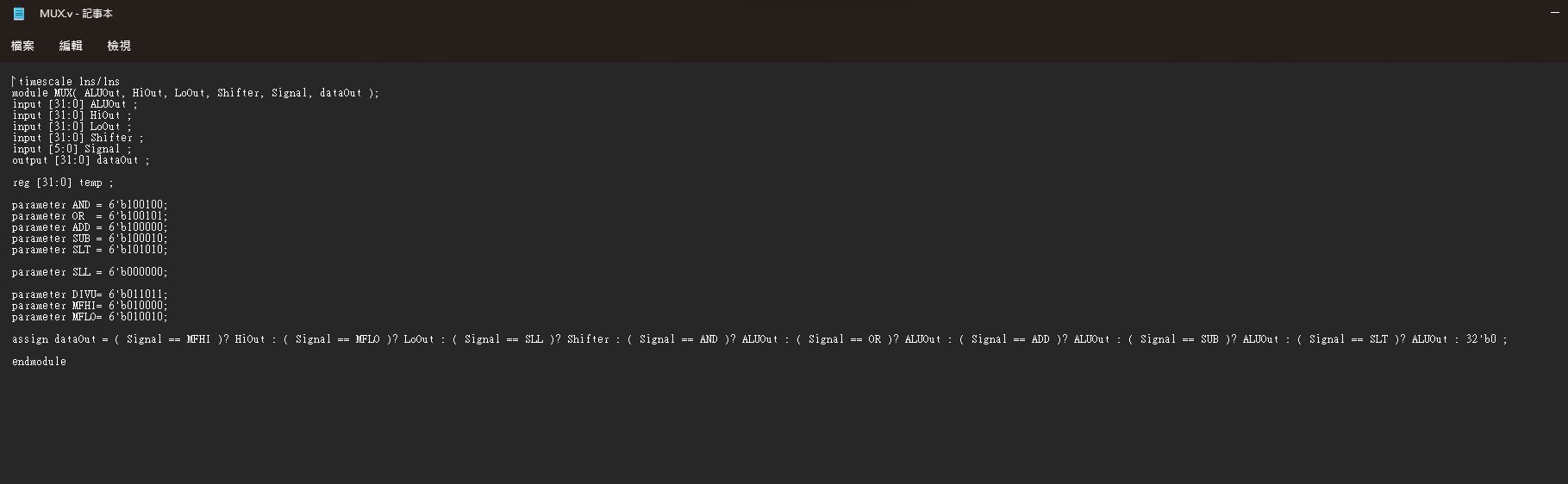
Shifter : 規定不能使用'>>'或'<<'，因此我們直接往data的左邊位元來找值。

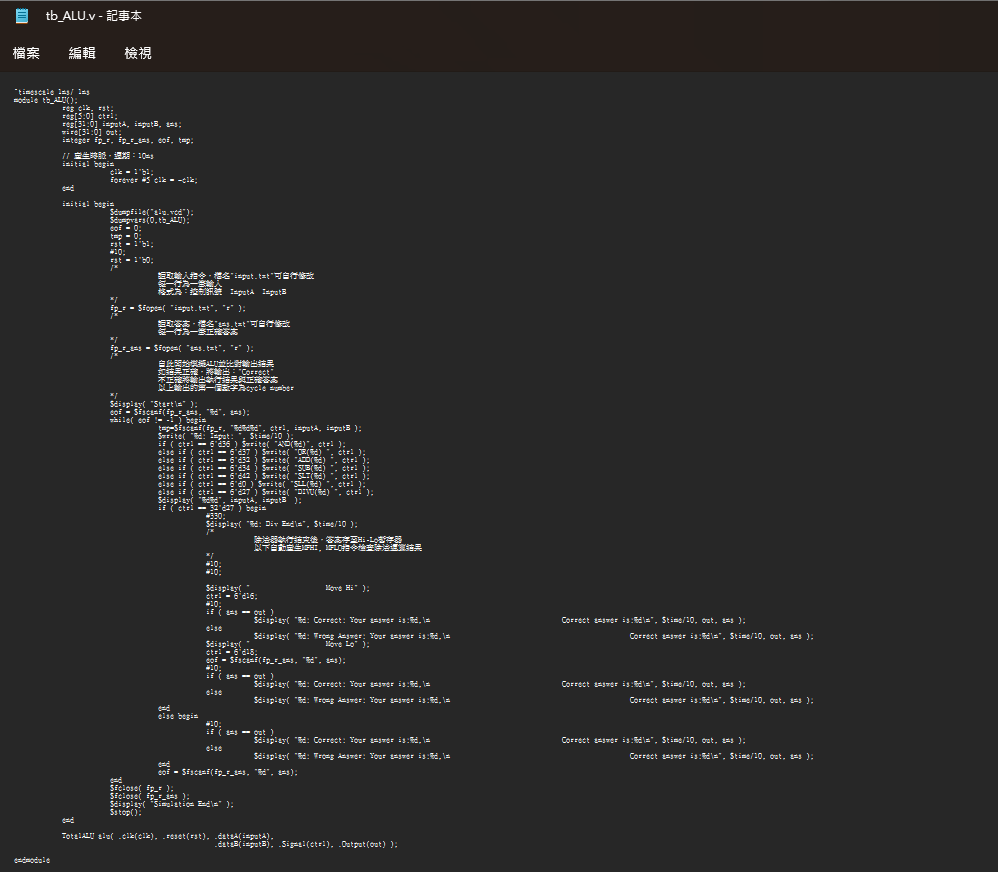


HiLo暫存器 : 將除法的結果傳進這個暫存器，並assign到HiOut、LoOut中。

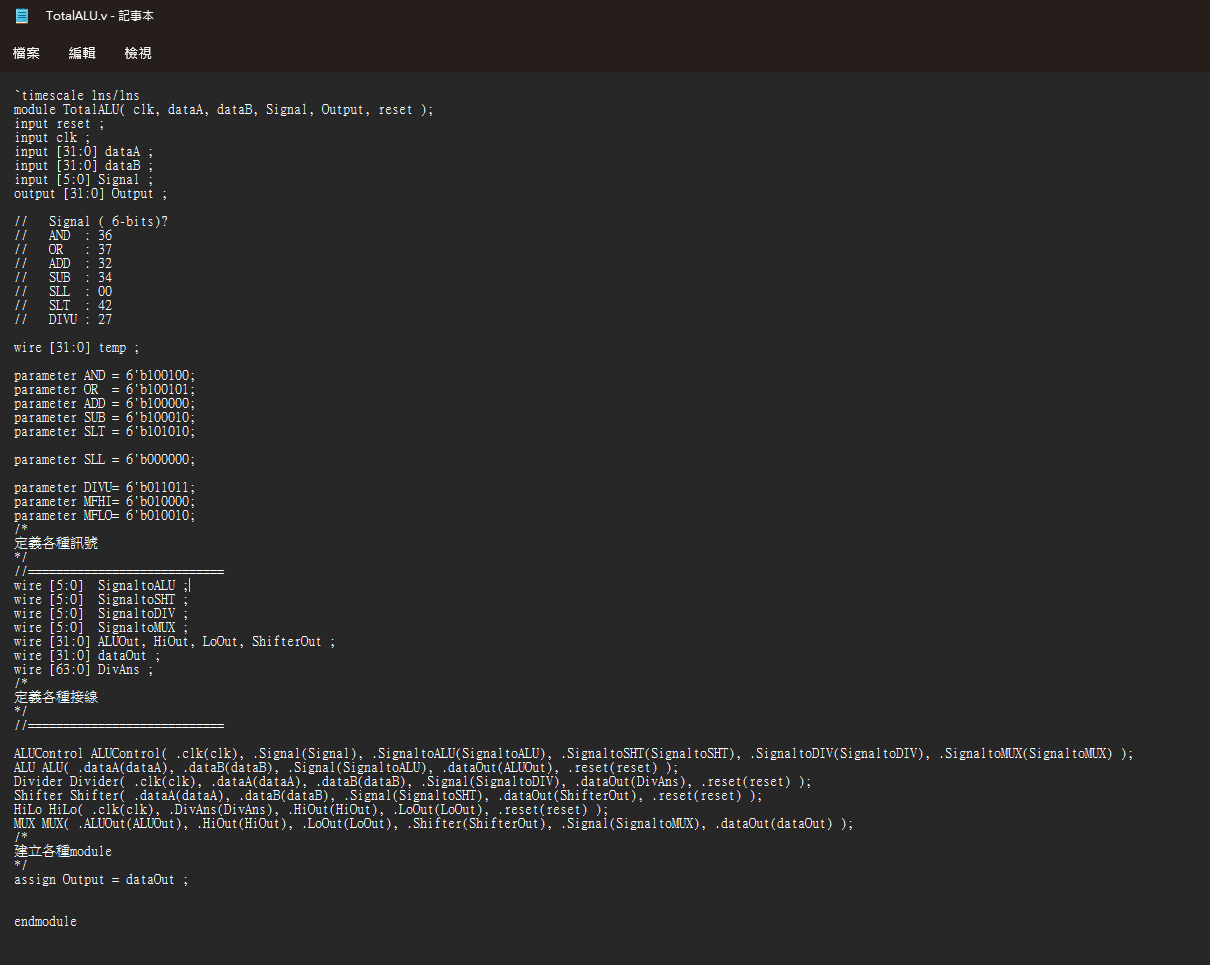


Mux多工器 : 依照範例註解的要求，須將MFHI和MFLO加入指令，並依照指令將結果assign到輸出中。

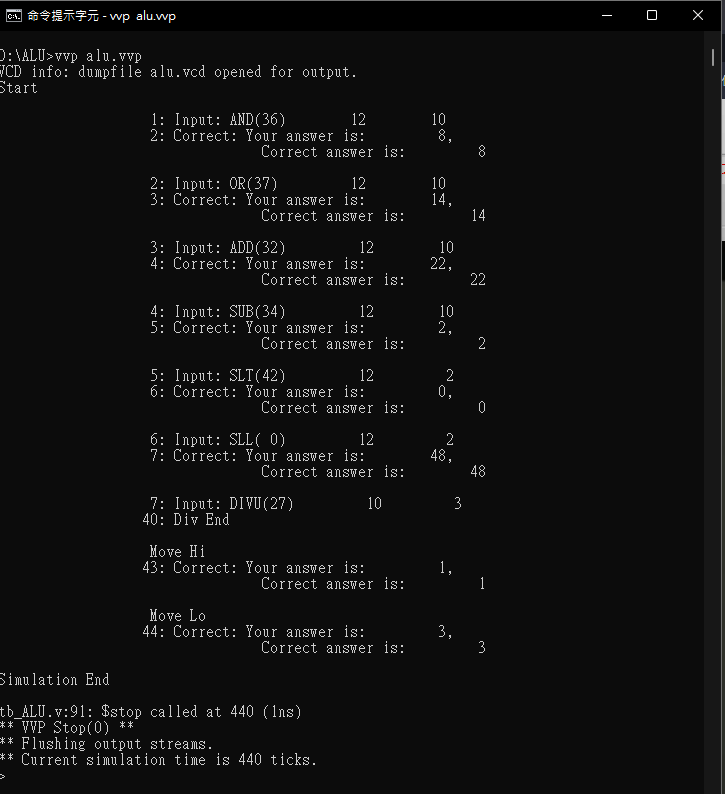


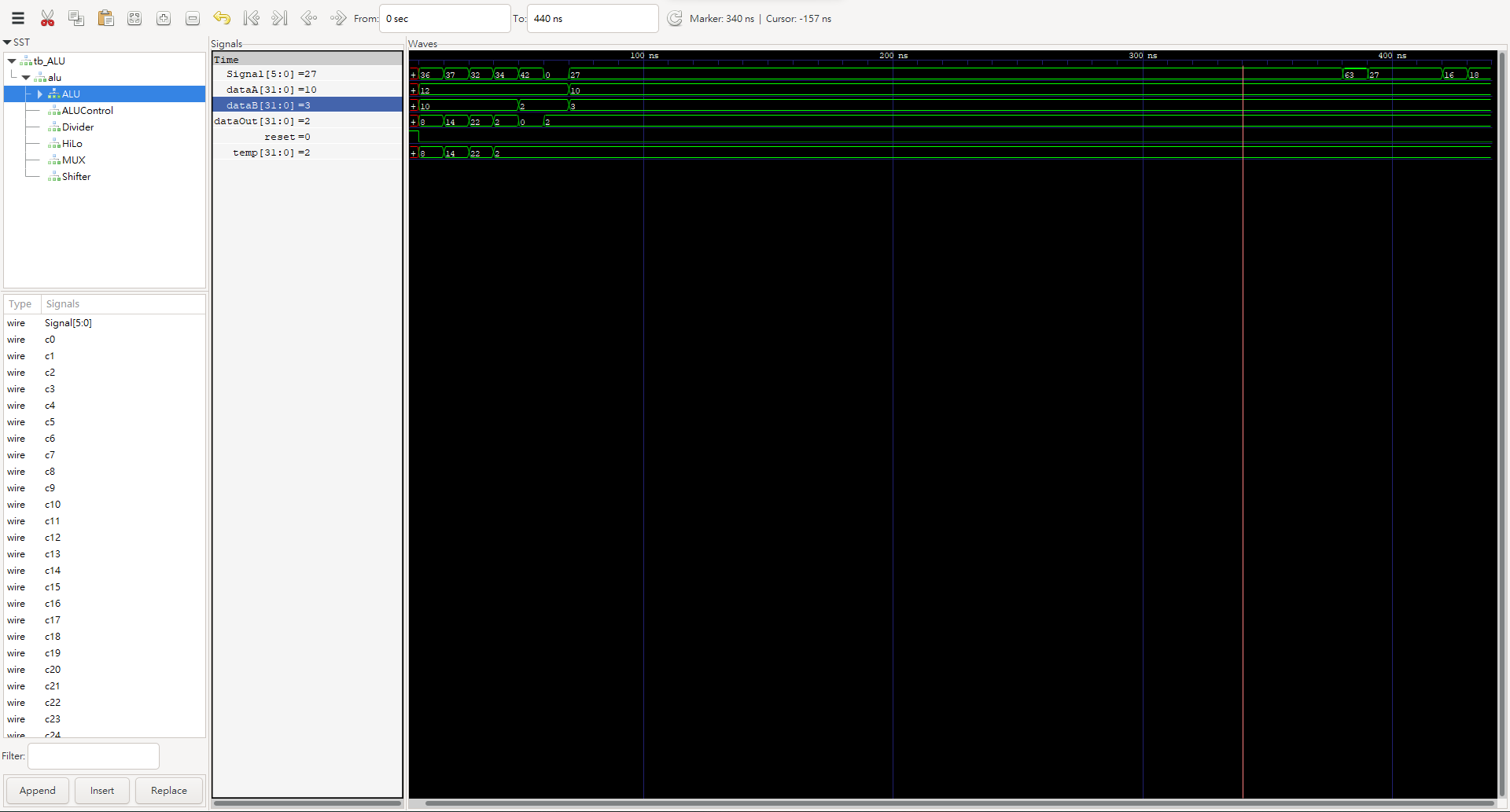
tb\_ALU : 幾乎所有的程式碼都和範例程式相同，需要更改的是shifter的輸出，這次要求是左移，而範例程式原本是寫右移。

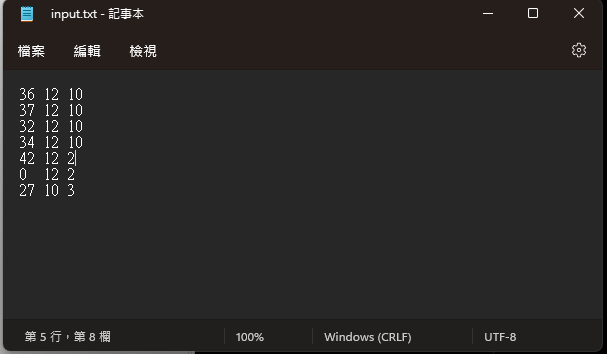
TotalALU : 同tb\_ALU，需要更改的是shifter的相關輸出。



三、Icarus Verilog 驗證結果與 Waveform 輸出圖形，並加以說明







可以依照input.txt檔案當中給的資訊得出，36是and，而12 and 10所得出的答案是8，而從waveform中我們可以檢查出Signal所對應的功能，做出的答案是否正確。

四、心得感想

一開始我們覺得這次的作業難度頗高，不過後來發現如果有認真聽老師的課程，有蠻多的部分是老師在上課有提過的，我們只需要將想法轉成程式碼即可完成這次作業。

五、各組員分工方式與負責項目

黃詳諺 : 報告內容、討論程式架構

王胤迦 : 主要程式架構

陳建成 : 詳細架構圖、討論程式架構