#### 01076113 DIGITAL SYSTEM FUNDAMENTALS IN PRACTICE 2566/1

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

# การทดลองที่ 8 Counter

### <u>วัตถูประสงค์</u>

- 1. เพื่อให้สามารถออกแบบวงจรนับแบบ Synchronous ได้
- 2. เพื่อให้นักศึกษาออกแบบวงจร MOD ความถี่ได้
- 3. เพื่อให้สามารถสร้างวงจรนับที่ออกแบบโดยใช้ JK Flip Flop ได้

#### <u>การทดลอง</u>

- 1. ให้นักศึกษาออกแบบวงจร MOD ความถี่ และวงจร Counter ขึ้นจาก 0 ไป 7 ( 0 1 2 3 4 5 6 7 0 . . . ) ผ่าน JK Flip Flop แบบ Asynchronous โดยวงจร Counter จะเปลี่ยนเลขทุกๆ 1 วินาที แล้วทดสอบ การทำงานบนบอร์ด FPGA โดยแสดงผลทาง 7-Segment
- 2. ให้นักศึกษาออกแบบวงจร Counter โดยมีลำดับดังนี้ ( 2 5 6 4 3 1 7 9 2 5 . . . ) แบบ Synchronous ( ถ้าเปิดมาไม่ใช่เลขที่กำหนด ให้ไปเริ่มนับที่เลข 2 เมื่อมีคล๊อกลูกแรกเข้ามา ) โดยวงจร Counter จะ เปลี่ยนเลขทุกๆ 1000 mS แล้วทดสอบการทำงานบนบอร์ด FPGA โดยแสดงผลทาง 7-Segment
  - 2.1 สร้างตารางค่าการนับ (Output, State transition)
  - 2.2 สร้างตารางความจริง (Truth Table) ของทุกๆ อินพุตของฟลิบฟลอบทุกตัว
  - 2.3 หาสมการอินพุตของฟลิบฟลอบด้วยวิธีพีชคณิตบูลีนหรือ K-Map
  - 2.4 วาดไดอะแกรมของวงจรบน ISE WebPack โดยใช้ JK Flip Flop มาต่อกัน
  - 2.5 ทดสอบการโดยการ Download ลงบอร์ด FPGA
  - 2.6 ทดสอบการโดยการ Download ลงบอร์ด FPGA ใบตรวจการ

 Logic Diagram (JK Flip Flop)

## ใบตรวจการทดลองที่ 8

วัน/เดือน/ปี	กลุ่มเช้า 🗌 กลุ่มบ่าย 🗌 กลุ่มเย็น กลุ่มที่	
รหัสนักศึกษา	ชื่อ-นามสกุล	
วันที่	เวลา	
ลายเซ็น	_	
การตรวจการทดลอง		
การทดลองข้อ 1 ลายเซ็นผู้ควบคุมการทดลอง		
การทดลองข้อ 2 และตรวจเอกสาร ลายเซ็นผู้ควบคุมการทดลอง		
คะแนนเป็น 70% 🔲	คะแนนเป็น 80%	
คะแนนเป็น 90%	คะแนนเป็น 100% 🔲	

### <u>หมายเหตุ</u>

- 1. ไม่รับใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ขีด ฆ่า เปลี่ยนแปลงทุกชนิด
- 2. ให้พิมพ์ใบตรวจการทดลองนี้ในรูปแบบ สี
- 3. หากออกจากห้อง \*หลังจากหมดเวลา\* ตั้งแต่ 5 นาทีขึ้นไป \*จะถูกหักคะแนน 20 %\*
- 4. ให้อาจารย์หรือผู้คุมการทดลองเซ็นใบตรวจการทดลองภายใน 40 นาทีแรกของการทำแลป เกินเวลาไม่รับเซ็น
- 5. ถ้าโต๊ะไม่เรียบร้อยหลังใช้งาน (ถอดปลั๊กไฟ + ไม่มีขยะบนโต๊ะ) \*จะถูกหักคะแนน 10 %\*