

การทดลองที่ 10 การออกแบบวงจรดิจิทัลด้วยวิธี Schematic โดยกระบวนการ Top-Down Design 1

วัตถุประสงค์

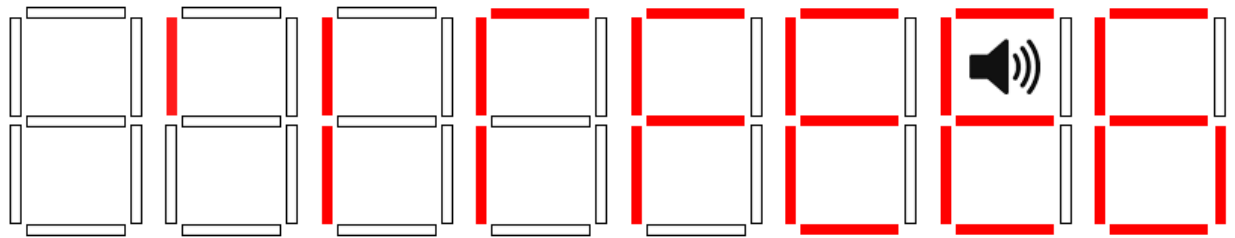
1. เพื่อให้นักศึกษาสามารถออกแบบ Top-Down Design ได้อย่างถูกต้อง
2. เพื่อให้นักศึกษาสามารถออกแบบวงจรดิจิทัล จาก Top-Down Design ได้

การทดลอง

1. ให้นักศึกษาสร้างวงจรโดยมีการทำงานของอินพุต เอาท์พุต และสถานะเริ่มต้นดังต่อไปนี้
 - 1.1 อินพุตเป็นสวิตช์กดติดปล่อยดับ 1 ตัว และสวิตช์เลื่อน 6 ตัว slide switch 5-0
 - 1.2 เอาท์พุตเป็น 7-segment common 3-0 และ buzzer 1 ตัว
2. วงจรมีการทำงานดังต่อไปนี้
 - 2.1 เมื่อกดสวิตช์กดติดปล่อยดับ
 - 2.1.1 แปลงค่าของสวิตช์เลื่อนจาก binary เป็น decimal แล้วแสดงบน 7-segment
 - 2.1.2 ถ้าค่าของสวิตช์เลื่อนมีค่า odd parity bit เป็น '1' จะแสดงค่านี้นบน common 1-0
ในรูปแบบตามข้อ 2.2
 - 2.1.3 ถ้าไม่ จะแสดงค่านี้นบน common 3-2 ในรูปแบบตามข้อ 2.2
 - 2.1.4 common ที่ไม่ได้แสดงค่า จะดับ
 - 2.1.5 แสดงค่าเป็นเลขสองหลัก หากมีหลักเดียวให้เติม 0 ด้านหน้า

2.2 รูปแบบการแสดงผลบน 7-segment

เริ่มต้นจาก 7-segment ดับทั้งหมด รอ 0.5 วินาที แล้วแสดงผลเลขหลักหน่วยก่อน จากนั้นจึงแสดงผลหลักสิบ โดยแสดงผลแต่ละ segment ทีละ segment จากซ้ายไปขวา บนลงล่าง (f-e-a-g-d-b-c) แล้วเว้นช่วงการแสดงผล 0.5 วินาที ถ้า segment นั้นไม่แสดงผล (segment ดับ) ให้ buzzer ดังเป็นเวลา 0.25 วินาที



(ตัวอย่างการแสดงผลเลข 6)

3. ให้ออกแบบวงจรที่ทำงานได้ตามข้อ 3 โดยใช้กระบวนการ Top-Down Design

โดยละเอียดและถูกต้องสมบูรณ์ และมีรายละเอียดการส่งงานดังนี้

3.1 ให้นักศึกษาพิมพ์ หรือวาด Top-Down Design มาส่งที่กล่องของกลุ่มเรียนของนักศึกษาในห้อง 504

โดยสามารถส่งนอกเวลาได้

3.2 TA จะทำการตรวจ ถ้าพบข้อผิดพลาดจะนำงานของนักศึกษา ใส่ลงในกล่องตีกลับที่ห้อง 504

ให้นักศึกษานำกลับไปแก้ไขแล้วส่งใหม่

3.3 ถ้า TA ตรวจแล้วไม่พบข้อผิดพลาด TA จะเซ็นตรวจการทดลองให้ แล้วจะส่งมอบ Top-Down Design

ของนักศึกษาให้อาจารย์เป็นผู้ตรวจ ถ้าพบข้อผิดพลาด จะตีกลับเช่นเดียวกับข้อ 3.2

3.4 ต้องผ่านการตรวจของอาจารย์ก่อนเท่านั้น จึงถือว่าผ่านการทดลองข้อ 3

3.5 อนุญาตให้ใช้โปรแกรมใด ๆ ก็ได้ในการวาด Top-Down Design ยกเว้น โปรแกรมสำเร็จรูปที่แปลง

Schematic หรือ HDL file เป็น Top-Down Design เช่น โปรแกรม Xilinx ISE

4. หลังจากผ่านการทดลองข้อ 3 แล้ว ให้สร้างวงจรด้วยวิธี Schematic ตามที่ออกแบบพร้อมอัปโหลดใส่บอร์ด FPGA แล้วส่งให้ TA เป็นผู้ตรวจ โดย TA จะตรวจวงจรหลังจากการกดปุ่มให้วงจรทำงานไปแล้ว 1 ครั้ง

5. คำแนะนำ

5.1 ควรออกแบบ Top-Down ก่อน

5.2 สามารถใช้ counter ในการแปลง binary เป็น BCD ได้

5.3 ควรแบ่งวงจรเป็นส่วน ๆ ทั้งในการออกแบบและการสร้างวงจร

ใบตรวจการทดลองที่ 10

วัน/เดือน/ปี _____ ☐ กลุ่มเช้า ☐ กลุ่มบ่าย ☐ กลุ่มเย็น

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

วันที่ _____ เวลา _____

ชื่อผู้ควบคุมการทดลอง _____ ลายเซ็น _____

ชื่ออาจารย์ประจำรายวิชา _____

การตรวจการทดลอง

การทดลองข้อ 3 ลายเซ็นผู้ควบคุมการทดลอง _____

การทดลองข้อ 3 ลายเซ็นอาจารย์ _____

การทดลองข้อ 4 ลายเซ็นผู้ควบคุมการทดลอง _____

คะแนนเป็น 100% ☐ คะแนนเป็น 50% ☐ คะแนนเป็น 0% ☐

หมายเหตุ

1. พบการลอกกัน คะแนนแลกเปลี่ยน 0%
2. พิมพ์ top-down design ด้วยกระดาษขนาด A4 เท่านั้น
3. ใช้ program แปลง schematic หรือ HDL เป็น Top-Down แบบสำเร็จรูป คะแนนแลกเปลี่ยน 0%
4. ให้พิมพ์ใบตรวจการทดลองนี้ในรูปแบบ สี
5. ให้ผู้ควบคุมการทดลองเซ็นใบตรวจการทดลองภายใน 30 นาทีแรกของคาบแลกเปลี่ยนกลุ่มเรียนตัวเองภายในวันที่ 25 กันยายน พ.ศ. 2566
6. เริ่มส่งการทดลองได้ตั้งแต่วันที่ 25 กันยายน พ.ศ. 2566
7. หากส่งการทดลองหลังวันที่ 9 ตุลาคม พ.ศ. 2566 จะถูกหักคะแนน 50%
8. ส่งตรวจการทดลองภายในวันที่ 16 ตุลาคม พ.ศ. 2566