

การทดลองที่ 7 Flip-Flop , Schmitt-Trigger , One Shot and Shift Register

วัตถุประสงค์

1. เพื่อให้นักศึกษาเข้าใจการทำงาน One Shot และ Schmitt-Trigger
2. เพื่อให้นักศึกษาเข้าใจการทำงานและสามารถสร้าง Truth Table จากวงจร Flip-Flop ทั้ง 4 แบบได้
3. เพื่อให้นักศึกษาเข้าใจการทำงานและสามารถสร้าง Truth Table จากวงจร Shift Register ทั้ง 4 แบบได้

หมายเหตุ กำหนดให้สวิตช์เลื่อนขึ้นเป็น 1 เลื่อนลงเป็น 0

บทนำ

Digital logic circuits สามารถแบ่งออกเป็น 2 ประเภท ได้แก่ Combination circuits และ Sequential circuits โดย Combination circuits คือวงจรที่สร้างขึ้นมาจากเกทชนิดพื้นฐานต่างๆ โดยการประยุกต์ใช้สมการ Boolean และค่าของระดับ logic output จะขึ้นอยู่กับค่าปัจจุบันของ input เท่านั้น เช่น วงจรบวกเลขฐานสอง ในขณะที่ Sequential circuits คือวงจรที่เก็บและใช้ข้อมูลสถานะก่อนหน้าเพื่อกำหนดสถานะ โดยขึ้นอยู่กับทั้ง input ปัจจุบันและสถานะก่อนหน้าที่จัดเก็บไว้ในองค์ประกอบหน่วยความจำหรือ Memory element

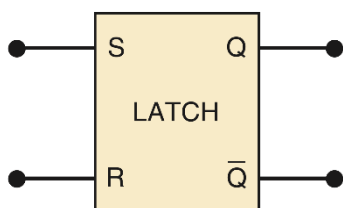
แลตช์ (Latch)

Latch ประเภท Bistable Multivibrator หมายถึง วงจรที่มี output ที่เป็นไปได้เพียงสองสถานะเท่านั้น คือสถานะ SET และ RESET ซึ่งสถานะ SET มี output Q มีค่าเป็น 1 และ \bar{Q} มีค่าเป็น 0 ส่วนสถานะ RESET มี output Q มีค่าเป็น 0 และ \bar{Q} มีค่าเป็น 1

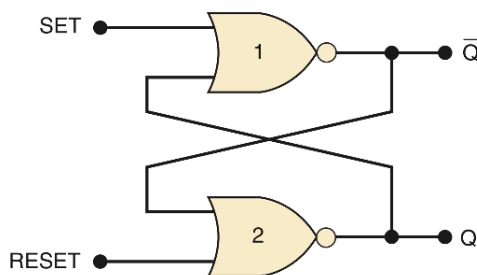
ตัวอย่าง วงจร Latch พื้นฐาน ได้แก่ S-R Latch มีลักษณะเป็น Latch ที่มีสอง input คือ R (รีเซต:Reset)

S (เซต:set) ซึ่งแบ่งออกได้เป็น 2 ชนิด

1. RS Latch ชนิด Active High โดยมี Block diagram ตามภาพที่ 1.1 และ ภาพที่ 1.2 เป็น Logic diagram ของ S-R ที่ทำจาก NOR gates ซึ่งมีค่า output ตามขา R และ S ตาม Truth Table ของตารางที่ 1



ภาพที่ 1.1 Block diagram
S-R Latch ชนิด Active High

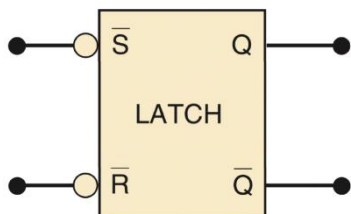


ภาพที่ 1.2 Logic diagram
S-R Latch ทำจาก NOR gates

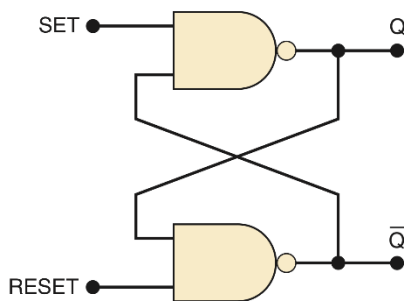
Input		Output
Set	Reset	Q
0	0	No change
0	1	Q = 0 (Reset)
1	0	Q = 1 (Set)
1	1	Not Allowed

ตารางที่ 1 Truth Table ของ NOR gates

2. RS Latch ชนิด Active Low โดยมี Block diagram ตามภาพที่ 2.1 และ ภาพที่ 2.2 เป็น Logic diagram ของ S-R ที่ทำจาก NAND gates ซึ่งมีค่า output ตามขา R และ S ตาม Truth Table ของตารางที่ 2



ภาพที่ 2.1 Block diagram
S-R Latch ชนิด Active Low



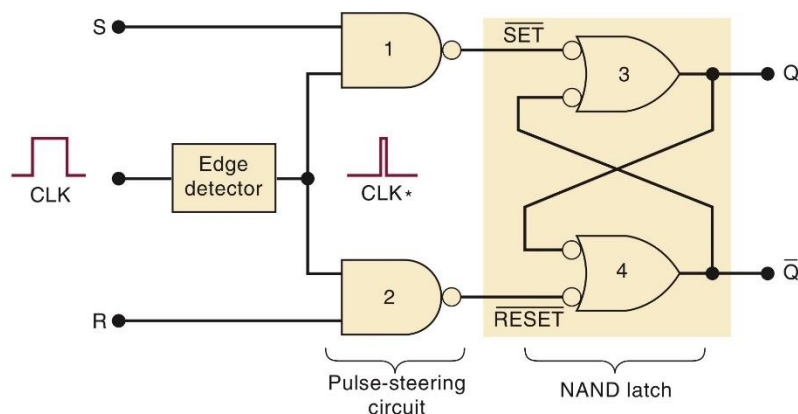
ภาพที่ 2.2 Logic diagram
S-R Latch ทำจาก NAND gates

Input		Output
Set	Reset	Q
0	0	Not Allowed
0	1	Q = 1 (Set)
1	0	Q = 0 (Reset)
1	1	No change

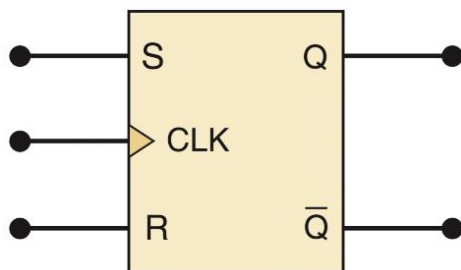
ตารางที่ 2 Truth Table ของ NAND gates

Flip-Flop เป็นการเปลี่ยนแปลง output ที่ชอบของสัญญาณ input ที่เรียกว่า Clock Signals (สัญญาณนาฬิกา) ซึ่งอาจจะทำงานที่ขอบขาขึ้นและขอบขาลงของ Clock Signals ก็ได้ โดยนักศึกษาสามารถสังเกตที่สัญลักษณ์ หากมีวงกลม หรือ bubble ที่ขา Clock Signals แสดงว่า Flip-Flop ตัวนั้นทำงานที่ขอบขาลง และถ้าสัญลักษณ์ของ Clock Signals ไม่มีวงกลม หรือ bubble แสดงว่า Flip-Flop ตัวนั้นทำงานที่ขอบขาขึ้นของ Clock Signals

ฟลิปฟล็อปแบบ S-R (S-R Flip-Flop)



ภาพที่ 3.1 Logic diagram S-R Flip-Flop



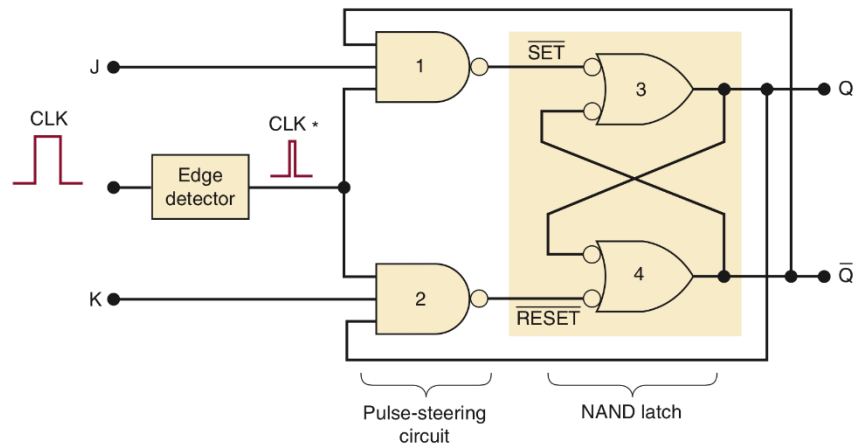
ภาพที่ 3.2 Block diagram
S-R Flip-Flop ชนิด Active High

Input				Output
Set	Reset	CLK		Q
0	0	↑		No change
0	1	↑		Q = 0 (Reset)
1	0	↑		Q = 1 (Set)
1	1	↑		Not Allowed

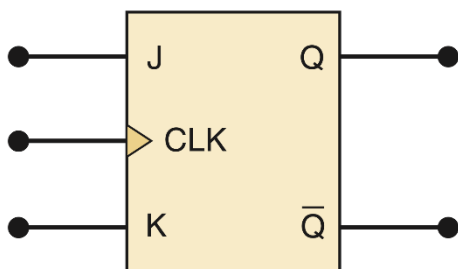
ตารางที่ 3 Truth Table ของ S-R Flip-Flop

ฟลิปฟล็อปแบบ J-K (J-K Flip-Flop)

J-K Flip-Flop ถูกพัฒนาขึ้นจาก S-R Flip-Flop โดยมีการแก้ไขในกรณีที่ S และ R เป็น Logic 1 ทั้งคู่ซึ่งเป็นเงื่อนไขที่ห้ามใช้ของ S-R Flip-Flop ซึ่งใน J-K Flip-Flop จะให้ผล Logic เป็นการกลับ Output เป็นตรงข้าม ซึ่งเราเรียกว่า ท็อกเกิล (Toggle)



ภาพที่ 4.1 Logic diagram J-K Flip-Flop



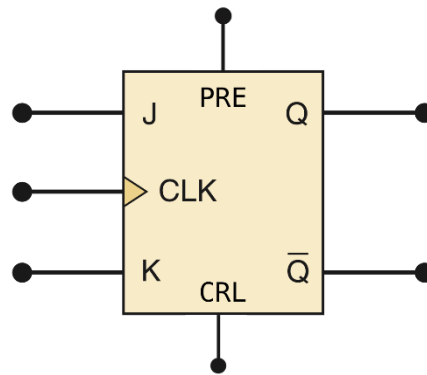
ภาพที่ 4.2 Block diagram
J-K Flip-Flop ชนิด Active High

Input			Output
J	K	CLK	Q
0	0	↑	No change
0	1	↑	Q = 0 (Reset)
1	0	↑	Q = 1 (Set)
1	1	↑	Toggle

ตารางที่ 4.1 Truth Table ของ J-K Flip-Flop

ฟลิปฟล็อปแบบ J-K (J-K Flip-Flop) ที่มีขา Preset และ Clear

ขา **Preset** คือขา Input แบบ Asynchronous ที่มีหน้าที่ในการ Set output ของ Flip-Flop ให้อยู่ ภาวะเซต (Set) แบบทันทีโดยไม่ต้องรอการป้อน Clock Signals ขา **Clear** จะมีหน้าที่ Reset Output ของ Flip-Flop แบบทันทีโดยไม่ต้องรอ Clock Signals โดยขา Preset และ Clear มีทั้ง Active High และ Active Low



ภาพที่ 4.3 Block diagram

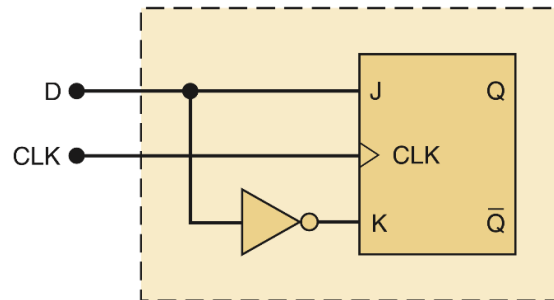
J-K Flip-Flop ชนิด Active High

Input			โหมดการทำงาน
PRE	CRL		
0	0		ไม่มีการใช้งานในกรณีนี้
0	1		Q = 0 (Reset โดยไม่สนใจ Clock Signals)
1	0		Q = 1 (Set โดยไม่สนใจ Clock Signals)
1	1		ทำงานตามโหมด Clock Signals ตามปกติ

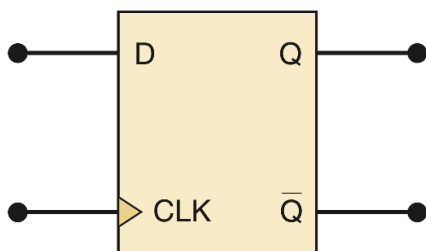
ตารางที่ 4.2 Truth Table ของ J-K Flip-Flop

ฟลิปฟล็อปแบบ D (D Flip-Flop)

D Flip-Flop คือเมื่อมีสัญญาณ clock มาที่ขา CLK ของ D Flip-Flop แล้วสถานะของข้อมูลที่อยู่ขา D (Data input) จะถูกเก็บไว้ที่ขา Q (Output) และข้อมูลจะคงอยู่จนกว่าจะมีการเปลี่ยนแปลง



ภาพที่ 5.1 Logic diagram D Flip-Flop ที่
สร้างจาก J-K Flip-Flop



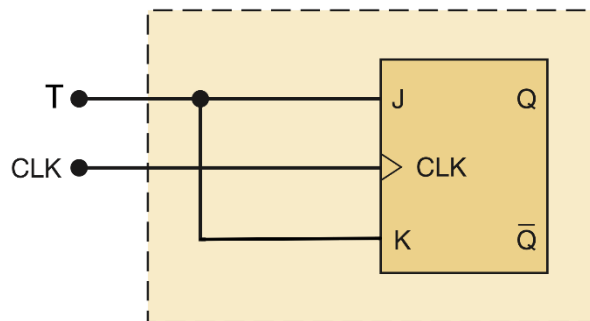
ภาพที่ 5.2 Logic diagram
D Flip-Flop ชนิด Active High

Input			Output
D	CLK		Q
0	↑		Q = 0 (Reset)
1	↑		Q = 1 (Set)

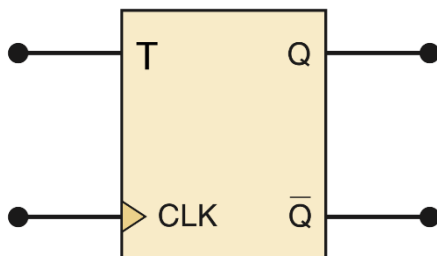
ตารางที่ 5 Truth Table ของ D Flip-Flop

ฟลิปฟล็อปแบบ T (T Flip-Flop)

T Flip-Flop ย่อมาจาก Toggle ที่สร้างจาก J-K Flip-Flop โดยใช้คุณสมบัติ Toggle ที่เกิดขึ้นใน J-K Flip-Flop เท่านั้น โดย T Flip-Flop จะมี input เพียงขาเดียว เมื่อถูกควบคุมด้วย Clock Signals จะทำการ Toggle output ในกรณีที่ Input มี Logic เป็น 1 และมี Clock Signals เข้ามากระตุ้นที่ขา CLK แต่ในกรณีที่ Input เป็น Logic 0 ถึงแม้จะมี Clock Signals เข้ามากระตุ้น ค่า Output ก็ยังมีค่าไม่เปลี่ยนแปลง



ภาพที่ 6.1 Logic diagram T Flip-Flop ที่
สร้างจาก J-K Flip-Flop



ภาพที่ 6.2 Logic diagram
T Flip-Flop ชนิด Active High

Input			Output
T	CLK		Q
0	x		No change
1	↑		Toggle

ตารางที่ 6 Truth Table ของ T Flip-Flop

หมายเหตุ X เป็นค่าที่สามารถแทนอะไรก็ได้ เช่น ขอบขาขึ้น หรือ ขอบขาลง ในกรณีที่อยู่ที่ช่อง CLK

การทดลอง เรื่อง Flip-Flop

1. ให้นักศึกษาเติมคำตอบ (Q , \bar{Q} และ State) ของ Output หลังจากผ่าน Flip-Flop แต่ละตัว โดยใช้ค่า Input จากตาราง Truth Table ที่โจทย์กำหนดให้ โดยกำหนด State ที่สามารถใช้ได้ (No change, Set, Reset, Toggle, Not Allowed ถ้ามี State ที่เกี่ยวข้องกับขา Preset และขา Clear ให้ใส่ Set(Preset), Reset(Clear) หรือถ้า Flip-Flop ไม่มีการทำงานให้ใส่ - ทั้งสามช่องเท่านั้น) และ Output มีความต่อเนื่องกัน

1.1 S-R Flip-Flop

Input			Output		
Set	Reset	CLK	Q	\bar{Q}	State
1	0	↑			
1	1	↑			
0	1	↑			
0	0	↑			
0	1	↑			
1	0	↑			
1	0	↑			
0	0	↑			
1	1	↑			
0	1	↑			

1.2 J-K Flip-Flop แบบมี Clear

Input					Output		
Clear	J	K	CLK		Q	\bar{Q}	State
1	0	0	↑				
1	0	1	↑				
0	1	0	↑				
1	1	0	↑				
0	0	1	↑				
1	1	0	-				
1	1	1	↑				
0	0	1	↑				
0	1	0	-				
0	1	0	↑				
1	0	0	↑				
0	1	1	↑				
0	1	1	↑				
1	1	0	-				
0	0	1	↑				

1.3 J-K Flip-Flop แบบมีขา Preset

Input					Output		
Preset	J	K	CLK		Q	\bar{Q}	State
1	1	0	↑				
0	1	0	↑				
0	0	1	↑				
0	1	0	↑				
1	1	1	-				
1	1	1	↑				
0	0	0	↑				
0	0	1	↑				
1	0	1	-				
0	1	0	↑				
0	0	1	-				
1	0	1	↑				
0	1	0	↑				
0	1	0	↑				
1	1	1	↑				

1.4 D Flip-Flop

Input			Output		
D	CLK		Q	\bar{Q}	State
0	↑				
1	↑				
0	↑				
1	-				
1	↑				
0	↑				
0	-				
1	↑				

1.5 T Flip-Flop

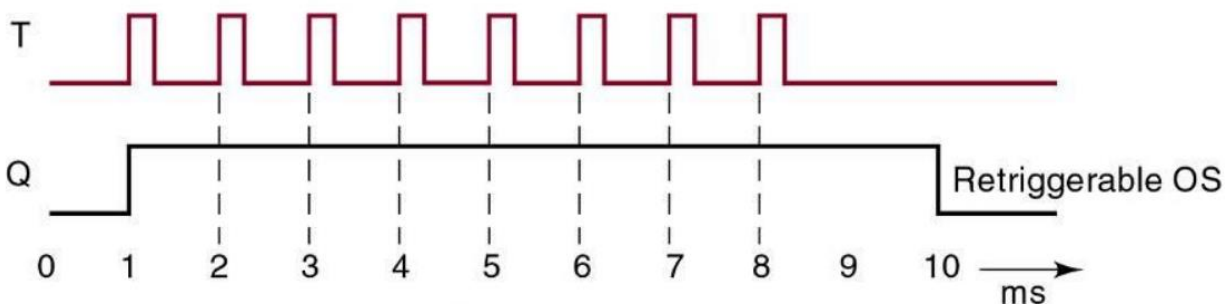
Input			Output		
T	CLK		Q	\bar{Q}	State
0	↑				
1	↑				
1	-				
0	↑				
0	↑				
0	-				
1	↑				
1	↑				

วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์ (Monostable Multivibrator)

วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์ (Monostable Multivibrator) หรือเรียกอีกอย่างหนึ่งว่า "วงจรวันช็อต" (One shot Circuit) เป็นวงจรที่กำเนิดสัญญาณพัลส์โดยต้องมีการกระตุ้นจากสัญญาณอินพุต กล่าวคือ ถ้ามีสัญญาณอินพุตมากระตุ้นจะทำให้มีการเปลี่ยนแปลงระดับสัญญาณทางเอาต์พุต เป็นระยะเวลาตามที่สามารถออกแบบได้ แล้วกลับคืนสู่สภาวะเดิม

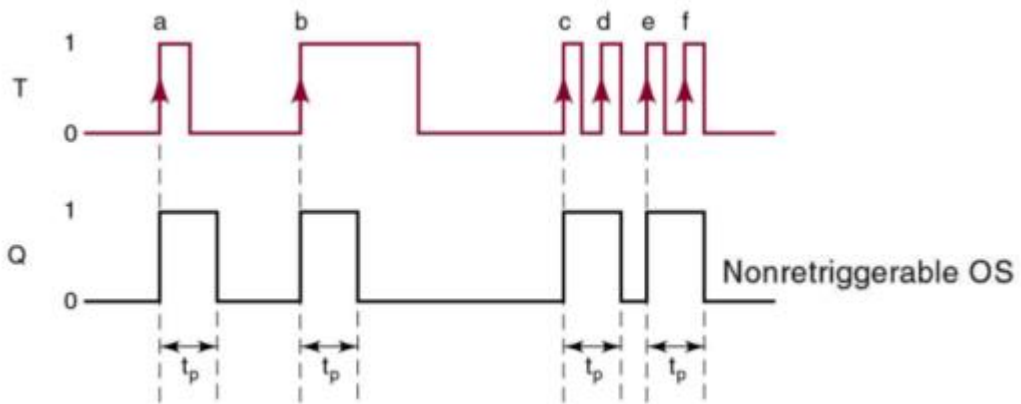
วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์ แบ่งตามสัญญาณการกระตุ้นทางอินพุตได้ 2 ชนิด คือ

1. วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์แบบกระตุ้นซ้ำได้ (Retriggerable Monostable Multivibrator) เป็นวงจรที่เริ่มทำงานโดยเมื่อมีการกระตุ้นที่อินพุตแล้วทางเอาต์พุตจะเปลี่ยนสภาวะจาก 0 ไปเป็น 1 ในระยะเวลาที่วงจรจะทำได้ในขณะนี้เองถ้าวงจรได้รับสัญญาณการกระตุ้นทางอินพุตอีกครั้งโดยที่สัญญาณเอาต์พุตยังไม่เปลี่ยนเป็นลอจิก 0 วงจรจะเริ่มนับการเกิดสัญญาณลอจิก 1 ทางเอาต์พุตในการกระตุ้นครั้งที่สองนี้ใหม่

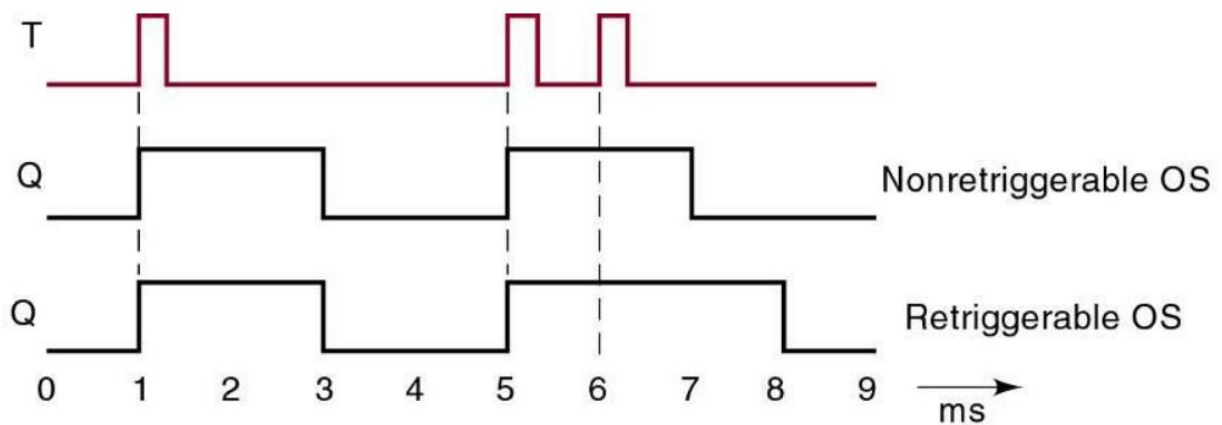


ภาพที่ 8.1 Diagram เวลาการทำงานของวงจร Retriggerable Monostable Multivibrator

2. วงจรโมโนสเตเบิลมัลติไวเบเรเตอร์แบบกระตุ้นซ้ำไม่ได้ (Non Retriggerable Monostable Multivibrator) เป็นวงจรที่เริ่มทำงานโดยเมื่อมีการกระตุ้นที่อินพุตแล้ว ทางเอาต์พุตจะเปลี่ยนสภาวะจาก 0 เป็นลอจิก 1 ในระหว่างนี้ถ้ามีการกระตุ้นทางอินพุตอีกจะไม่มีผลต่อสัญญาณทางเอาต์พุต จนกว่าเอาต์พุตหมดเวลาการคงสภาพของสัญญาณลอจิก 1 แล้วเปลี่ยนจากสัญญาณลอจิก 1 เป็นลอจิก 0 จึงจะรับการกระตุ้นทางอินพุตอีกครั้ง



ภาพที่ 8.2 Diagram เวลาการทำงานของวงจร Non Retriggerable Monostable Multivibrator

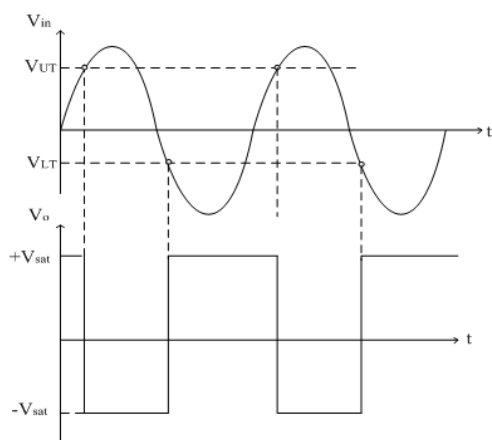


ภาพที่ 8.3 Diagram เปรียบเทียบเวลาการทำงานของวงจร Non Retriggerable Monostable Multivibrator
กับวงจร Retriggerable Monostable Multivibrator

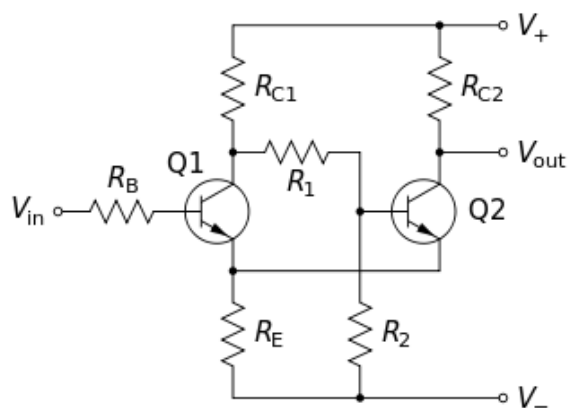
ขมิตทริกเกอร์ (Schmitt-Trigger)

Schmitt-Trigger เป็นวงจรที่ใช้ในการสร้างสัญญาณรูปสี่เหลี่ยมจากสัญญาณรูปใด ๆ ไม่ว่าจะเป็นไซน์, สามเหลี่ยม หรือกระแสปั่นเลื่อย (sawtooth) แม้กระทั่งรูปสัญญาณสี่เหลี่ยมเองที่เกิดความผิดเพี้ยนหรือถูกรบกวน เมื่อผ่านวงจรนี้แล้ว จะได้เป็นสัญญาณสี่เหลี่ยมที่สมบูรณ์ชัดเจน

จุดสำคัญของ Schmitt-Trigger คือ จุดที่ใช้พิจารณาว่าจะเกิดเป็นสัญญาณซิกบวกละซิกลบ ซึ่งเรียกว่า Upper Trigger Point (UTP) และ Lower Trigger Point (LTP) ซึ่งค่าของแรงดันทั้งสองจุดจะไม่เท่ากัน โดย UTP จะต้องมากกว่า LTP เสมอ



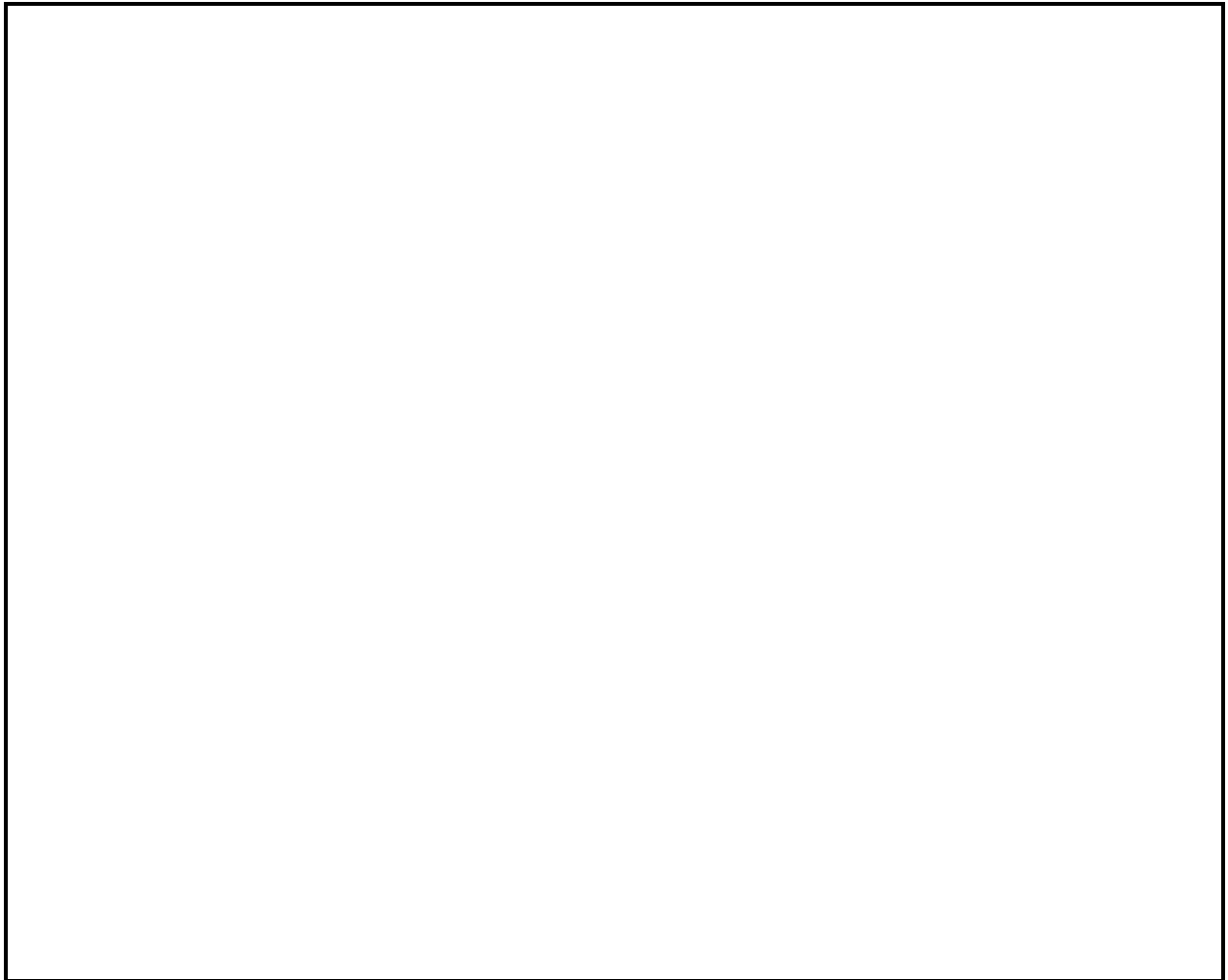
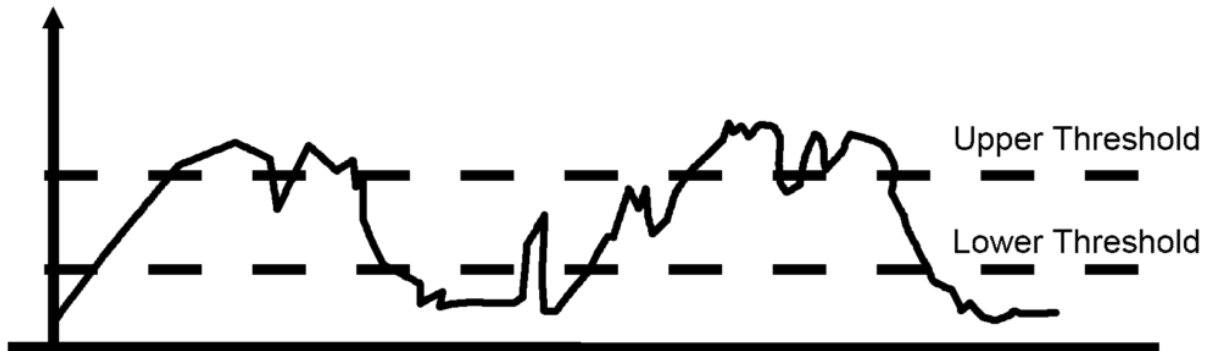
ภาพที่ 7.1 ความสัมพันธ์ของจุด UTP และ LTP ในการทำให้สัญญาณเอาต์พุตกลายเป็นสัญญาณสี่เหลี่ยม



ภาพที่ 7.2 วงจร Schmitt-Trigger (ใช้ทรานซิสเตอร์เป็นอุปกรณ์หลัก)

การทดลอง เรื่อง Schmitt-Trigger

2. ให้นักศึกษาวาดรูปสัญญาณที่กำหนดให้ เมื่อผ่าน **Schmitt-trigger inverter** ในช่องที่กำหนด

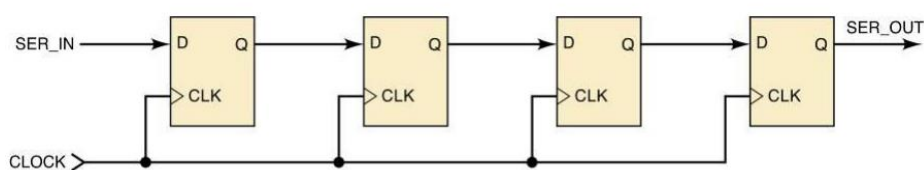


Shift Register

คือวงจรหรืออุปกรณ์ที่ใช้ในการเก็บข้อมูลแบบบิต (bit) โดยจะสามารถเลื่อนข้อมูลจากตำแหน่งหนึ่งไปยังตำแหน่งถัดไปได้เรื่อยๆ ตามการเข้าสัญญาณควบคุม (clock signal) ที่กำหนด. อุปกรณ์นี้มักถูกนำมาใช้ในการประมวลผลข้อมูลในรูปแบบที่ต้องการการเคลื่อนไหวของข้อมูลต่อเนื่อง เช่น ในการเขียนหน่วยความจำ, การส่งข้อมูลผ่านสายสัญญาณในการสื่อสาร, หรือในการควบคุมอุปกรณ์ต่างๆ

Serial-In, Serial-Out (SISO) : ใช้ในการเลื่อนข้อมูลเข้าไปที่ตำแหน่งเริ่มต้นของ Shift Register และเลื่อนข้อมูลไปที่ตำแหน่งถัดไปเมื่อมีสัญญาณควบคุม มักใช้ในการรับข้อมูลแบบบิตเดียวต่อเนื่องจากแหล่งข้อมูลภายนอก เช่น การรับข้อมูลจากเซ็นเซอร์.

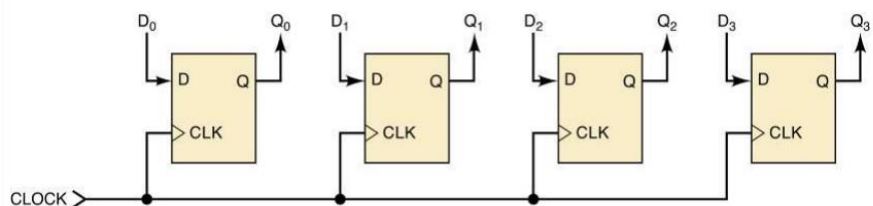
Serial in/serial out (SISO)



ภาพที่ 7.1 Logic diagram ของ SISO

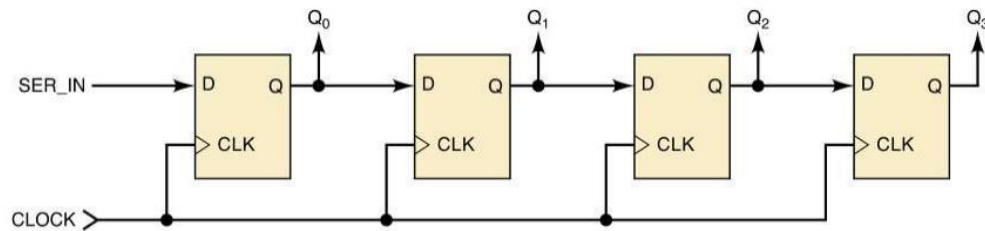
Parallel-In, Parallel-Out (PIPO) : สามารถรับและเลื่อนข้อมูลพร้อมกันหลายบิตและส่งข้อมูลออกมาเป็นกลุ่มของบิตเดียวกัน ใช้ในการควบคุมหรือการทำงานที่ต้องการความเร็วสูง.

Parallel in/parallel out (PIPO)



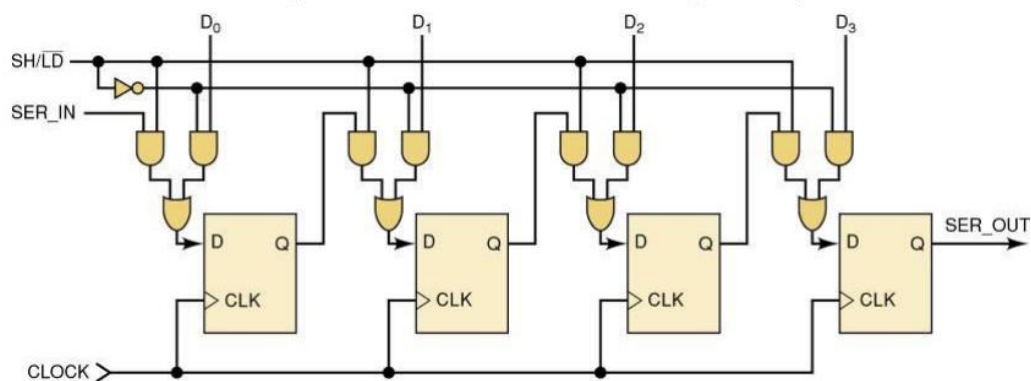
ภาพที่ 7.2 Logic diagram ของ PIPO

Serial-In, Parallel-Out (SIPO) : เหมือนกับ SISO แต่สามารถเข้ารหัสข้อมูลที่ได้รับเข้ามาในรูปแบบของคำตอบแบบพาราเลล สามารถนำไปใช้ในการควบคุมอุปกรณ์หรือการแสดงผล.



ภาพที่ 7.3 Logic diagram ของ SIPO

Parallel-In, Serial-Out (PISO) : ใช้ในการรับข้อมูลพร้อมกันหลายบิตและเลื่อนออกมาเป็นบิตเดียว เหมาะสำหรับการส่งข้อมูลตัวเลขหรือสัญญาณอื่น ๆ ที่แยกเป็นส่วนย่อย.



ภาพที่ 7.4 Logic diagram ของ PISO

การทดลอง เรื่อง Shift Register

3.1 สร้าง วงจร SISO ขนาด 4 บิต โดยใช้ Slide Switch 0 เป็น input ใช้ Led 0 เป็น Output

โดยต่อ Clock เข้ากับสวิตช์กดติดปล่อยดับ 1 ตัวบนบอร์ด FPGA กำหนดค่า INPUT ให้ Slide

Switch 0 เป็น 0,1 แล้วทดสอบการทำงานบนบอร์ด FPGA

Input	Output				
กำหนดค่า	ยังไม่กด	1	2	3	4
0					
1					

3.2 สร้าง วงจร PIPO ขนาด 4 บิต โดยใช้ Slide Switch 3-0 เป็น input ใช้ 7-segment เป็น Output

โดยต่อ Clock เข้ากับสวิตช์กดติดปล่อยดับ 1 ตัวบนบอร์ด FPGA กำหนดค่า INPUT ให้ Slide Switch 3-0 เป็น 1010,1110 ตามลำดับ แล้วทดสอบการทำงานบนบอร์ด FPGA

Input	Output	
กำหนดค่า	ยังไม่กด	เมื่อกดสวิตช์
1010		
1110		

3.3 สร้าง วงจร SIPO ขนาด 4 บิต โดยใช้ Slide Switch 0 เป็น input ใช้ 7-segment เป็น Output

โดยต่อ Clock เข้ากับสวิตช์กดติดปล่อยดับ 1 ตัวบนบอร์ด FPGA กำหนดค่า INPUT ให้ Slide

Switch 0 เป็น 0,1 แล้วทดสอบการทำงานบนบอร์ด FPGA

Input	Output				
กำหนดค่า	ยังไม่กด	1	2	3	4
0					
1					

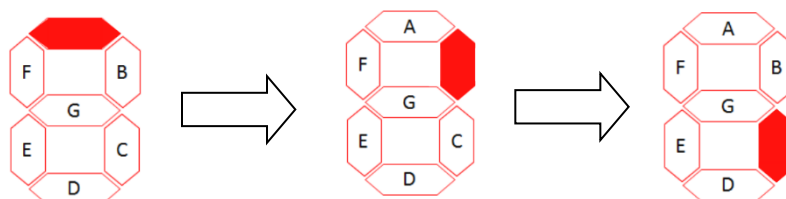
3.4 สร้าง วงจร PISO ขนาด 4 บิต โดยใช้ Slide Switch 3-0 เป็น input ใช้ Led 0 เป็น Output

โดยต่อ ขา Clock เข้ากับสวิตช์กดติดปล่อยดับ 1 ตัวบนบอร์ด FPGA กำหนดค่า INPUT ให้ Slide

Switch 3-0 เป็น 0101 ตามลำดับและเป็น Shift Mode แล้วทดสอบการทำงานบนบอร์ด FPGA

Input	Output				
กำหนดค่า	ยังไม่กด	1	2	3	4
0101					

3.5 ให้นักศึกษาออกแบบวงจรไฟวิ่งวน ตามเข็มนาฬิกา **A-B-C-D-E-F ตามลำดับ** โดยใช้ 7 Segment ที่ Common 0 เป็นที่แสดงผล โดยต่อขา Clock เข้ากับสวิตช์กดติดปล่อยดับ 1 ตัวบนบอร์ด FPGA



ใบตรวจการทดลองที่ 7

วัน/เดือน/ปี _____ ☐ กลุ่มเช้า ☐ กลุ่มบ่าย ☐ กลุ่มเย็น กลุ่มที่ _____

รหัสนักศึกษา _____ ชื่อ-นามสกุล _____

วันที่ _____ เวลา _____

ลายเซ็น _____

การตรวจการทดลอง

การทดลองข้อ 1 และ 2 ตรวจเอกสาร ลายเซ็นผู้ควบคุมการทดลอง _____

การทดลองข้อ 3.5 ลายเซ็นผู้ควบคุมการทดลอง _____

คะแนนเป็น 70% ☐

คะแนนเป็น 80% ☐

คะแนนเป็น 90% ☐

คะแนนเป็น 100% ☐

หมายเหตุ

1. ไม่รับใบตรวจการทดลองที่มีร่องรอยการแก้ไข ขูด ลบ ชีด ข่วน เปลี่ยนแปลงทุกชนิด
2. ให้พิมพ์ใบตรวจการทดลองนี้ในรูปแบบ สี
3. หากออกจากห้อง *หลังจากหมดเวลา* ตั้งแต่ 5 นาทีขึ้นไป *จะถูกหักคะแนน 20 %*
4. ให้อาจารย์หรือผู้คุมการทดลองเซ็นใบตรวจการทดลองภายใน 40 นาทีแรกของการทำแลป เกินเวลาไม่รับเซ็น
5. ถ้าโต๊ะไม่เรียบร้อยหลังใช้งาน (ถอดปลั๊กไฟ + ไม่มีขยะบนโต๊ะ) *จะถูกหักคะแนน 10 %*