01076113 DIGITAL SYSTEM FUNDAMENTALS IN PRACTICE 2566/1

ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การทดลองที่ 11 การออกแบบวงจรดิจิตอลด้วยวิธี Schematic โดยกระบวนการ Top-Down Design วัตถุประสงค์

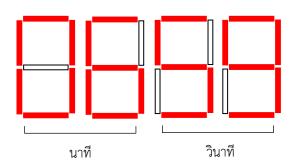
- 1. เพื่อให้นักศึกษาสามารถออกแบบ Top-Down Design ได้อย่างถูกต้อง
- 2. เพื่อให้นักศึกษาสามารถออกแบบวงจรดิจิตอล จาก Top-Down Design ได้

การทดลอง

- 1. ให้นักศึกษาสร้างวงจรโดยมีการทำงานของอินพุต เอาท์พุต และสถานะเริ่มต้นดังต่อไปนี้
 - 1.1 อินพุตเป็นสวิตช์กดติดปล่อยดับ 4 ตัว
 - 1.2 เอาต์พุตเป็น 7-segment common 3-0 และ buzzer 1 ตัว
- 2. วงจรมีการทำงานดังต่อไปนี้
 - 2.1 เมื่อกดสวิตช์กดติดปล่อยดับตัวที่หนึ่ง
 - 2.1.1 ทำให้เวลาเพิ่มขึ้น 1 นาที
 - 2.1.2 ถ้ากำลังนับเวลาถอยหลังอยู่จะไม่สามารถเพิ่มเวลาได้
 - 2.2 เมื่อกดสวิตช์กดติดปล่อยดับตัวที่สอง เวลาจะเริ่มเดินถอยหลัง และกดอีกหนึ่งครั้ง เพื่อหยุดเวลา ชั่วคราว (กดอีกครั้งเพื่อนับต่อ สลับกันไปเรื่อย ๆ)
 - 2.3 เมื่อกดสวิตช์กดติดปล่อยดับตัวที่สาม จะรีเซ็ตเวลาที่ตั้งไว้ให้เป็น 00:00 เมื่อไม่ได้นับถอยหลัง
 - 2.4 เมื่อเวลาเป็น 00:00 buzzer จะดัง

2.5 รูปแบบการแสดงผลบน 7-segment

แสดงค่าเป็นเลขสองหลักทั้งนาทีและวินาที หากมีหลักเดียวให้เติม 0 ด้านหน้า



(ตัวอย่างการแสดงผลนาฬิกา 06:59)

- 3. ให้ออกแบบวงจรที่ทำงานได้ตามข้อ 3 โดยใช้กระบวนการ Top-Down Design โดยละเอียดและถูกต้องสมบูรณ์ และมีรายละเอียดการส่งงานดังนี้
 - 3.1 ให้นักศึกษาพิมพ์ หรือวาด Top-Down Design มาส่งที่กล่องของกลุ่มเรียนของนักศึกษาในห้อง 504 โดยสามารถส่งนอกเวลาได้
 - 3.2 TA จะทำการตรวจ ถ้าพบข้อผิดพลาดจะนำงานของนักศึกษา ใส่ลงในกล่องตีกลับที่ห้อง 504 ให้ นักศึกษานำกลับไปแก้ไขแล้วส่งใหม่
 - 3.3 ถ้า TA ตรวจแล้วไม่พบข้อผิดพลาด TA จะเซ็นตรวจการทดลองให้ แล้วจะส่งมอบ Top-Down
 Design ของนักศึกษาให้อาจารย์เป็นผู้ตรวจ ถ้าพบข้อผิดพลาด จะตีกลับเช่นเดียวกับข้อ 3.2
 - 3.4 ต้องผ่านการตรวจของอาจารย์ก่อนเท่านั้น จึงถือว่าผ่านการทดลองข้อ 3
 - 3.5 อนุญาตให้ใช้โปรแกรมใด ๆ ก็ได้ในการวาด Top-Down Design ยกเว้น โปรแกรมสำเร็จรูปที่แปลง Schematic หรือ HDL file เป็น Top-Down Design เช่น โปรแกรม Xilinx ISE

- 4. หลังจากผ่านการทดลองข้อ 3 แล้ว ให้สร้างวงจรด้วยวิธี Schematic ตามที่ออกแบบพร้อมอัพโหลดใส่บอร์ด FPGA แล้วส่งให้ TA เป็นผู้ตรวจ โดย TA จะตรวจวงจรหลังจากการกดปุ่มให้วงจรทำงานไปแล้ว 1 ครั้ง
- 5. คำแนะนำ
 - 5.1 ควรออกแบบ Top-Down ก่อน
 - 5.2 ควรแบ่งวงจรเป็นส่วน ๆ ทั้งในการออกแบบและการสร้างวงจร

ใบตรวจการทดลองที่ 11

วัน/เดือน/ปี	กลุ่มเช้า 🔲 กลุ่มบ่าย 🔲 กลุ่มเย็น
รหัสนักศึกษา	ชื่อ-นามสกุล
วันที่	
ชื่อผู้ควบคุมการทดลอง	ลายเซ็น
ชื่ออาจารย์ประจำรายวิชา	
การตรวจการทดลอง	
การทดลองข้อ 3 ลายเซ็นผู้ควบคุมการทดลอง	
การทดลองข้อ 3 ลายเซ็นอาจารย์	
การทดลองข้อ 4 ลายเซ็นผู้ควบคุมการทดลอง	
คะแนนเป็น 100% 🔲 คะแนนเป็น 50% 🔲 คะแนนเป็น 0% 🔲	

<u>หมายเหตุ</u>

- 1. พบการลอกกัน คะแนนแลปเป็น 0%
- 2. พิมพ์ top-down design ด้วยกระดาษขนาด A4 เท่านั้น
- 3. ใช้ program แปลง schematic หรือ HDL เป็น Top-Down แบบสำเร็จรูป คะแนนแลปเป็น 0%
- 4. ให้พิมพ์ใบตรวจการทดลองนี้ในรูปแบบ สี
- 5. ให้ผู้ควบคุมการทดลองเซ็นใบตรวจการทดลองภายใน 30 นาทีแรกของคาบแลปกลุ่มเรียนตัวเองภายในวันที่ 25 กันยายน พ.ศ. 2566
- 6. เริ่มส่งการทดลองได้ตั้งแต่วันที่ 25 กันยายน พ.ศ. 2566
- 7. หากส่งการทดลองหลังวันที่ 9 ตุลาคม พ.ศ. 2566 จะถูกหักคะแนน 50%
- 8. ส่งตรวจการทดลองภายในวันที่ 16 ตุลาคม พ.ศ. 2566