浙江财经大学东方学院实验报告

学生姓名：  **李鹏雷**  学号： 2120400146 专业班级： 21计算机2班

实验类型：☑验证□综合□设计□创新 实验日期：2023.5.4 实验成绩：

**实验一、 全加器 实验**

1. **实验目的：**

1） 熟悉多思计算机组成原理网络虚拟实验系统的使用方法。

2） 掌握全加器的逻辑结构和电路实现方法。

1. **实验原理：**

1 位二进制加法器有三个输入量：两个二进制数字 Ai、Bi 和一个低位的进位信号 Ci，

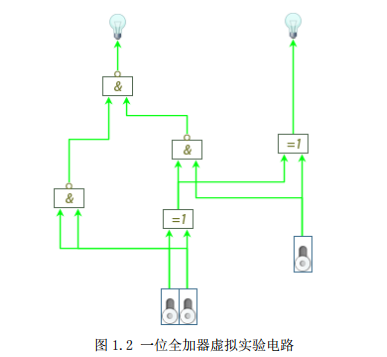
这三个值相加产生一个和输出 Si 以及一个向高位的进位输出 Ci+1，这种加法单元称为全加器，其逻辑方程如下：

Si=Ai⊕Bi⊕Ci (1.1)

C（i+1）= AiBi+BiCi+CiAi

1. **实验内容和步骤：**

1. 运行虚拟实验系统，从左边的实验设备列表选取所需组件拖到工作区中，按照图 1.1 所示搭建实验电路，得到如图 1.2 所示的实验电路。



2. 打开电源开关，按表 1-1 中的输入信号设置数据开关，根据显示在指示灯上的运算结果

填写表 1-1 中的输出值。

表 1-1 一位全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **输入** | | | **输出** | |
| Ai | Bi | Ci | Si | C i+1 |
| 0 | 0 | 0 |  |  |
| 0 | 0 | 1 |  |  |
| 0 | 1 | 0 |  |  |
| 0 | 1 | 1 |  |  |
| 1 | 0 | 0 |  |  |
| 1 | 0 | 1 |  |  |
| 1 | 1 | 0 |  |  |
| 1 | 1 | 1 |  |  |

3. 关闭电源开关，增加元器件，实现一个 2 位串行进位并行加法器。用此加法器进行运

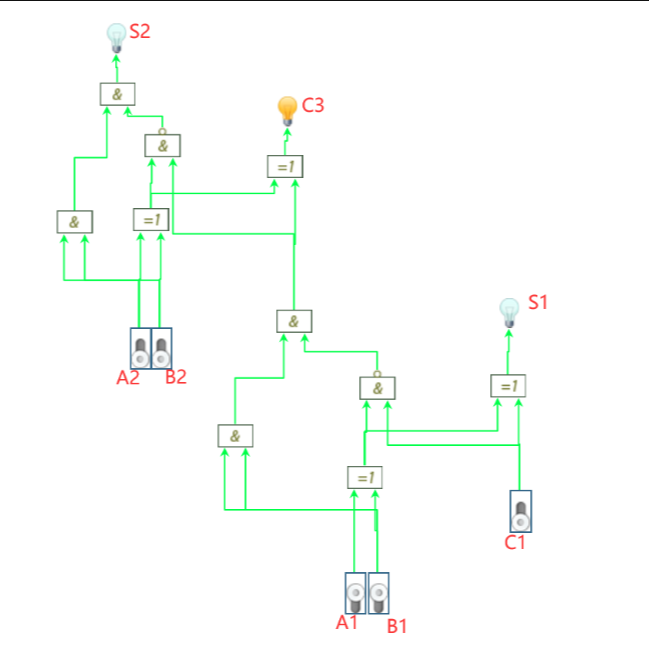
算，根据运算结果填写好表 1-2。



1. **实验结果及分析**

表 1-1 一位全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **输入** | | | **输出** | |
| Ai | Bi | Ci | Si | C i+1 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |





1. **实验总结：**

这个实验主要考察了我们的电路设计和调试能力，通过一个简单加法器的形式，目的是为了让我们掌握电路设计和分析的方法和能力。为了对电路设计过程中遇到的问题作出一个较好地解决和解释，必须要对系统或者设计有着很清楚的认识。

1. **思考题：**

1. 串行进位并行加法器的主要缺点是什么？有改进的方法吗？

答：高位的运算必须等到低位的进位产生才能进行，因此运算速度较慢。改进方法：为了提高运算速度，可采用超前进位的方式，即每一位的进位根据各位的输入同时预先形成，而与低位的进位无关。

2. 能使用全加器构造出补码加法/减法器吗？

答：可以。因为当前计算机中加法和减法都是通过加法器来实现的。数值一律用补码来存储可以将符号位和其他位一起处理，便于加法和减法运算