

**DIGITAL SYSTEM DESIGN APPLICATION**

**EHB436E CRN: 11280**

**Salih Ömer Ongün**

**040220780**

**Experiment 7**

**Encoding Methods**

In Binary encoding, numbers are coded in ascending binary order. Therefore, it is simply for understanding. It uses more than one flip flop simultaneously so that it use less flip-flop for all coding. It is durable against to noise and it have advantages in terms of memory usage.

|  |  |
| --- | --- |
| **State** | **Binary Encoding** |
| State A | 000 |
| State B | 001 |
| State C | 010 |

In Gray coding, bit changes occur during state transitions. It is used in Karnaugh maps. It has 00,01,11,10 encoding in Karnaugh maps. It has different advantages. It changes one bit. Therefore, it has less power consumption. Gary encoding uses protection for asynchronous outputs from glitches. It is another advantage of Gray encoding.

|  |  |
| --- | --- |
| **State** | **Gray Encoding** |
| State A | 000 |
| State B | 001 |
| State C | 011 |

In One-Hot encoding, states have one logic 1 bit. Other bits are logic 0. Logic 1 bit is shifted left during state transition. One-hot encoding makes these combinational circuits simpler, which reduces propagation delay, which in turn makes the FSM compatible with higher clock frequencies. One-hot encoding increases the number of FFs and it increase memory usage.***[1]***

|  |  |
| --- | --- |
| **State** | **One- Hot Encoding** |
| State A | 001 |
| State B | 010 |
| State C | 100 |

**CONSECUTIVE 1 OR 0 MODEL**

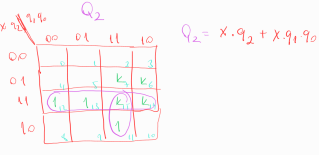
**el yazısı, yazı tipi, metin, hat sanatı, kaligrafi içeren bir resim

Açıklama otomatik olarak oluşturuldu**

**metin, el yazısı, çocukların yaptığı resimler, diyagram içeren bir resim

Açıklama otomatik olarak oluşturulduel yazısı, metin, diyagram, yazı tipi içeren bir resim

Açıklama otomatik olarak oluşturulduel yazısı, metin, çocukların yaptığı resimler, diyagram içeren bir resim

Açıklama otomatik olarak oluşturuldu**

**Design Source**

**Mealy machine type code**

**module** consec

**(**

**input** clk**,**

**input** rst**,**

**input** x**,**

**output** z

**);**

**reg** q0**,**q1**,**q2**;**

**wire** Q0**,**Q1**,**Q2**;**

**reg** z\_reg**;**

**assign** Q2 **=** **(**x **&** q2**)** **|** **(**x **&** q1 **&** q0**);**

**assign** Q1 **=** **(**q1 **&** **~**q0**)** **|** **(**x **&** **~**q2 **&** **~**q1**)** **|** **(~**q2 **&** **~**q1 **&** q0**);**

**assign** Q0 **=** **(**x **&** **~**q1**)** **|** **(~**q0 **&** **~**q1 **&** **~**q2**)** **|** **(**x **&** **~**q0**);**

**assign** z **=** **(**x **&** q2 **&** q0**)** **|** **(~**x **&** q1 **&** **~**q0**);**

**always** **@(posedge** clk**)** **begin**

**if(**rst **==** 1'b1**)** **begin**

q2 **<=** 1'b0**;**

q1 **<=** 1'b0**;**

q0 **<=** 1'b0**;**

**end**

**else** **begin**

q2**<=** Q2**;**

q1**<=** Q1**;**

q0**<=** Q0**;**

**end**

**end**

**endmodule**

**Simulation Source**

**module** consec\_tb**();**

**reg** clk **=** 1'b0**;**

**reg** rst **=** 1'b1**;**

**reg** x **=** 1'b1**;**

**wire** z**;**

**reg** **[**41**:**0**]** test **=** 42'b010011000111000011110000011111000000111111**;**

**integer** i**=** 41**;**

consec uut

**(**

**.**clk**(**clk**),**

**.**rst**(**rst**),**

**.**x**(**x**),**

**.**z**(**z**)**

**);**

**always** **begin**

**#**5 clk **=** **~**clk**;**

**end**

**initial** **begin**

**#**10**;**

rst **=** 1'b0**;**

**for(**i **=** 41**;** i**>=**0**;** i **=** i**-**1**)** **begin**

x **=** test**[**i**];**

**#**10**;**

**end**

$finish**;**

**end**

**endmodule**

**Simulation Waveform**

**ekran görüntüsü, multimedya yazılımı, grafik yazılımı içeren bir resim

Açıklama otomatik olarak oluşturuldu**

z obtain logic 1 value after three or more consecutive 1s or 0s. It should obtain logic 1 after four consecutive 1s or 0s. It has faulty 0 and faulty 1 values in three consecutive 1s and 0s.

**module** consec

**(**

**input** clk**,**

**input** rst**,**

**input** x**,**

**output** z

**);**

**reg** q0**,**q1**,**q2**;**

**wire** Q0**,**Q1**,**Q2**,**z\_moore**;**

**reg** z\_reg**;**

**assign** Q2 **=** **(**x **&** q2**)** **|** **(**x **&** q1 **&** q0**);**

**assign** Q1 **=** **(**q1 **&** **~**q0**)** **|** **(**x **&** **~**q2 **&** **~**q1**)** **|** **(~**q2 **&** **~**q1 **&** q0**);**

**assign** Q0 **=** **(**x **&** **~**q1**)** **|** **(~**q0 **&** **~**q1 **&** **~**q2**)** **|** **(**x **&** **~**q0**);**

**assign** z\_moore **=** **(**x **&** q2 **&** q0**)** **|** **(~**x **&** q1 **&** **~**q0**);**

**always** **@(posedge** clk**)** **begin**

**if(**rst **==** 1'b1**)** **begin**

q2 **<=** 1'b0**;**

q1 **<=** 1'b0**;**

q0 **<=** 1'b0**;**

**end**

**else** **begin**

q2**<=** Q2**;**

q1**<=** Q1**;**

q0**<=** Q0**;**

z\_reg**<=** z\_moore**;**

**end**

**end**

**assign** z **=** z\_reg**;**

**endmodule**

**Moore machine type code**

multimedya yazılımı, yazılım, grafik yazılımı, ekran görüntüsü içeren bir resim

Açıklama otomatik olarak oluşturuldu

Moore type machine gives correct results. z output obtains logic 1 value after four consecutive 1s or 0s.

**Post -Implementation Timing Simulation**

metin, yazılım, multimedya yazılımı, bilgisayar simgesi içeren bir resim

Açıklama otomatik olarak oluşturuldu

Post -Implementation Timing Simulation have same results with Moore type simulation.

**Utilization Report**

metin, ekran görüntüsü, yazı tipi, sayı, numara içeren bir resim

Açıklama otomatik olarak oluşturuldu

**Timing Report**

metin, ekran görüntüsü, yazı tipi, sayı, numara içeren bir resim

Açıklama otomatik olarak oluşturuldu

metin, yazı tipi, sayı, numara, çizgi içeren bir resim

Açıklama otomatik olarak oluşturuldu

**Undesirable States**ekran görüntüsü, multimedya yazılımı, grafik yazılımı, yazılım içeren bir resim

Açıklama otomatik olarak oluşturuldu

I give 110 state for initialization. Circuit does not stuck any state. It just changes the order of events.

**Behavioral Model**

ekran görüntüsü, multimedya yazılımı içeren bir resim

Açıklama otomatik olarak oluşturuldu**Post -Implementation Timing Simulation**

It gives correct results like previous designs.

**Utilization Report**

metin, ekran görüntüsü, yazı tipi, sayı, numara içeren bir resim

Açıklama otomatik olarak oluşturuldu

**Timing Report**

**metin, yazı tipi, sayı, numara, çizgi içeren bir resim

Açıklama otomatik olarak oluşturuldumetin, ekran görüntüsü, yazı tipi, sayı, numara içeren bir resim

Açıklama otomatik olarak oluşturuldu**

Behavioral model and my previous model have the same resource usage. However, behavioral model has less delay results than previous design. Max delay of previous design is 6.044 ns but max delay of behavioral design is 4.763ns. There is a small difference in terms of delays.

**DIVIDED MODEL**

**metin, el yazısı, yazı tipi, sayı, numara içeren bir resim

Açıklama otomatik olarak oluşturuldu**

metin, el yazısı, mürekkep, kağıt içeren bir resim

Açıklama otomatik olarak oluşturuldumetin, çizim, taslak, el yazısı içeren bir resim

Açıklama otomatik olarak oluşturuldu

**Design Source**

**module** divide

**(**

**input** clk**,**

**input** rst**,**

**input** x**,**

**output** z

**);**

**reg** q0**,**q1**,**x\_cs**,**z\_reg**;**

**wire** Q0**,**Q1**,**a**;**

**assign** Q1 **=** **(**a **&** q1**)** **|** **(**a **&** q0**)** **;**

**assign** Q0 **=** **(**a **&** **~**q1 **&** **~**q0**);**

**assign** a **=** **~(**x\_cs **^** x**);**

**assign** z **=** **(**a **&** q1**);**

**always** **@(posedge** clk**)** **begin**

**if(**rst **==** 1'b1**)** **begin**

q1 **<=** 1'b0**;**

q0 **<=** 1'b0**;**

**end**

**else** **begin**

q1 **<=** Q1**;**

q0 **<=** Q0**;**

x\_cs**<=** x**;**

**end**

**end**

**endmodule**

**Mealy type code**

**Simulation Source**

**module** divide\_tb**();**

**reg** clk **=** 1'b0**;**

**reg** rst **=** 1'b1**;**

**reg** x**;**

**wire** z**;**

**reg** **[**41**:**0**]** test **=** 42'b010011000111000011110000011111000000111111**;**

**integer** i**=** 41**;**

divide uut

**(**

**.**clk**(**clk**),**

**.**rst**(**rst**),**

**.**x**(**x**),**

**.**z**(**z**)**

**);**

**always** **begin**

**#**5 clk **=** **~**clk**;**

**end**

**initial** **begin**

**#**10**;**

rst **=** 1'b0**;**

**for(**i **=** 41**;** i**>=**0**;** i **=** i**-**1**)** **begin**

x **=** test**[**i**];**

**#**10**;**

**end**

$finish**;**

**end**

**endmodule**

**ekran görüntüsü, multimedya yazılımı, yazılım, grafik yazılımı içeren bir resim

Açıklama otomatik olarak oluşturulduSimulation Waveform**

z obtain logic 1 value after three or more consecutive 1s or 0s. It should obtain logic 1 after four consecutive 1s or 0s. It has faulty 0 and faulty 1 values in three consecutive 1s and 0s.

**module** divide

**(**

**input** clk**,**

**input** rst**,**

**input** x**,**

**output** z

**);**

**reg** q0**,**q1**,**x\_cs**,**z\_reg**;**

**wire** Q0**,**Q1**,**a**,**z\_moore**;**

**assign** Q1 **=** **(**a **&** q1**)** **|** **(**a **&** q0**)** **;**

**assign** Q0 **=** **(**a **&** **~**q1 **&** **~**q0**);**

**assign** a **=** **~(**x\_cs **^** x**);**

**assign** z\_moore **=** **(**a **&** q1**);**

**always** **@(posedge** clk**)** **begin**

**if(**rst **==** 1'b1**)** **begin**

q1 **<=** 1'b0**;**

q0 **<=** 1'b0**;**

**end**

**else** **begin**

q1 **<=** Q1**;**

q0 **<=** Q0**;**

x\_cs**<=** x**;**

z\_reg**<=** z\_moore**;**

**end**

**end**

**assign** z **=** z\_reg**;**

**endmodule**

**Moore type code**

**ekran görüntüsü, multimedya yazılımı, grafik yazılımı, yazılım içeren bir resim

Açıklama otomatik olarak oluşturuldu**

Moore type machine gives correct results. z output obtains logic 1 value after four consecutive 1s or 0s.

**Post -Implementation Timing Simulation**

metin, yazılım, multimedya yazılımı, bilgisayar simgesi içeren bir resim

Açıklama otomatik olarak oluşturuldu

Post -Implementation Timing Simulation have same results with Moore type simulation.

metin, ekran görüntüsü, yazı tipi, sayı, numara içeren bir resim

Açıklama otomatik olarak oluşturuldu**Utilization Report**

**Timing Report**

metin, ekran görüntüsü, sayı, numara, yazı tipi içeren bir resim

Açıklama otomatik olarak oluşturuldu

metin, yazı tipi, sayı, numara, çizgi içeren bir resim

Açıklama otomatik olarak oluşturuldu

**Behavioral Model**

**Design Source**

**module** div\_behav

**(**

**input** clk**,**

**input** rst**,**

**input** x**,**

**output** z

**);**

**reg** z\_reg**,**a**,**x\_cs**;**

**localparam** A **=** 2'b00**;**

**localparam** B **=** 2'b01**;**

**localparam** C **=** 2'b10**;**

**reg** **[**1**:**0**]** state**;**

**always@(\*)** **begin**

a**<=** **~(**x\_cs **^** x**);**

**end**

**always** **@(posedge** clk**,** **posedge** rst**)** **begin**

**if(**rst **==** 1**)** **begin**

state **<=** A**;**

a**<=**0**;**

x\_cs**<=**0**;**

**end**

**else** **begin**

x\_cs**<=**x**;**

**case(**state**)**

A **:** **begin**

**if(**a**==**1**)** **begin**

state **<=** B**;**

**end**

**else** **begin**

state **<=** A**;**

**end**

z\_reg**<=** 0**;**

**end**

B**:** **begin**

**if(**a**==**1**)** **begin**

state**<=** C**;**

**end**

**else** **begin**

state**<=** A**;**

**end**

z\_reg**<=**0**;**

**end**

C**:** **begin**

**if(**a**==**1**)** **begin**

state**<=** C**;**

z\_reg**<=** 1**;**

**end**

**else** **begin**

state**<=** A**;**

z\_reg**<=**0**;**

**end**

**end**

**default:** **begin**

state **<=** A**;**

z\_reg**<=** 0**;**

**end**

**endcase**

**end**

**end**

**assign** z **=** z\_reg**;**

**endmodule**

**Simulation Source**

**module** div\_behav\_tb**();**

**reg** clk **=** 1'b0**;**

**reg** rst **=** 1'b1**;**

**reg** x**;**

**wire** z**;**

**reg** **[**41**:**0**]** test **=** 42'b010011000111000011110000011111000000111111**;**

**integer** i**=** 41**;**

div\_behav uut

**(**

**.**clk**(**clk**),**

**.**rst**(**rst**),**

**.**x**(**x**),**

**.**z**(**z**)**

**);**

**always** **begin**

**#**5 clk **=** **~**clk**;**

**end**

**initial** **begin**

**#**10

rst **=** 1'b0**;**

**for(**i **=** 41**;** i**>=**0**;** i **=** i**-**1**)** **begin**

x **=** test**[**i**];**

**#**10**;**

**end**

$finish**;**

**end**

**endmodule**

ekran görüntüsü, multimedya yazılımı, yazılım, grafik yazılımı içeren bir resim

Açıklama otomatik olarak oluşturuldu**Simulation Waveform**

Behavioral model gives correct results. z output obtains logic 1 value after four consecutive 1s or 0s.

**metin, ekran görüntüsü, yazılım, multimedya yazılımı içeren bir resim

Açıklama otomatik olarak oluşturulduPost -Implementation Timing Simulation**

metin, ekran görüntüsü, sayı, numara, yazı tipi içeren bir resim

Açıklama otomatik olarak oluşturuldu**Utilization Report**

metin, sayı, numara, yazı tipi, çizgi içeren bir resim

Açıklama otomatik olarak oluşturuldu**Timing Report**

metin, yazı tipi, sayı, numara, çizgi içeren bir resim

Açıklama otomatik olarak oluşturuldu

Behavioral model and my previous model have the same resource usage. Behavioral model and my previous model have same delays.

**REFERENCES**

**[1]** Arar, S. (2018, March 5). *Encoding the states of a finite state machine in VHDL*. Technical Articles. <https://www.allaboutcircuits.com/technical-articles/encoding-the-states-of-a-finite-state-machine-vhdl/>