

# Report – Lab 3

R13943009 鄭至盛

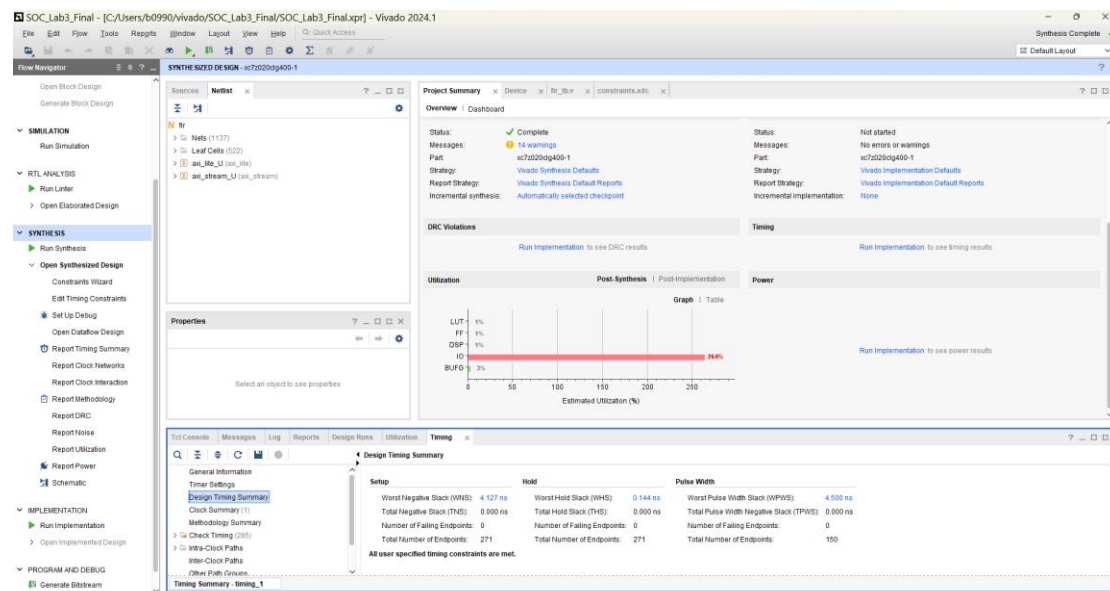
## Overview of the RTL Design

### Introduction:

本次實驗的目標是設計一個 FIR IP，設計內容包含：基於 BRAM 的 tap, data、計算 FIR 的運算單元、AXI-Lite bus 對應的 configuration、AXI-Stream bus 對應的資料傳輸。

### Resource Usage & Timing Report:

下面的圖片中顯示的設計在合成後的硬體用量與時序報告：



### Utilization

### Post-Synthesis | Post-Implementation

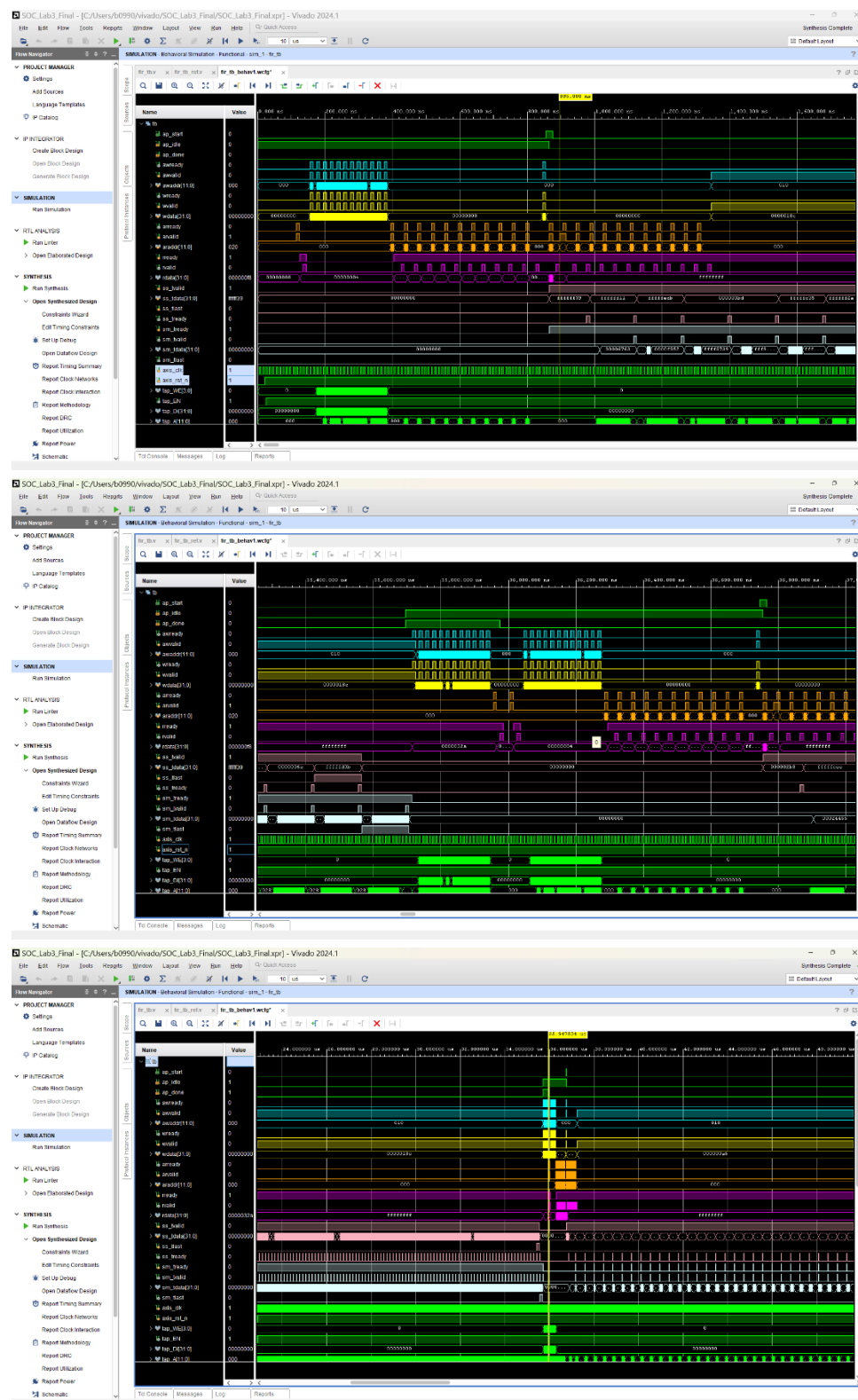
### Graph | Table

Resource	Estimation	Available	Utilization %
LUT	309	53200	0.58
FF	150	106400	0.14
DSP	3	220	1.36
IO	330	125	264.00
BUFG	1	32	3.13

### Simulation Waveform:

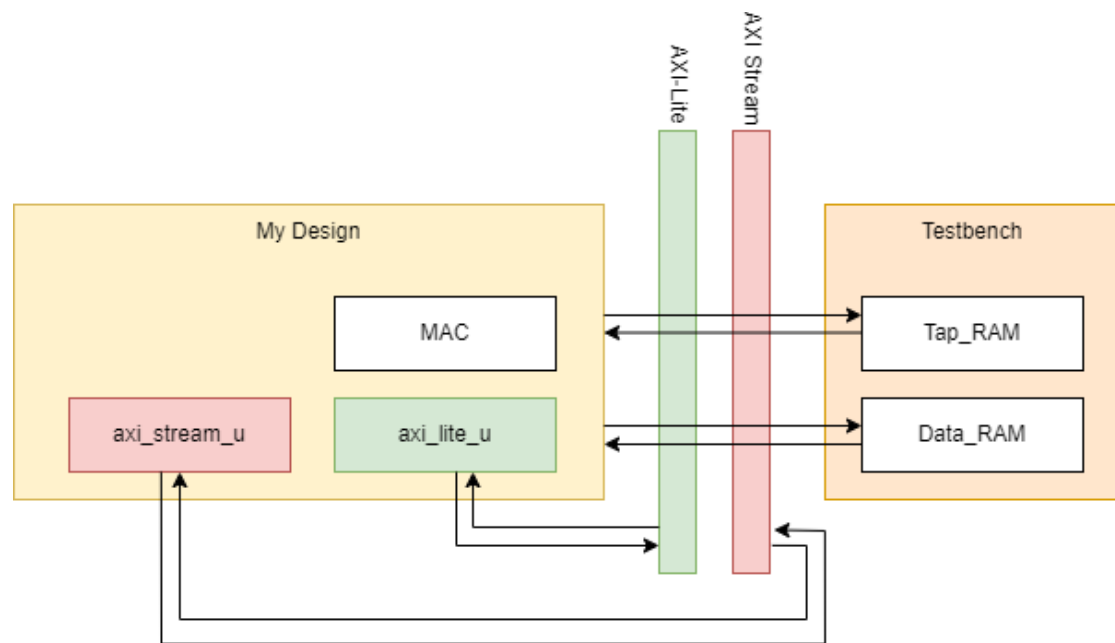
下面的圖片中展示三種主要的波型：第一張圖是電路啟動時的波型、第二張則

是電路完成運算時的波型、最後一張則是顯示測試不同的 streaming 狀態 (前面：Producer 較慢 / 後面：Producer 較快)



## Block Diagram

下圖是這次設計的 Block Diagram：



## Design Description:

本次實驗中主要的時間都花在設計基於 RAM 的運算以及 bus protocol 的邏輯與驗證。這次的設計目前的 latency 為  $\text{num\_tap}+3$  個 cycle，多了一個初始化的 stage、一個 SRAM latency、與一個 output stage。

接著，我把比較多的心力放在不同 case 的驗證上，在原本 reference code 的 testbench 中補上將 arvalid、rready、awvalid、wvalid 等信號復位的機制，並成功驗證課程提供的測資。此外，我也額外寫了基於 fork-join 多個任務並行的測資，測試的內容包含：隨機生成的測資、不同的 stream 模式(Consumer 較快或較慢)、以及 illegal read/write，並都可以順利通過驗證。