

## 2. BISTABILI, REGISTRE ȘI CONTOARE

Bistabili, registrele și contoarele (se mai numesc dispozitive secvențiale) sunt dispozitivele principale ale calculatorului și se caracterizează prin următoarele proprietăți:

- a) pot păstra informația sau au memorie;
- b) starea următoare depinde de starea precedentă;
- c) starea la ieșirile dispozitivului nu depinde univoc de starea aplicată la intrările lui.

### 2.1. Clasificarea bistabililor

**Definiție.** Numim bistabil un dispozitiv electronic logic care se poate afla în una din cele 2 stări posibile ( $Q = 1; \bar{Q} = 0$ ) sau ( $Q = 0; \bar{Q} = 1$ ) și se utilizează pentru înregistrarea, păstrarea și prezentarea unui bit (doi biți) de informație.

În prezent există mai multe scheme electrice ale bistabililor. Bistabilii se clasifică după următoarele criterii:

- a) numărul de trepte;
- b) sincroni sau asincroni.

**Clasificarea după criteriul „numărul de trepte”.** Conform numărului de trepte există bistabili cu una, două și mai multe trepte. Din bistabilii cu o treaptă, drept exemplu, pot fi menționați bistabilii RS-asincron, RS-sincron și de tip D. Din bistabilii cu două trepte aici v-or fi prezentați bistabilii MS, DV și JK.

**Clasificarea după criteriul „sincron sau asincron”.** Bistabilii care nu au la intrare canal de dirijare (canal de comandă) nu pot fi dirijați de program și se numesc bistabili asincroni. Bistabilii care au la intrare canal de dirijare (canal de comandă) pot fi dirijați de program și se numesc bistabili sincroni.

Bistabilii se utilizează pe larg pentru proiectarea și construirea dispozitivelor numerice cu memorie (registre, contoare etc).

### 2.2. Bistabili cu o treaptă RS-asincron, RS-sincron și de tip D

#### 2.2.1. Bistabilul RS-asincron

Bistabilii pot fi construiți din elemente logice SAU-NU sau ȘI-NU.

**Schema electrică a bistabilului RS-asincron construită din elemente logice SAU-NU** este prezentată în fig. 2.1. Bistabilul RS-asincron construit din elemente logice SAU-NU are o singură treaptă.

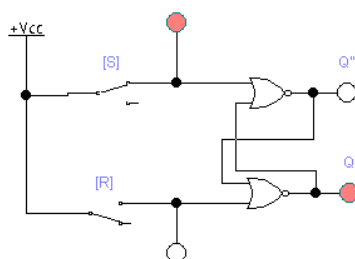


Fig. 2.1. Schema electrică a bistabilului RS-asincron construită din elemente logice SAU-NU.

În schema electrică a bistabilului RS-asincron construită din elemente logice SAU-NU sunt următoarele notări:

- $+V_{cc}$  – sursa de alimentare;
- S – set (introducerea, plasarea, înregistrarea informației);

$R$  – reset (inițializarea, instalarea bistabilului în starea inițială, ștergerea informației);

$Q$  – ieșirea directă (canalul care prezintă informația în stare directă);

$\bar{Q}$  – ieșirea inversă (canalul care prezintă informația în stare inversă).

Pentru a prezenta procesul de lucru al bistabilului, este necesar de scris funcțiile logice ale schemei, de aplicat la intrările  $S$  și  $R$  diferite combinații de 0 și 1, unde 0 – nu este tensiune, iar 1 – este tensiune. Pentru fiecare combinație aplicată la intrările  $S$  și  $R$  este necesar de a calcula  $Q$  și  $\bar{Q}$  și de a completa tabelul de adevăr al bistabilului.

Pentru schema electrică a bistabilului din fig. 2.1 pot fi scrise următoarele 2 funcții logice:

$$Q = \overline{R + \bar{Q}}; \quad (2.2.1)$$

$$\bar{Q} = \overline{S + Q}. \quad (2.2.2)$$

Calcululele  $Q$  și  $\bar{Q}$  se efectuează în următoarea consecutivitate:

$$S = 0, R = 0 \rightarrow Q = \overline{R + \bar{Q}} = \overline{0 + \bar{Q}} = Q; \bar{Q} = \overline{S + Q} = \overline{0 + Q} = \bar{Q};$$

$$S = 0, R = 1 \rightarrow Q = \overline{R + \bar{Q}} = \overline{1 + \bar{Q}} = 0; \bar{Q} = \overline{S + Q} = \overline{0 + 0} = 1;$$

$$S = 1, R = 0 \rightarrow \bar{Q} = \overline{S + Q} = \overline{1 + Q} = 0; Q = \overline{R + \bar{Q}} = \overline{0 + 0} = 1;$$

$$S = 1, R = 1 \rightarrow \bar{Q} = \overline{S + Q} = \overline{1 + Q} = 0; Q = \overline{R + \bar{Q}} = \overline{1 + 0} = 0.$$

Completăm tabelul de adevăr (vezi tabelul 2.1).

Tabelul 2.1. Tabelul de adevăr al bistabilului RS-asincron construit din elemente logice SAU-UN.

Nr. d/o	$S$	$R$	$Q$	$\bar{Q}$	Regimul de lucru
0	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente
1	0	1	0	1	Inițializarea bistabilului
2	1	0	1	0	Înscrierea informației
3	1	1	0	0	Stare interzisă

Schema electrică a bistabilului RS-asincron, construit din elemente logice SAU-NU, are următoarele neajunsuri:

- nu are canal de dirijare, din aceasta cauză el nu poate fi dirijat de program;
- dacă se înscrie o informație nouă, atunci informația precedentă se șterge și nu poate fi restabilită (bistabilul are o singură treaptă);
- starea  $S = 1, R = 1$  este interzisă.

**Schema electrică a bistabilului RS-asincron construită din elemente logice ȘI-NU** este prezentată în fig. 2.2. Bistabilul RS-asincron construit din elemente logice ȘI-NU are o singură treaptă.

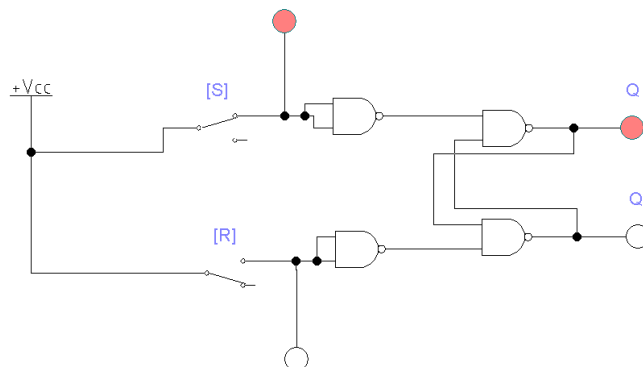


Fig. 2.2. Schema electrică a bistabilului RS-asincron construită din elemente logice ȘI-NU.

În schema electrică a bistabilului RS-asincron construită din elemente logice ȘI-NU sunt următoarele notări:

$+V_{cc}$  – sursa de alimentare;

$S$  – set (introducerea, plasarea, înscrierea informației);

$R$  – reset (inițializarea, instalarea bistabilului în starea inițială, ștergerea informației);

$Q$  – ieșirea directă (canalul care prezintă informația în stare directă);

$\bar{Q}$  – ieșirea inversă (canalul care prezintă informația în stare inversă).

Pentru a prezenta procesul de lucru al bistabilului, este necesar de scris funcțiile logice ale schemei, de aplicat la intrările  $S$  și  $R$  diferite combinații de 0 și 1, unde 0 – nu este tensiune, iar 1 – este tensiune. Pentru fiecare combinație aplicată la intrările  $S$  și  $R$  de calculat  $Q$  și  $\bar{Q}$  și de completat tabelul de adevăr al bistabilului.

Pentru schema electrică a bistabilului din fig. 2.2 pot fi scrise următoarele 2 funcții logice:

$$Q = \bar{S} \times \bar{Q}; \quad (2.2.3)$$

$$\bar{Q} = \bar{R} \times Q. \quad (2.2.4)$$

Calculul  $Q$  și  $\bar{Q}$  se efectuează în următoarea consecutivitate:

$$S = 0, R = 0 \rightarrow Q = \bar{S} \times \bar{Q} = 1 \times \bar{Q} = Q; \bar{Q} = \bar{R} \times Q = 1 \times Q = \bar{Q};$$

$$S = 0, R = 1 \rightarrow \bar{Q} = \bar{R} \times Q = 0 \times Q = 1; Q = \bar{S} \times \bar{Q} = 1 \times 1 = 0;$$

$$S = 1, R = 0 \rightarrow Q = \bar{S} \times \bar{Q} = 0 \times \bar{Q} = 1; \bar{Q} = \bar{R} \times Q = 1 \times 1 = 0;$$

$$S = 1, R = 1 \rightarrow \bar{Q} = \bar{R} \times Q = 0 \times Q = 1; Q = \bar{S} \times \bar{Q} = 0 \times 1 = 1.$$

Completăm tabelul de adevăr (vezi tabelul 2.2).

Tabelul 2.2. Tabelul de adevăr al bistabilului RS-asincron construit din elemente logice ȘI-NU

Nr. d/o	$S$	$R$	$Q$	$\bar{Q}$	Regimul de lucru
0	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente
1	0	1	0	1	Inițializarea bistabilului
2	1	0	1	0	Înscrierea informației
3	1	1	1	1	Stare interzisă

Schema electrică a bistabilului RS-asincron, construit din elemente logice ȘI-NU, are următoarele neajunsuri:

- nu are canal de dirijare, din aceasta cauză el nu poate fi dirijat de program;
- dacă se înscrie o informație nouă, atunci informația precedentă se șterge și nu poate fi restabilită (bistabilul are o singură treaptă);
- starea  $S = 1, R = 1$  este interzisă.

În fig. 2.3 este prezentat simbolul convențional al bistabililor asincroni construiți din elemente logice SAU-NU sau ȘI-NU.

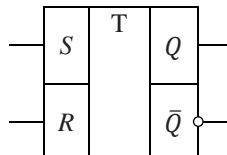


Fig. 2.3. Simbolul convențional al bistabililor RS-asincroni.

### 2.2.2. Bistabilul RS-sincron

Schema electrică a bistabilului RS-sincron construită din elemente logice ȘI-NU este prezentată în fig. 2.4. Bistabilul RS-sincron construit din elemente logice ȘI-NU are o singură treaptă.

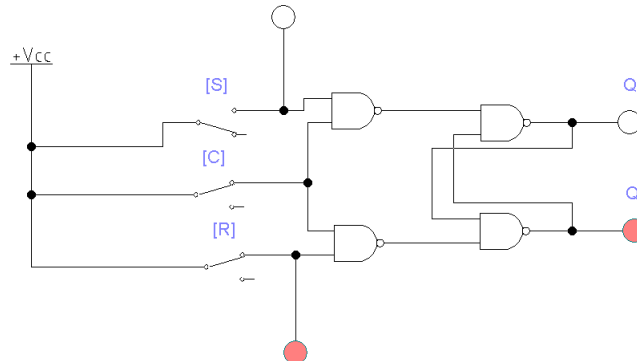


Fig. 2.4. Schema electrică a bistabilului RS-sincron construită din elemente logice ȘI-NU.

În schema electrică a bistabilului RS-sincron construită din elemente logice ȘI-NU sunt următoarele notări:

$+V_{cc}$  – sursa de alimentare;

$S$  – set (introducerea, plasarea, înscrierea informației);

$C$  – canalul de dirijare/comandă;

$R$  – reset (inițializarea, instalarea bistabilului în starea inițială, ștergerea informației);

$Q$  – ieșirea directă (canalul care prezintă informația în stare directă);

$\bar{Q}$  – ieșirea inversă (canalul care prezintă informația în stare inversă).

Pentru a prezenta procesul de lucru al bistabilului, este necesar de scris funcțiile logice ale schemei, de aplicat la intrările  $C$ ,  $S$  și  $R$  diferite combinații de 0 și 1, unde 0 – nu este tensiune, iar 1 – este tensiune. Pentru fiecare combinație aplicată la intrările  $C$ ,  $S$  și  $R$  de calculat  $Q$  și  $\bar{Q}$  și de completat tabelul de adevăr al bistabilului.

Pentru schema electrică a bistabilului din fig. 2.4 pot fi scrise următoarele 2 funcții logice:

$$Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}}; \quad (2.2.4)$$

$$\bar{Q} = \overline{\overline{C} \times \overline{R} \times Q}. \quad (2.2.5)$$

Calcululele  $Q$  și  $\bar{Q}$  se efectuează în următoarea consecutivitate:

$$C = 0, S = 0, R = 0 \rightarrow Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{1 \times \overline{Q}} = Q; \quad \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{1 \times Q} = \bar{Q};$$

$$C = 0, S = 0, R = 1 \rightarrow Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{1 \times \overline{Q}} = Q; \quad \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{1 \times Q} = \bar{Q};$$

$$C = 0, S = 1, R = 0 \rightarrow Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{1 \times \overline{Q}} = Q; \quad \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{1 \times Q} = \bar{Q};$$

$$C = 0, S = 1, R = 1 \rightarrow Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{1 \times \overline{Q}} = Q; \quad \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{1 \times Q} = \bar{Q};$$

$$C = 1, S = 0, R = 0 \rightarrow Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{1 \times \overline{Q}} = Q; \quad \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{1 \times Q} = \bar{Q};$$

$$C = 1, S = 0, R = 1 \rightarrow \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{0 \times Q} = 1; \quad Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{1 \times 1} = 0;$$

$$C = 1, S = 1, R = 0 \rightarrow Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{0 \times \overline{Q}} = 1; \quad \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{1 \times 1} = 0;$$

$$C = 1, S = 1, R = 1 \rightarrow \bar{Q} = \overline{\overline{C} \times \overline{R} \times Q} = \overline{0 \times Q} = 1; \quad Q = \overline{\overline{C} \times \overline{S} \times \overline{Q}} = \overline{0 \times 1} = 1.$$

Completăm tabelul de adevăr (vezi tabelul 2.3).

Tabelul 2.3. Tabelul de adevăr al bistabilului RS-sincron construit din elemente logice ȘI-NU

Nr. d/o	$C$	$S$	$R$	$Q$	$\bar{Q}$	Regimul de lucru
0	0	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
1	0	0	1	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
2	0	1	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
3	0	1	1	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
4	1	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 1$
5	1	0	1	0	1	Inițializarea bistabilului
6	1	1	0	1	0	Înscrierea informației
7	1	1	1	1	1	Stare interzisă

Din tabelul 2.3 se vede, că pentru  $C = 0$  schimbarea stărilor  $S$  și  $R$  nu schimbă regimul de lucru al bistabilului. Avantajul bistabilului RS-sincron – are canal de comandă și poate fi dirijat de program.

Schema electrică a bistabilului RS-sincron, construit din elemente logice ȘI-NU, are următoarele neajunsuri:

- dacă se înscrie o informație nouă, atunci informația precedentă se șterge și nu poate fi restabilită (bistabilul are o singură treaptă);
- starea  $S = 1, R = 1$  este interzisă.

În fig. 2.5 este prezentat simbolul convențional al bistabililor RS-sincroni construiți din elemente logice ȘI-NU/SAU-NU.

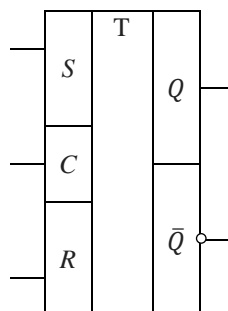


Fig. 2.5. Simbolul convențional al bistabililor RS-sincroni.

### 2.2.3. Bistabilul de tip D

Bistabilul de tip D a fost construit cu scopul înlăturării neajunsului bistabilului RS-sincron care nu permite aplicarea stării  $S = 1, R = 1$ .

**Schema electrică a bistabilului de tip D construită din elemente logice ȘI-NU** este prezentată în fig. 2.6. Bistabilul de tip D construit din elemente logice ȘI-NU are o singură treaptă.

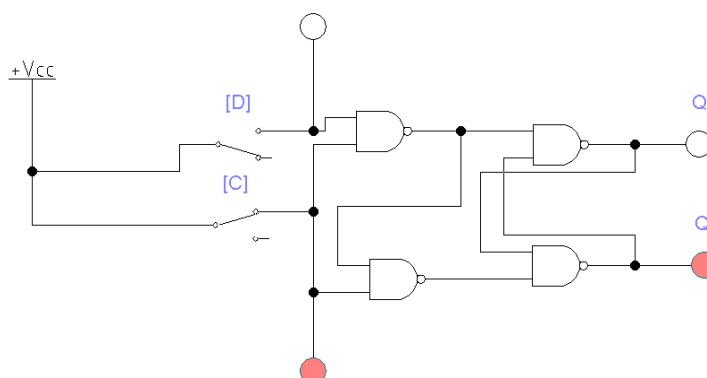


Fig. 2.6. Schema electrică a bistabilului de tip D construită din elemente logice ȘI-NU.

În schema electrică a bistabilului de tip D construită din elemente logice ȘI-NU sunt următoarele notări:

$+V_{cc}$  – sursa de alimentare;

$D$  – introducerea, plasarea, înscrierea informației;

$C$  – canalul de dirijare/comandă;

$Q$  – ieșirea directă (canalul care prezintă informația în stare directă);

$\bar{Q}$  – ieșirea inversă (canalul care prezintă informația în stare inversă).

Pentru a prezenta procesul de lucru al bistabilului, este necesar de scris funcțiile logice ale schemei, de aplicat la intrările  $C$  și  $D$  diferite combinații de 0 și 1, unde 0 – nu este tensiune, iar 1 – este tensiune. Pentru fiecare combinație aplicată la intrările  $C$  și  $D$  de calculat  $Q$  și  $\bar{Q}$  și de completat tabelul de adevăr al bistabilului.

Pentru schema electrică a bistabilului din fig. 2.6 pot fi scrise următoarele 2 funcții logice:

$$Q = \overline{\overline{C} \times \overline{D} \times \bar{Q}}; \quad (2.2.6)$$

$$\bar{Q} = \overline{\overline{C} \times \overline{C} \times \overline{D} \times Q}. \quad (2.2.7)$$

Calcululele  $Q$  și  $\bar{Q}$  se efectuează în următoarea consecutivitate:

$$C = 0, D = 0 \rightarrow Q = \overline{\overline{C} \times \overline{D} \times \bar{Q}} = \overline{0 \times 0 \times \bar{Q}} = \overline{1 \times \bar{Q}} = Q;$$

$$\bar{Q} = \overline{\overline{C} \times \overline{C} \times \overline{D} \times Q} = \overline{0 \times 0 \times 0 \times Q} = \overline{1 \times Q} = \bar{Q};$$

$$C = 0, D = 1 \rightarrow Q = \overline{\overline{C} \times \overline{D} \times \bar{Q}} = \overline{0 \times 1 \times \bar{Q}} = \overline{1 \times \bar{Q}} = Q;$$

$$\bar{Q} = \overline{\overline{C} \times \overline{C} \times \overline{D} \times Q} = \overline{0 \times 0 \times 1 \times Q} = \overline{1 \times Q} = \bar{Q};$$

$$C = 1, D = 0 \rightarrow \bar{Q} = \overline{\overline{C} \times \overline{C} \times \overline{D} \times Q} = \overline{1 \times 1 \times 0 \times Q} = \overline{0 \times Q} = 1;$$

$$Q = \overline{\overline{C} \times \overline{D} \times \bar{Q}} = \overline{1 \times 0 \times 1} = \overline{1 \times 1} = 0;$$

$$C = 1, D = 1 \rightarrow Q = \overline{\overline{C} \times \overline{D} \times \bar{Q}} = \overline{1 \times 1 \times \bar{Q}} = \overline{0 \times \bar{Q}} = 1;$$

$$\bar{Q} = \overline{\overline{C} \times \overline{C} \times \overline{D} \times Q} = \overline{1 \times 1 \times 1 \times 1} = \overline{1 \times 1} = 0.$$

Introducem datele obținute în tabelul 2.4.

Tabelul 2.4. Tabelul de adevăr al bistabilului de tip D

Nr. d/o	$C$	$D$	$Q$	$\bar{Q}$	Regimul de lucru
0	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
1	0	1	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
2	1	0	0	1	Inițializarea bistabilului
3	1	1	1	0	Înscrierea informației

Din tabelul 2.4 pot fi determinate avantajele și neajunsurile bistabilului de tip D. Avantajele bistabilului de tip D sunt următoarele:

- nu are stări interzise;
- are canal de comandă și poate fi dirijat de program.

Bistabilul de tip D are următorul neajuns:

- dacă se înscrie o informație nouă, atunci informația precedentă se șterge și nu poate fi restabilită (bistabilul are o singură treaptă).

În fig. 2.7 este prezentat simbolul convențional al bistabilului de tip D.

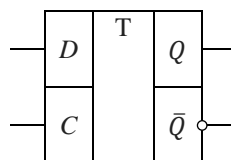


Fig. 2.7. Simbolul convențional al bistabililor de tip D.

Pentru construirea dispozitivelor logice din bistabilii cu o treaptă RS-asincron, RS-sincron și de tip D cel mai des se folosește bistabilul de tip D.

#### 2.2.4. Divizor al frecvenței semnalului dreptunghiular

Într-un calculator se utilizează semnale dreptunghiulare cu frecvențe diferite. Pentru a obține semnale dreptunghiulare cu frecvențe diferite des se folosește bistabilul D cu circuit cu reacție care funcționează ca divizor de frecvență. Schema electrică a divizorului frecvenței construit din bistabilul D este prezentată în fig. 2.8.

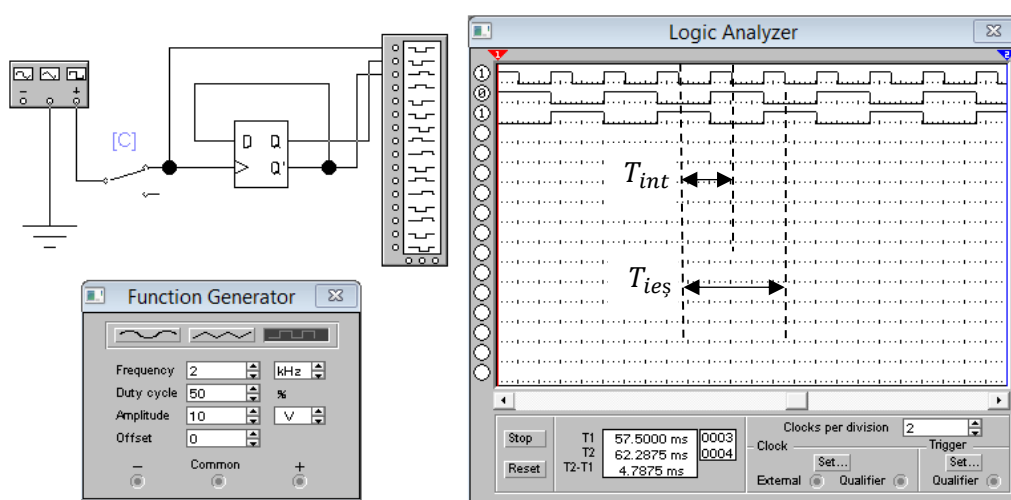


Fig. 2.8. Schema electrică a divizorului frecvenței construit din bistabilul D.

În schema electrică din fig. 2.8 sunt prezentați generatorul de semnale, comutatorul C, și bistabilul D. Ieșirea inversă  $\bar{Q}$  a bistabilului D este conectată cu intrarea lui. Pe ecranul analizatorului logic sunt prezentate diagramele temporale pentru canalele C, Q și  $\bar{Q}$ .

Din fig. 2.8 poate fi determinată valoarea coeficientului de divizare al frecvenței  $K_{div} = f_{int} / f_{ieș}$ , unde  $f_{int}$  este frecvența semnalului aplicat la intrarea C a bistabilului, iar  $f_{ieș}$  – frecvența semnalului obținut la ieșirile Q și  $\bar{Q}$  ale bistabilului. Conform schemei electrice generatorul emite un semnal  $f_C$  la intrarea bistabilului D care are frecvența  $f_{int} = f_C = 2 \text{ kHz}$ . Pe panoul analizatorului logic se vede, că perioada semnalului la ieșirea bistabilului  $T_{ieș} = 2T_{int}$ . Deoarece  $f_{ieș} = 1/T_{ieș}$  pentru  $K_{div}$  se obține:

$$K_{div} = \frac{f_{int}}{f_{ieș}} = \frac{T_{ieș}}{T_{int}} = 2 \text{ sau } f_{ieș} = 1 \text{ kHz}.$$

Pentru a obține  $K_{div} = 4, 8, 16, \dots$  bistabilii D cu circuit de reacție se conectează în schema electrică consecutiv.

## 2.3. Bistabili cu două trepte MS, DV și JK

### 2.3.1. Bistabilul de tip MS

Bistabilul de tip MS poate fi construit din doi bistabili RS-sincroni. Schema electrică a bistabilului MS, construită din elementele logice ȘI-NU, este prezentată în fig. 2.8.

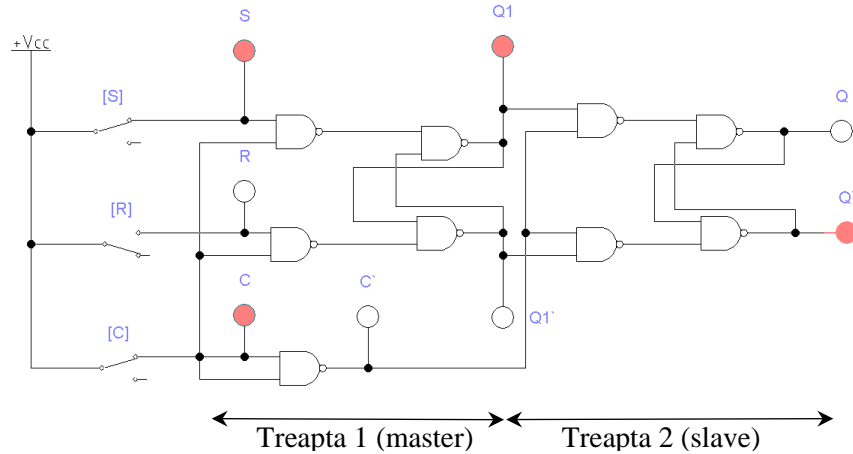


Fig. 2.8. Schema electrică a bistabilului MS.

În schema electrică a bistabilului MS construită din elemente logice ȘI-NU sunt următoarele notări:

$+V_{cc}$  – sursa de alimentare;

$S$  – set (introducerea, plasarea, înscrierea informației);

$R$  – reset (inițializarea, instalarea bistabilului în starea inițială, ștergerea informației);

$C$  – canalul de dirijare/comandă;

$Q1$  – ieșirea directă a primei trepte (canalul care prezintă informația în stare directă);

$\overline{Q1}$  – ieșirea inversă a primei trepte (canalul care prezintă informația în stare inversă);

$Q$  – ieșirea directă (canalul care prezintă informația în stare directă);

$\overline{Q}$  – ieșirea inversă (canalul care prezintă informația în stare inversă).

Bistabilul MS are 2 trepte (vezi fig. 2.8): prima treaptă se numește „master” sau treaptă conducătoare; treapta a doua se numește „slave” sau treaptă condusă.

Pentru prezentarea procesului de lucru al bistabilului MS pot fi folosite funcțiile logice sau diagramele temporale. În rezultatul efectuării calculelor sau analizei diagramelor temporale este necesar de completat tabelul de adevăr.

Conform notărilor din fig. 2.8 funcțiile logice pentru prima treaptă ( $Q1$  și  $\overline{Q1}$ ) și ieșirile ( $Q$  și  $\overline{Q}$ ) ale bistabilului MS sunt următoarele:

$$Q1 = \overline{\overline{C} \times \overline{S} \times \overline{Q1}}; \quad (2.3.1)$$

$$\overline{Q1} = \overline{\overline{C} \times \overline{R} \times Q1}; \quad (2.3.2)$$

$$Q = \overline{\overline{C} \times Q1 \times \overline{Q}}; \quad (2.3.3)$$

$$\overline{Q} = \overline{\overline{C} \times \overline{Q1} \times Q}. \quad (2.3.4)$$

În continuare v-a fi prezentat procesul de lucru al bistabilului MS cu ajutorul diagramelor temporale. Diagrama temporală reprezintă un grafic al semnalului dreptunghiular (vezi fig. 2.9), unde pe axa verticală este valoarea logică (0, 1), iar pe axa orizontală – timpul.



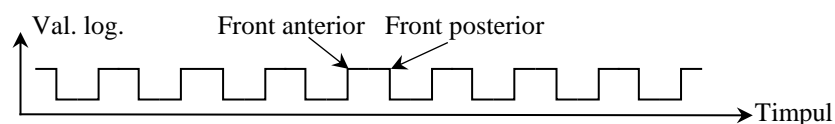


Fig. 2.9. Exemplu de diagramă temporală.

Diagramele temporale se obțin cu ajutorul analizatorului logic, conectat la schema electrică a bistabilului MS (vezi fig. 2.10).

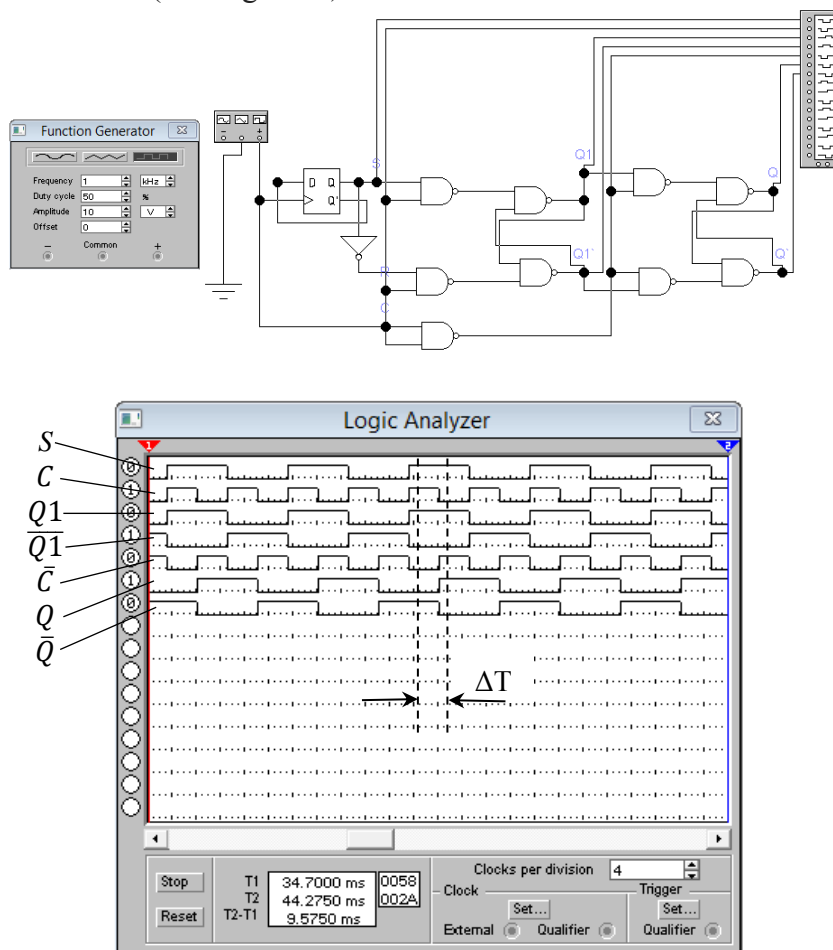


Fig. 2.10. Prezentarea procesului de lucru al bistabilului MS prin diagrame temporale. În schema electrică din fig. 2.10 sunt prezentate următoarele dispozitive:

- generatorul de semnale (Function Generator);
- un bistabil de tip D necesar pentru a obține semnal la intrarea  $S$  a bistabilului MS;
- un inversor, conectat la ieșirea bistabilului D și intrarea  $R$  a bistabilului MS (este necesar pentru a exclude starea interzisă  $S = 1, R = 1$ );
- bistabilul MS construit din noua elemente logice ȘI-NU;
- un analizator logic (Logic Analyzer) necesar pentru a obține diagramele temporale.

Diagramele temporale, obținute de analizatorul logic sunt notate prin:  $S$  – canalul informației (canalul de date) care se înscrie în bistabil;  $C$  – canalul de dirijare;  $Q1$  – ieșirea directă a primei trepte a bistabilului;  $\overline{Q1}$  – ieșirea inversă a primei trepte a bistabilului;  $\overline{C}$  – canalul de dirijare inversat;  $Q$  – ieșirea directă a treptei a doua a bistabilului;  $\overline{Q}$  – ieșirea inversă treptei a doua a bistabilului;

Analizînd diagramele temporale se pot formula următoarele concluzii:

- starea primei trepte a bistabilului MS se schimbă la trecerea valorii logice a semnalului de comandă  $C$  de la 0 la 1 (după frontul anterior al semnalului de comandă  $C$ );

- starea trepteii a doua a bistabilului MS se schimbă la trecerea valorii logice a semnalului de comandă  $\bar{C}$  de la 0 la 1 (după frontul anterior al semnalului de comandă  $\bar{C}$ );
  - există intervale de timp  $\Delta T$  când, după înscrierea informației noi în prima treaptă, informația precedentă din prima treaptă se păstrează în treapta a doua;
  - păstrarea informației precedente în treapta a doua, după înscrierea unei informații noi în prima treaptă, permite organizarea procedurii de restabilire a informației precedente.
- Completăm tabelul de adevăr (vezi tabelul 2.5).

Tabelul 2.5. Tabelul de adevăr al bistabilului MS construit din elemente logice ȘI-NU

Pentru prima treaptă a bistabilului MS						
Nr. d/o	$C$	$S$	$R$	$Q1$	$\bar{Q}1$	Regimul de lucru
0	0	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
1	0	0	1	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
2	0	1	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
3	0	1	1	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 0$
4	1	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $C = 1$
5	1	0	1	0	1	Inițializarea bistabilului
6	1	1	0	1	0	Înscrierea informației
7	1	1	1	1	1	Stare interzisă
Pentru treapta a doua a bistabilului MS						
Nr. d/o	$\bar{C}$	$Q1$	$\bar{Q}1$	$Q$	$\bar{Q}$	Regimul de lucru
0	0	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $\bar{C} = 0$
1	0	0	1	$Q$	$\bar{Q}$	Păstrarea stării precedente, $\bar{C} = 0$
2	0	1	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $\bar{C} = 0$
3	0	1	1	$Q$	$\bar{Q}$	Păstrarea stării precedente, $\bar{C} = 0$
4	1	0	0	$Q$	$\bar{Q}$	Păstrarea stării precedente, $\bar{C} = 1$
5	1	0	1	0	1	Inițializarea bistabilului
6	1	1	0	1	0	Înscrierea informației
7	1	1	1	1	1	Stare interzisă

Din tabelul 2.5 pot fi determinate avantajele și neajunsurile bistabilului MS. Avantajele bistabilului MS sunt următoarele:

- păstrarea informației precedente în treapta a doua, după înscrierea unei informații noi în prima treaptă, permite organizarea procedurii de restabilire a informației precedente;
- are canal de comandă, este bistabil sincron și poate fi dirijat de program.

Bistabilul MS are următorul neajuns:

- starea  $S = 1, R = 1$  este interzisă.

În fig. 2.11 este prezentat simbolul convențional al bistabililor MS construiți din elemente logice ȘI-NU/SAU-NU.

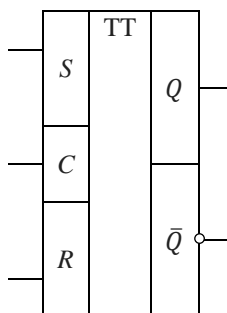


Fig. 2.11. Simbolul convențional al bistabililor MS.

### 2.3.2. Bistabilul de tip DV

În cazul bistabilului MS pentru înscrierea fiecărui bit de informație este necesar de a activa semnalul de comandă  $C$ . Pentru a înscri la rând mai mulți biți cu aplicarea unui semnal de comandă schema bistabilului MS a fost modificată și a fost denumită bistabil DV.

Bistabilul DV are drept bază schema electrică a bistabilului MS în care este adăugat un element NU și un element SI (vezi fig. 2.12).

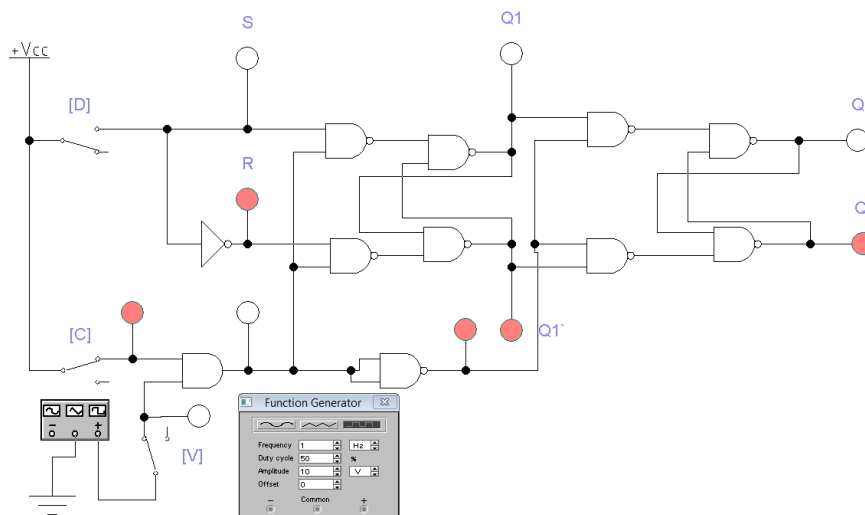


Fig. 2.12. Schema electrică a bistabilului MS.

Inversorul NU conectează intrările  $S$  și  $R$  ale bistabilului MS pentru a exclude aplicarea stării interzise  $S = 1, R = 1$ . La intrările elementului ȘI sunt conectate canalele C și V, unde C este canalul de comandă, iar pe canalul V se aplică permanent semnalul de tactare. Canalul D este canalul de date care pot fi înscrise în bistabilul DV. Semnalul de tactare este emis de generator.

Pentru bistabilul DV avem următoarele regimuri de lucru:

- $C = 0$ , bistabilul este în regim de păstrare a informației;
- $C = 1$ , bistabilul este în regim de înscriere a informației.

Simbolul convențional al bistabilului DV este prezentat în fig. 2.13.

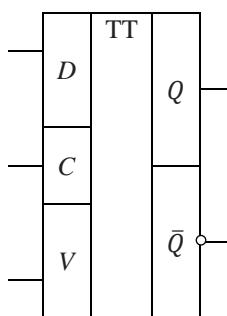


Fig. 2.13. Simbolul convențional al bistabililor DV.

### 2.3.3. Bistabilul de tip JK

Bistabilul JK are drept bază schema electrică a bistabilului MS în care sunt introduse două circuite cu reacție și două elemente ȘI-NU au trei intrări (vezi fig. 2.14).

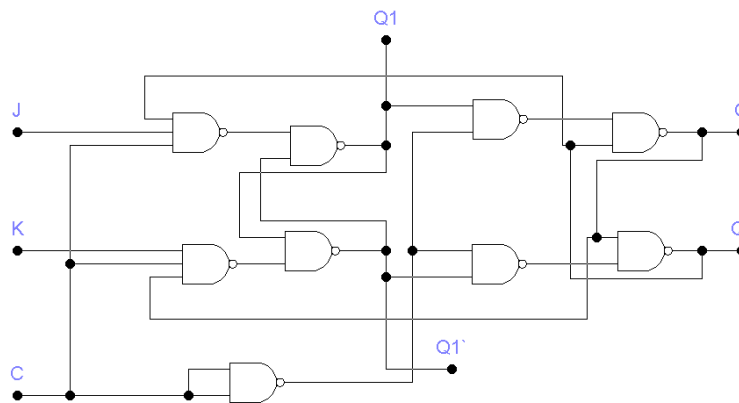


Fig. 2.14. Scema electrică a bistabilului JK.

În fig.2.14 sunt următoarele notări:

$J$  – canalul de date;

$K$  – se utilizează în special pentru inițializarea bistabilului;

$C$  – canalul de comandă;

$Q1$  – ieșirea directă a primei trepte (canalul care prezintă informația în stare directă);

$\overline{Q1}$  – ieșirea inversă a primei trepte (canalul care prezintă informația în stare inversă)

$Q$  – ieșirea directă (canalul care prezintă informația în stare directă);

$\overline{Q}$  – ieșirea inversă (canalul care prezintă informația în stare inversă).

Conform schemei din fig. 2.14 funcțiile logice executate de către bistabilul JK sunt următoarele:

$$Q1 = \overline{\overline{C} \times J \times \overline{Q} \times \overline{Q1}}; \quad (2.3.5)$$

$$\overline{Q1} = \overline{\overline{C} \times K \times \overline{Q} \times Q1}; \quad (2.3.6)$$

$$Q = \overline{\overline{C} \times Q1 \times \overline{Q}}; \quad (2.3.7)$$

$$\overline{Q} = \overline{\overline{C} \times \overline{Q1} \times Q}. \quad (2.3.8)$$

Pentru prezentarea procesului de lucru al bistabilului JK poate fi utilizată schema electrică prezentată în fig. 2.15. Tabelul de adevăr se va completa, aplicînd la intrările bistabilului JK diferite combinații ale  $C, J, K$ , ținînd cont de stările anterioare  $Q_{an}, \overline{Q}_{an}$  (vezi tabelul 2.6).

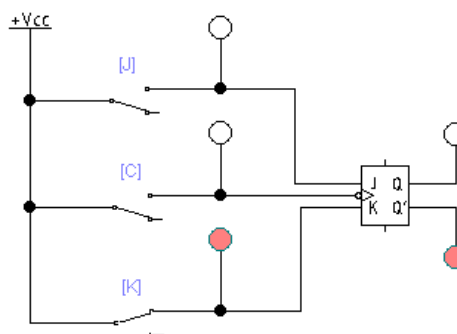


Fig. 2.15. Schema electrică pentru demonstrarea procesului de lucru al bistabilului JK.

Tabelul 2.6. Tabelul de adevăr al bistabilului JK

Nr. d/o	$C$	$J$	$K$	$Q_{an}$	$\overline{Q}_{an}$	$Q$	$\overline{Q}$	Regim de lucru
---------	-----	-----	-----	----------	---------------------	-----	----------------	----------------

0	0	0	0	0	1	0	1	Păstrarea stării precedente, $C = 0$
1	0	0	0	1	0	1	0	Păstrarea stării precedente, $C = 0$
2	0	0	1	0	1	0	1	Păstrarea stării precedente, $C = 0$
3	0	0	1	1	0	1	0	Păstrarea stării precedente, $C = 0$
4	0	1	0	0	1	0	1	Păstrarea stării precedente, $C = 0$
5	0	1	0	1	0	1	0	Păstrarea stării precedente, $C = 0$
6	0	1	1	0	1	0	1	Păstrarea stării precedente, $C = 0$
7	0	1	1	1	0	1	0	Păstrarea stării precedente, $C = 0$
8	1	0	0	0	1	0	1	Păstrarea stării precedente, $C = 1$
9	1	0	0	1	0	1	0	Păstrarea stării precedente, $C = 1$
10	1	0	1	0	1	0	1	Inițializarea bistabilului
11	1	0	1	1	0	0	1	Inițializarea bistabilului
12	1	1	0	0	1	1	0	Înscrierea informației
13	1	1	0	1	0	1	0	Înscrierea informației
14	1	1	1	0	1	1	0	Inversarea stării anterioare/precedente
15	1	1	1	1	0	0	1	Inversarea stării anterioare/precedente

Conform datelor prezentate în tabelul 2.6 bistabilul JK se poate afla în următoarele stări/regimuri de lucru:

- $C = 0$  și  $JK$  – diferite combinații din 0 și 1, regim de păstrare a informației;
- $C = 1$  și  $JK = 00$ , regim de păstrare a informației;
- $C = 1$  și  $JK = 01$ , inițializarea bistabilului;
- $C = 1$  și  $JK = 10$ , înscrierea informației;
- $C = 1$  și  $JK = 11$ , inversarea stării anterioare/precedente.

Bistabilul JK are următoarele avantaje:

- păstrarea informației precedente în treapta a doua, după înscrierea unei informații noi în prima treaptă, permite organizarea procedurii de restabilire a informației precedente;
- are canal de comandă, este bistabil sincron și poate fi dirijat de program;
- nu are stări interzise.

Bistabilul JK se mai numește bistabil universal deoarece poate înlocui, cu mici modificări, alți bistabili și se utilizează pe larg pentru proiectarea și construirea dispozitivelor numerice.

Simbolul convențional al bistabilului JK este prezentat în fig. 2.16.

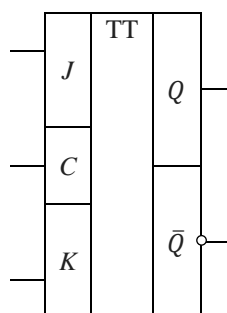


Fig. 2.16. Simbolul convențional al bistabililor JK.

### Lucru independent nr. 5.

- De construit schema bistabilului RS-sincron din elemente logice SAU-NU, de prezentat funcțiile logice și diagramele temporale, de completat tabelul de adevăr.

2. De construit schema electrică a unui divizor al frecvenței cu  $K_{div} = 8$  și de prezentat diagramele temporale pentru intrarea  $C$  și toate ieșirile  $Q$  ale divizorului.