

****AITL戦略提言書 v4.1 完成版****

AITL戦略提言書 v4.1 完成版

AITL Strategy Proposal v4.1 Final Edition **{#top}**

目次 / Table of Contents {#toc}

- 0. 概要 / Overview
 - 1. 統合制御の価値 / Value of Feedback-Transition Integration
 - 2. LLM融合によるAITLの価値 / Value of AITL with LLM
 - 3. PoC具体例 / Real-World PoC Examples
 - 4. AITL実装とSystemDKの必要性 / Need for SystemDK in AITL Implementation
 - 4.1 技術的課題とリスク / Technical Challenges and Risks
 - 5. 政策提言 / Policy Recommendations
 - 6. おわりに / Conclusion
-

0. 概要 / Overview

本提案は、**状態フィードバック制御**と**状態遷移制御**を統合し、さらに **LLM（大規模言語モデル）** および **SystemDK（System Design Kit）** を組み合わせることで、リアルタイム～準リアルタイムにおける **仕様変更対応・故障時再設計・物理制約を考慮した設計** を可能とする「**AITL戦略（AI-Integrated Transition & Loop）**」を提示するものである。

This proposal presents the **AITL Strategy (AI-Integrated Transition & Loop)**, which integrates **state feedback control** and **state transition control**, further enhanced by **LLMs (Large Language Models)** and **SystemDK (System Design Kit)**.

This integration enables real-time to quasi-real-time **design modification**, **fault-time redesign**, and **constraint-aware implementation**.

従来、制御・解析・物理実装はそれぞれ **独立したプロセス** として扱われてきた。

しかし、先端ノード半導体や次世代自律システムの分野では、**これらを単一の設計基盤上で統合的に運用することが国際競争力確保の必須条件**となっている。

本提案はそのための **具体的枠組み** を提示する。

Traditionally, **control, analysis, and physical implementation** have been managed as **independent processes**.

However, in advanced-node semiconductor design and next-generation autonomous systems,

operating them within a unified design framework has become indispensable for maintaining international competitiveness.

This proposal outlines a **practical framework** to achieve that goal.

本提案が統合する技術群は、

- 制御（状態フィードバック＋状態遷移）
- 解析・設計（LLM）
- 物理実装最適化（SystemDK）

である。これらは成果物と制約条件を直接共有できる相補的要素であり、部分的改善では到達できない、**リアルタイムかつ物理制約を考慮した統合的最適化**を実現する。

The technologies integrated in this proposal—

- **control (state feedback + state transition)**
- **design & analysis (LLMs)**
- **physical implementation optimization (SystemDK)**

are complementary elements that can directly share results and constraints.

Together, they enable a level of **real-time, constraint-aware holistic optimization**

that cannot be achieved through partial improvements alone.

さらに、世界の半導体市場と制御系産業はいま急速な変革期にある。
これら3つの技術を **今** 統合しなければ、EUV世代の半導体設計や
産業用自律システム制御といった分野で国家的な技術競争において
致命的な遅れを招く可能性が高い。

特に、SystemDKはAITLの専用技術にとどまらず、
あらゆる先端ノード半導体設計に不可欠な基盤 である。

Moreover, the global semiconductor and control industries are undergoing rapid transformation.
Without integrating these three technologies now, nations risk falling fatally behind in areas such as
EUV-generation semiconductor design and industrial autonomous systems.

In particular, SystemDK is not limited to AITL-specific applications—
it is an **essential foundation for all advanced-node semiconductor design**.

1. 状態フィードバック＋状態遷移統合制御の価値

1. Value of Integrated Feedback and Transition Control

統合制御は、従来型制御の課題（局所最適化・仕様変更耐性不足・故障時脆弱性）を解消し、
安定性・柔軟性・冗長性を兼ね備えた次世代制御基盤を実現する。

Integrated control resolves the limitations of conventional methods (local optimization, poor tolerance to specification changes, and fragility under faults),
and enables a **next-generation control framework** with stability, flexibility, and redundancy.

項目 / Item	効果 / Effect
安定性 / Stability	異なるモード間でも連続的で安定した動作を維持 Maintains continuous and stable operation even across different modes
柔軟性 / Flexibility	設計時点および運用中の要求変更に対応 Adapts flexibly to design-time and runtime requirement changes
冗長性 / Redundancy	一部機能喪失時にも安全かつ効率的に動作継続 Continues safe and efficient operation even when some functions fail

flowchart TB

A[状態フィードバック制御 / State Feedback Control] --> C[統合制御コア / Integrated Control Core]

B[状態遷移制御 / State Transition Control] --> C

C --> D[安定性 + 柔軟性 + 冗長性 / Stability + Flexibility + Redundancy]

2. LLM融合によるAITLの価値 / Value of AITL with LLM {#aitl-llm-value}

AITLは**統合制御**に**LLM（大規模言語モデル）**を加えることで、従来の制御・設計の枠を超えた新しい価値を創出する。

By incorporating **LLMs (Large Language Models)** into **integrated control**, AITL creates **new value** that goes beyond conventional control and design paradigms.

LLM活用領域 / LLM Role	新しい価値 / New Value
状況解析 / Situation Analysis	ログやセンサーデータから異常検知・原因推定を自動化 Automates anomaly detection and root-cause estimation from logs and sensor data
準リアルタイム設計 / Quasi-Real-Time Design	数分単位で仕様変更に対応し、制御アルゴリズムやFSM構造を再設計 Adapts to specification changes within minutes, redesigning control algorithms and FSM structures
統合アーキ設計 / Integrated Architecture Design	仕様書から直接、統合制御を含む全体設計図を生成 Generates complete system architectures, including integrated control, directly from specifications
故障時再設計 / Fault-Time Redesign	残存機能を活用して動作モードを再構築 Reconstructs operation modes by leveraging remaining functional modules during faults
SystemDK連携 / SystemDK Collaboration	物理制約・ノード特性を設計初期から反映し、最適な実装形態を選択 Integrates physical constraints and node characteristics from the early design stage to select the optimal implementation form

3. PoC具体例 / Real-World PoC Examples {#poc-examples}

3.1 ロボット制御統合 / Integrated Robotic Control

- **課題 / Challenge:**

従来は各関節やアームの制御が個別で、1つのアクチュエータが故障すると全体を停止せざるを得なかった。

In conventional systems, each joint or arm is controlled separately, and a failure in one actuator forces the entire system to shut down.

- **AITL解決 / AITL Solution:**

統合制御+LLMにより、片腕故障時でも残存アームで作業を続行できる制御系を自動生成。

With integrated control and LLM support, AITL can automatically generate a control system that allows remaining arms to continue operation even if one arm fails.

3.2 スマート工場ライン最適化 / Smart Factory Line Optimization

- **課題 / Challenge:**

従来は故障時に代替ライン構成を人手で調整する必要があり、再稼働まで数日を要した。

Traditionally, reconfiguring production lines after failures required manual intervention, taking several days before resuming operations.

- **AITL解決 / AITL Solution:**

統合制御でライン全体を最適化し、LLMが設備状態解析から数分で代替ラインを編成。

AITL enables integrated optimization of the entire production line, with LLMs analyzing equipment status and reconfiguring substitute lines within minutes.

3.3 自律移動ロボット群制御 / Autonomous Mobile Robot Fleet Control

- **課題 / Challenge:**

複数ロボット間での経路調整に遅延が生じ、全体効率が低下していた。

Delays in coordinating paths among multiple robots caused overall efficiency to drop.

AITL解決 / AITL Solution:

- 統合制御により全体動作を同期し、LLMが交通状況解析に基づいてリアルタイムで経路を最適化。

AITL synchronizes overall fleet operations through integrated control, while LLMs optimize routing in real time based on traffic and situational analysis.

4. AITL実装とSystemDKの必要性 / Need for SystemDK in AITL Implementation {#systemdk}

AITLを実システムに実装する際には、**物理制約（熱・応力・電源・EMIなど）**を初期段階から設計に反映する必要がある。

When implementing AITL into real systems, it is essential to reflect **physical constraints (thermal, stress, power, EMI, etc.)** at the earliest design stage.

SystemDK（System Design Kit）は、これを可能にする設計基盤である。
SystemDK (System Design Kit) provides the foundational design framework that makes this possible.

SystemDKの適用範囲はAITLに限らず、**半導体チップ全般**に及ぶ。

The application scope of SystemDK extends beyond AITL, encompassing **semiconductor chip design as a whole**.

特に、今後の**先端ノード半導体チップ**においては、物理制約を設計初期段階で統合的に扱う**SystemDKによる設計手法は必須**となる。

In particular, for **future advanced-node semiconductor chips**, design methodologies based on SystemDK—which integrate physical constraints at the earliest stages—will be **indispensable**.

- 高密度実装環境での熱・信号干渉の早期対策が可能
Enables early countermeasures against thermal and signal interference in high-density environments.
- FEM解析を設計段階に組み込み、回路・パッケージ・基板の統合最適化を実現
Integrates FEM analysis directly into the design phase, achieving co-optimization across circuits, packages, and substrates.
- 長期的には設計効率・製品信頼性・量産歩留まりの向上につながる
Ultimately improves design efficiency, product reliability, and mass-production yield.

4.1 技術的課題とリスク / Technical Challenges and Risks {#risks}

分類 / Category	課題 / Challenge	リスク / Risk
AI信頼性 / AI Reliability	LLM応答の精度・一貫性の保証 Ensuring accuracy and consistency of LLM responses	誤判断・幻覚応答による制御ミス Misjudgments or hallucinations leading to control errors
セキュリティ / Security	統合制御系のサイバー攻撃耐性 Cybersecurity resilience of integrated control systems	生産停止・安全性低下 Production shutdowns, reduced safety
物理モデル融合 / Physical Model Integration	FEM等の物理制約モデルとリアルタイム制御の融合 Integrating FEM-based physical models with real-time control	設計遅延・性能劣化 Design delays, performance degradation
標準化とIP / Standardization & IP	標準化に伴う知財・ライセンス調整 Aligning intellectual property and licensing with standardization	国際競争力低下 Loss of international competitiveness

5. 政策提言 / Policy Recommendations {#policy}

5.1 導入効果試算 / Expected Benefits (Model Case)

前提条件: 国内製造ラインにAITL導入、PoC評価データに基づく試算値
Assumption: Introduction of AITL into a domestic production line, based on PoC evaluation data.

項目 / Item	従来型 / Conventional	AITL導入後 / With AITL	効果 / Impact
故障対応時間 / Fault Response Time	8時間 / 8h	30分 / 30min	ダウンタイム 94%削減 94% reduction in downtime
生産ライン再構成時間 / Line Reconfiguration	2日 / 2 days	2時間 / 2h	生産性向上8 倍 8× productivity improvement
設計変更対応コスト / Design Change Cost	100	60	40%削減 40% cost reduction

5.2 政策ロードマップ / Policy Roadmap

timeline

title AITL Policy Implementation Roadmap

2025-2027 : 基盤研究支援開始 / Launch foundational R&D programs

2027-2029 : 国際標準化WG設立 / Establish international standardization WG

2029-2032 : 産業実装コンソーシアム発足 / Launch industrial implementation consortium

- **2025–2027:** 基盤研究支援の開始 / Launch of foundational R&D support programs
- **2027–2029:** 国際標準化ワーキンググループ設立 / Establishment of an international standardization working group
- **2029–2032:** 産業実装コンソーシアム発足 / Launch of an industrial implementation consortium

5.3 学術化と人材育成 / Academic Systematization & Human Resource Development

AITLおよびSystemDKは、物理・制御・AIを横断する学際的領域であり、現場実装者のみでの吸収は困難である。

AITL and SystemDK represent an interdisciplinary domain spanning physics, control, and AI—beyond the reach of field engineers alone.

従って「AITL学（仮称）」を体系化し、修士～博士レベルでの教育カリキュラムを整備することが不可欠である。

Therefore, it is essential to establish a systematic discipline—tentatively called “AITL Studies”—with dedicated Master's to Doctoral-level curricula.

この分野で育成された人材が産業界に流入することで、研究開発と実装現場の分断を解消し、持続的な国際競争力を確保できる。

Graduates trained in this field will flow into industry, bridging the gap between R&D and implementation, thereby ensuring sustainable international competitiveness.

さらに、**国際共同研究ネットワーク**や**産学連携拠点**を設置し、学術的知見と産業界の実装要求を相互循環させる仕組みを構築すべきである。

Furthermore, **international joint research networks** and **industry-academia collaboration hubs** should be established to create a feedback loop between academic insights and industrial requirements.

これにより、AITL学を基盤とした教育・研究・実装が連続的に展開され、持続的な人材供給と国際競争力強化につながる。

This will enable continuous education, research, and implementation grounded in AITL Studies, ensuring a sustainable talent pipeline and strengthened international competitiveness.

```

flowchart TB
    A["大学院教育（修士・博士）<br/>Graduate Education (MSc/PhD)"] --> B["研究開発人材<br/>R&D Human Resources"]
    B --> C["産業界での実装・応用<br/>Industrial Implementation & Application"]
    C --> D["政策・社会実装<br/>Policy & Societal Deployment"]
    D --> E["国際標準化・競争力<br/>International Standardization & Competitiveness"]
    E --> A

    subgraph Academic
        A
        B
    end

    subgraph Industrial
        C
        D
    end

    subgraph Global
        E
    end

    style A fill:#eef5fb,stroke:#0b3d75,stroke-width:1px
    style B fill:#eef5fb,stroke:#0b3d75,stroke-width:1px
    style C fill:#f9f2ec,stroke:#a65e2e,stroke-width:1px
    style D fill:#f9f2ec,stroke:#a65e2e,stroke-width:1px
    style E fill:#f0f9f0,stroke:#2e7d32,stroke-width:1px

    style A stroke-width:2px
    style C stroke-width:2px

```

5.4 AITL産業化モデル：Samizo-AITL Design Company

5.4 AITL Industrialization Model: Samizo-AITL Design Company {#aitl-industry-model}

本節では、AITL戦略を**実際の産業実装へ接続するためのモデルケース**として、小規模事業体「**Samizo-AITL Design Company**」の構想を提示する。

This section presents the concept of a small-scale entity, “**Samizo-AITL Design Company**”, as a **model case to connect the AITL strategy to real industrial implementation**.

このモデルは、EDA／MATLAB-Simulink／SystemDK評価装置を基盤とし、**最小限の人員・資金からスタートし、5～7年でM&Aを実現可能とするロードマップ**を示すものである。

This model is based on EDA / MATLAB-Simulink / SystemDK evaluation

equipment,
and demonstrates a **roadmap starting with minimal personnel and funding, aiming for M&A in 5–7 years.**

人員構成 / Team Composition

- **最小構成（PoC段階） / Minimum Setup (PoC Stage):** 3–4 members
 - システムアーキテクト／リーダー / System Architect & Leader
 - EDA回路設計エンジニア / EDA Circuit Design Engineer
 - 制御・Simulinkエンジニア / Control & Simulink Engineer
 - 評価・テストエンジニア（兼任可） / Test & Evaluation Engineer (dual role possible)
- **拡張構成（製品化段階） / Expanded Setup (Productization Stage):** 5–7 members
 - FEM/物理解析、品質保証、人材育成を追加
 - Add FEM/Physics Analysis, Quality Assurance, and Training

投資規模 / Investment Scale

- **初期投資（PoCラボ設立） / Initial Investment (PoC Lab Setup):**
~¥15M (1500万円)
 - 装置投資 / Equipment (EDA, MATLAB, SystemDK, measurement): ¥3–7M
 - 事務所設置 / Office setup: ¥1–1.5M
 - 人件費（3名×半年） / Personnel (3 members × 6 months): ~¥10M
- **小規模スタートアップ化 / Small Startup Stage:** ¥22–25M
- **製品化・量産準備 / Productization & Mass Production Prep:** ¥30M+

支援スキーム / Support Schemes

- **公的補助金 / Public Grants** (NEDO, “Monozukuri” subsidies): Covers 1/3–1/2 of initial investment
- **自治体インキュベーション / Local Incubation:** Halves office costs
- **VC/CVC投資 / VC & CVC Investment:** Several hundred million yen in 2–4 years
- **国際共同研究拠点 / Intl. Research Hubs:** Parallel education & talent development

M&Aロードマップ / M&A Roadmap

フェーズ / Phase	年数 / Years	状態 / Status	M&A可能性 / M&A Potential
PoC・実績 / PoC & Proof	0-2年	技術デモ・初期顧客 / Tech demo & early customers	低 / Low
製品化 / Productization	2-4年	ARR ¥100-300M, early customers	中 / Medium (Acquihire type)
成長 / Growth	4-7年	ARR ¥500M-1B, intl expansion	高 / High (Strategic M&A target)
Exit	7-10年	IPO or large-scale M&A	確定ライン / Clear Exit Window

政策的意義 / Policy Significance

この産業化モデルを政策提言に組み込むことで、以下の効果が期待できる：
By integrating this industrialization model into the policy proposal, the following benefits are expected:

- **具体的数値モデルの提示 / Clear quantitative model** → 実行可能性を明確化 / Clarifies feasibility
- **小規模投資で始められる / Startable with small-scale investment** → 国家プロジェクトとして魅力 / Attractive as a national project
- **M&A／Exitシナリオ / M&A & Exit scenarios** → 民間資本参入を促進 / Encourages private investment

5.4.1 実装ロードマップ / Implementation Roadmap

```
timeline
    title Samizo-AITL Design Company – Roadmap to M&A (5–7 yrs)
    0–6mo : PoCラボ立上げ / Launch PoC lab
           : 評価治具・HIL環境固定 / Fix test jigs & HIL
    6–18mo: 初期顧客PoC / Early customer PoCs
           : Mini製品化検討 / Mini productization study
    18–36mo: v1製品出荷(小ロット) / Ship v1 (small lot)
           : ARR 1–3億円レンジへ / ARR ¥100–300M
           : CVC/VC調達(数億) / Raise Series A (¥100–300M)
    36–60mo: 製品ライン拡張 / Portfolio expansion
           : 海外PoC/販売チャネル構築 / Intl PoCs & channels
           : ARR 5–10億円レンジ / ARR ¥500M–¥1B
    60–84mo: 戦略的M&A交渉 / Strategic M&A talks
           : またはSeries B & 共同事業 / or Series B & JVs
```

5.4.2 組織拡張モデル / Org Scaling Model

```
flowchart TB
    subgraph Phase0["0–6mo: PoC Lab (3–4 ppl)"]
        A1["System Architect/PM"]
        A2["EDA Engineer"]
        A3["Control/Simulink"]
        A4["Test/Eval (兼務 / Dual role)"]
    end

    subgraph Phase1["6–24mo: Early Product (5–7 ppl)"]
        B1["System Architect/PM"]
        B2["EDA/PCB + SI/PI"]
        B3["Control/Simulink + Codegen"]
        B4["Test/Eval Lead + Automation"]
        B5["QA/Docs (0.5–1)"]
        B6["FEM/Physics (opt.)"]
    end

    subgraph Phase2["24–60mo: Growth (8–12 ppl)"]
        C1["Product Manager"]
        C2["EDA Lead + PDN"]
        C3["Control Lead + Toolchain"]
        C4["Test Automation + Data"]
        C5["QA/Compliance"]
        C6["FEM/EMI/THERM"]
        C7["BizDev/Channel"]
        C8["Procurement/Ops"]
    end

    Phase0 --> Phase1 --> Phase2
```

5.4.3 資金計画 / Funding Plan

gantt

title Funding & Spend Plan (0–12 months)

dateFormat YYYY-MM

section 資金調達 / Funding

自己資金・補助金 / Self funding & grants :done, f1a, 2025-09, 6mo

section 主な支出 / Major Spend

人件費 / Personnel (part 1) :crit, s1a, 2025-09, 12mo

装置投資 / Equipment (EDA/MATLAB/SystemDK) :s2a, 2025-09, 12mo

測定器&評価 / Measurement Equipment :s3a, 2025-10, 10mo

事務所・インフラ / Office & Infra :s4a, 2025-09, 12mo

section 収益化 / Revenue

PoC売上 / PoC Sales (start) :r1a, 2026-01, 8mo

section ダミー / Spacer

_余白 / Spacer (dummy) :spA, 2027-03, 6mo

gantt

title Funding & Spend Plan (12–24 months)

dateFormat YYYY-MM

section 資金調達 / Funding

シリーズA準備マイルストーン / Series A Prep :milestone, m1b, 2027-01, 1d

VC/CVC シリーズA (前半) / Series A (front) :active, f2b, 2027-03, 6mo

section 主な支出 / Major Spend

人件費 / Personnel (part 2) :crit, s1b, 2026-09, 12mo

事務所・インフラ / Office & Infra (part 2) :s4b, 2026-09, 12mo

認証/QA (前半) / Certification & QA (front) :s5b, 2026-10, 10mo

section 収益化 / Revenue

PoC売上 (後半) / PoC Sales (cont.) :r1b, 2026-09, 6mo

v1製品売上 (開始) / v1 Product Sales (start) :crit, r2b, 2027-04, 5mo

section ダミー / Spacer

_余白 / Spacer (dummy) :spB, 2028-01, 6mo

```

gantt
  title Funding & Spend Plan (24–36 months)
  dateFormat YYYY-MM

  section 資金調達 / Funding
  VC/CVC シリーズA (後半) / Series A (back) :active, f2c, 2027-09, 10mo

  section 主な支出 / Major Spend
  人件費 / Personnel (part 3) :crit, s1c, 2027-09, 12mo
  事務所・インフラ / Office & Infra (part 3) :s4c, 2027-09, 12mo
  認証/QA (後半) / Certification & QA (back) :s5c, 2027-10, 5mo

  section 収益化 (国内) / Revenue (Domestic)
  v1製品売上 / v1 Product Sales :crit, r2c, 2027-03, 12mo

  section 収益化 (海外) / Revenue (Intl)
  海外売上拡大 / Intl. Sales Expansion :r3c, 2028-05, 5mo

  section ダミー / Spacer
  _余白 / Spacer (dummy) :spC, 2029-06, 6mo

```

6. おわりに / Conclusion {#conclusion}

AITL戦略は、これまで分断されてきた**制御技術**と**AI設計**を統合し、仕様変更や故障にも即応できる**新しい産業システム**を実現する。さらに**SystemDK**との組み合わせにより、物理制約を考慮した最適な実装形態（ワンチップ・マルチチップ）が可能となり、産業・社会全体の効率化と新たな価値創造を加速する。

The **AITL strategy** unifies traditionally fragmented **control technologies** and **AI-driven design**, enabling industrial systems that can swiftly adapt to **design changes** and **unexpected failures**.

Combined with **SystemDK**, it allows the implementation of optimally tailored architectures—whether single-chip or multi-chip—while accounting for physical constraints.

This synergy accelerates both **industrial efficiency** and the **creation of new societal value**.

戻る / Back {#back}

Repository Home: <https://github.com/Samizo-AITL/AITL-Strategy-Proposal>

Contact: <mailto:shin3t72@gmail.com> | <https://x.com/shin3t72>