

DRAM技術導入とその戦略的位置づけ (1997–2001)

酒田 Fab における DRAM/PSRAM とロジック展開の関連

三溝 真一 (Shinichi Samizo)

独立系半導体研究者 (元セイコーエプソン)

Independent Semiconductor Researcher (ex-Seiko Epson)

Email: shin3t72@gmail.com

GitHub: <https://github.com/Samizo-AITL>

Abstract— (日本語)

本論文は、1997 年から 2001 年にかけてセイコーエプソン酒田事業所が三菱電機からの技術移管を通じて $0.5\mu\text{m} \rightarrow 0.35\mu\text{m} \rightarrow 0.25\mu\text{m}$ の DRAM プロセスを短期間で習得し、得られた知見を先端ロジックや高耐圧混載 CMOS へ展開して液晶ドライバー製品化に結びつけた技術的・戦略的過程を、筆者の実体験に基づき整理する。主要な不良モード (Pause/Disturb Refresh) の物理起源と対策、量産歩留まりの推移を示し、獲得知見がその後の事業へどのように接続されたかを考察する。

(English)

This paper reviews 1997 – 2001, when Seiko Epson's Sakata Fab assimilated DRAM processes ($0.5\mu\text{m} \rightarrow 0.35\mu\text{m} \rightarrow 0.25\mu\text{m}$) transferred from Mitsubishi Electric. The acquired know-how was extended beyond DRAM to advanced logic and high-voltage mixed CMOS, leading to LCD driver products. Key failure modes (Pause/Disturb Refresh), countermeasures, and yield evolution are summarized based on the author's on-site experience.

Index Terms—DRAM, VSRAM/PSRAM, $0.25\mu\text{m}$ process, retention failure, disturb failure, Sakata Fab, technology transfer, high-voltage mixed CMOS, LCD driver

(日本語) DRAM, VSRAM/PSRAM, $0.25\mu\text{m}$ プロセス, リテンション不良, ディスタ urb 不良, 酒田 Fab, 技術移管, 高耐圧混載 CMOS, 液晶ドライバー

I. 序論

1997 年, 当時の半導体産業は Windows 95 の世界的普及や Intel Pentium II の登場を契機として急成長局面にあった。製造技術面では, 8 インチウェーハラインと $0.35\mu\text{m}$ 世代プロセスの量産化が進展し, DRAM およびロジック LSI の分野で国際競争が激化していた。

セイコーエプソンは山形県酒田市に新たに建設した 8 インチ Fab (酒田事業所) において, 三菱電機からの技術移管を通じ $0.5\mu\text{m} \rightarrow 0.35\mu\text{m} \rightarrow 0.25\mu\text{m}$ の三代目 DRAM プロセスを短期間で習得した。その狙いは DRAM 事業単独で競争優位を築くことではなく, DRAM を媒体として最新プロセスを自前化し, 最終的にはロジック/高耐圧混載 CMOS や液晶ドライバーに展開する点にあった。

本研究はこの「DRAM 導入を目的ではなく手段とする」戦略的枠組みを, 筆者の現場経験に基づき整理する。特に, 立ち上げ初期の不良モード解析 (Pause/Disturb Refresh Fail)

とその対策, 歩留まり改善, さらに獲得知見がロジック展開にどう接続されたかを考察する。

II. 第 1 章: $0.5\mu\text{m}$ と $0.35\mu\text{m}$ 世代の立ち上げ

A. $0.5\mu\text{m}$ 16M DRAM

酒田 Fab における最初の量産製品は, $0.5\mu\text{m}$ 世代の 16M DRAM であった。熊本 Fab で確立されたプロセスを移管したものであり, 設備条件やレシピの親和性が高く, 立ち上げは比較的スムーズであった。

- 熊本 Fab 実績の 16M DRAM プロセスを忠実に導入
- 酒田 Fab の 8 インチ設備との適合性が良好
- 初期歩留まりから安定しており, 短期間で量産に到達

この成功により酒田 Fab は「量産可能な生産拠点」であることを社内外に示し, 次世代プロセス挑戦の足場を得た。

B. $0.35\mu\text{m}$ 64M DRAM: 洗浄フロー差異と「鏡写し」

次のステップは $0.35\mu\text{m}$ 世代の 64M DRAM であった。筆者が深く関与したのもこのプロジェクトである。

1) 初期の困難: 1997 年秋, 試作ロット 30 ロット以上を投入したが, いずれもパターン形状が大きく崩れ, SEM 測定も困難な状況であった。熊本 Fab では安定していたプロセスが酒田 Fab では再現できず, 現場は「なぜ動かないのか」という重苦しい空気に包まれた。

2) 原因究明: 徹底調査の結果, 原因はプロセス本質ではなく洗浄フローの差異にあった。熊本では「硫酸過水→アンモニア過水→塩酸過水」の 3 段フロー, 酒田では省略して「アンモニア過水→塩酸過水」としていた。この差異がウェーハ表面状態を変化させ, 後工程のプラズマ処理と干渉して膜厚ばらつきを拡大, パターン崩れを誘発していた。

3) 解決と「鏡写し」: 最終的な対応は熊本プロセスの完全な「鏡写し」であった。すなわちフロー, 装置条件, 手順を一切省略せず再現。これにより形状不良は解消し, $0.35\mu\text{m}$ 世代の量産化に成功した。

当時のキーワードはまさに「鏡写し」であり, 筆者にとっても 30 ロット以上の失敗を経て完全移植で量産を達成した強烈な原体験となった。

C. 小括

- $0.5\mu\text{m}$ 世代: 熊本実績の忠実移管により安定立ち上げ。
- $0.35\mu\text{m}$ 世代: 洗浄工程省略が大規模不良の原因。
- 「鏡写し」の徹底により歩留まり回復, 量産成功。

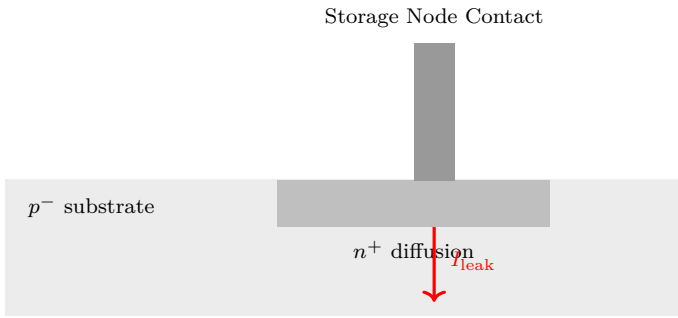


Fig. 1. DRAM セル断面の概念図 (SN コンタクト / n^+ 拡散層 / p^- 基板)。赤矢印は $n^+ \rightarrow p^-$ へのリーク電流 I_{leak} 。

これらの経験は「先端プロセス習得では一切の省略を許さない」という Fab 全体への教訓となり、次世代 0.25 μm プロセス立ち上げの土台となった。

III. 第 2 章：0.25 μm 世代 64M DRAM の立ち上げ

A. SCF 方式と初期歩留まり

1998 年、酒田 Fab は次世代である 0.25 μm 世代 64M DRAM の立ち上げに挑んだ。ここでも三菱電機が確立していた *Short Cycle Feedback (SCF)* 方式を採用した。SCF は 0.5 μm 世代から用いられていた、短いサイクルで評価とフィードバックを繰り返し工程条件を迅速に最適化する方法である。

その結果、本番ロットで約 65% の初期歩留まりを達成できた。20–30% から始まるのが一般的な新世代 DRAM の初期歩留まりと比べると、65% は極めて高い水準であった。

手順は以下であった。

- 1) 移管条件をフロッピーディスク 2 枚から流動票に展開
- 2) 主要工程ごとに形式ロット (約 10 ロット) を途中止めし形状確認
- 3) SEM 観察や電気特性評価に基づき条件修正
- 4) 本番ロット (3 ロット) を全工程通して流し、長期信頼性確認

この方式で短期間に工程条件が整備され、量産に直結した。

B. 保持時間モデルと不良モード解析

初期不良は主として *Pause Refresh Fail* に集中した。これはリフレッシュを一時停止し、セル保持特性を直接評価する試験である。試験条件を 32 ms \rightarrow 64 ms \rightarrow 128 ms と伸ばすと、単ビット不良が散発的に増加した。不良はランダム分布し、ライン欠陥やエッジ集中は見られなかった (Fig. 2)。

保持時間は次式で表される。

$$\tau = \frac{C_{\text{cell}} \cdot V_{\text{cell}}}{I_{\text{leak}}} \quad (1)$$

容量 C_{cell} 、電圧 V_{cell} は設計通りであり、問題はリーク電流 I_{leak} の増大であった。

解析によりキャパシタ誘電体や構造欠陥は否定され、主因は **拡散層ジャンクションリーク** と特定された。フェイルマップでも同一座標で再現性が確認され、プロセス条件起因の系統的不良であることが明らかになった。物理的起源を概念的に示したのが Fig. 1 である。

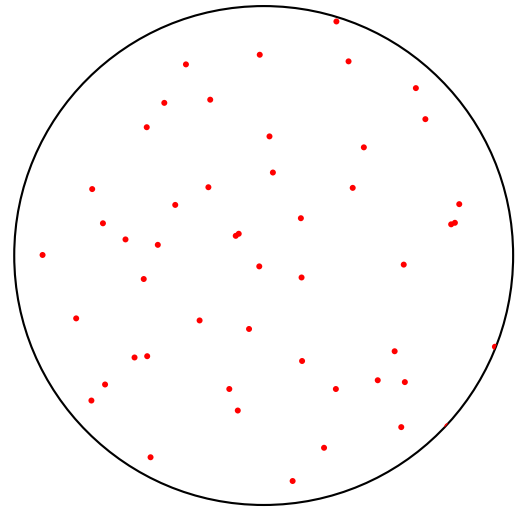


Fig. 2. Pause Refresh Fail のフェイルビットマップ例 (ウエハ外周部 + ランダム赤点)

TABLE I
レジスト剥離フローの切替 (BEFORE/AFTER)

従来 (Before)	O_2 アッシングによるドライ剥離
対策後 (After)	硫酸剥離によるウェット剥離
主効果	プラズマ曝露ゼロ化、界面欠陥・ジャンクションリーク抑制
歩留まり	65% \rightarrow 80% 台後半 (Pause 改善が支配)

C. プラズマダメージ仮説

ジャンクションリーク増大の要因として **プラズマダメージ** が浮上した。特に以下が疑われた。

- ゲートエッチ後の酸化膜露出時
- LDD 工程での繰り返しアッシング

酸素プラズマが界面欠陥準位を生成し、熱励起キャリア経路を介してリーク電流が増加したと推定された。

D. 対策と効果

根本対策は、レジスト剥離を O_2 アッシング から硫酸剥離 に全面切替することであった。プラズマ曝露を排除し、界面欠陥生成を根本的に防止した。(低パワー化や再アニールではなく、フローそのものを変更した。)

この切替により Pause Refresh Fail は大幅に減少し、歩留まりは 65% から 80% 台後半へ改善した (Fig. 3)。

E. 小括

0.25 μm 世代の立ち上げでは、SCF 方式により迅速な条件整備と 65% という高い初期歩留まりを実現した。不良の主因はジャンクションリークであり、プラズマダメージ対策 (硫酸剥離への切替) により 80% 台後半へ改善した。この経験は「表面処理・プラズマ影響を軽視できない」という教訓を残し、Fab のプロセス自前化に直結した。

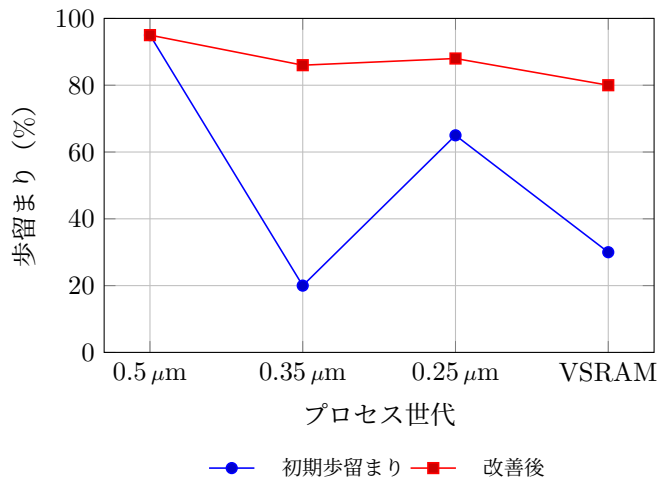


Fig. 3. 酒田 Fab における世代別歩留まり推移

IV. 第3章：VSRAM (2001 年) — PAUSE/DISTURB 対策と歩留まり改善

A. 開発背景と初期状況

2001 年、当時の携帯電話市場では「世界初のカメラ付き携帯」の登場が計画されていた。そのため低消費電力かつ高温動作保証 (90°C) が求められる新型メモリが必要であった。酒田 Fab では 0.25 μm DRAM プロセスを流用し、内部リフレッシュ制御を追加して VSRAM (疑似 SRAM) を実現する戦略を採用した。

しかし初期量産歩留まりは約 30% に留まり、市場投入のタイムリミットを優先して「低歩留まりのまま量産開始」という厳しい決断が下された。筆者はこの段階からプロジェクトに参画し、歩留まり改善を直接担当した。

B. 顕在化した不良モード

VSRAM に特有の不良は以下であった。

- **Pause Refresh Fail:** リフレッシュ停止時に保持時間が不足し、セルデータが失われる。
- **Disturb Refresh Fail:** リフレッシュ動作中のワードライン電圧が隣接セルに影響し、誤反転を引き起こす。

Pause Refresh は従来世代でも問題であったが、Disturb Refresh はモバイル用途での長時間リフレッシュ間隔と高温保証が重なったことで顕在化した。

C. 物理的要因

Pause Refresh の主因はセルジャンクションリークの増大である。保持時間モデルに従えば、

$$\tau = \frac{C_{\text{cell}} \cdot V_{\text{cell}}}{I_{\text{leak}}}$$

において I_{leak} が増大すれば τ は短縮し、保持不良が顕著になる。Fig. 4 に示すように、温度上昇とともにジャンクションリーク I_{junc} は指数的に増加し、90°C 条件下で特に顕著であった。バックバイアスを強化することでリーク増大を抑制できることも確認された。

Disturb Refresh は短チャネル効果 (SCE) によりセル間アイソレーションが不十分となり、ワードライン電圧が隣

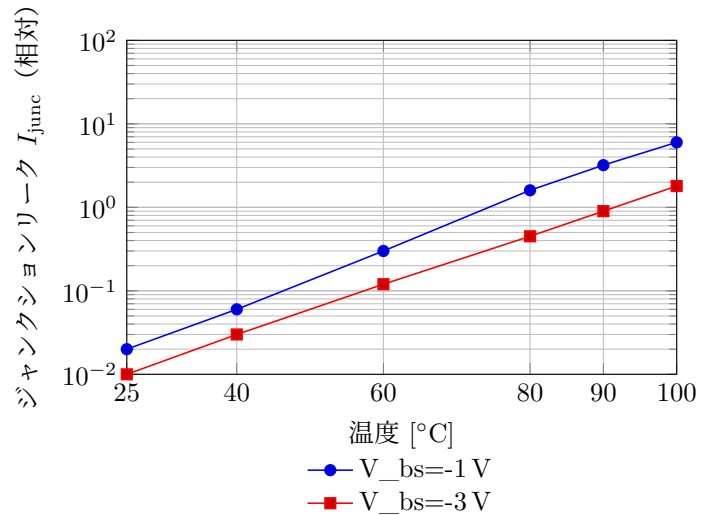


Fig. 4. Pause Refresh: 温度上昇で I_{junc} は指数的に増大。バックバイアス強化で抑制。

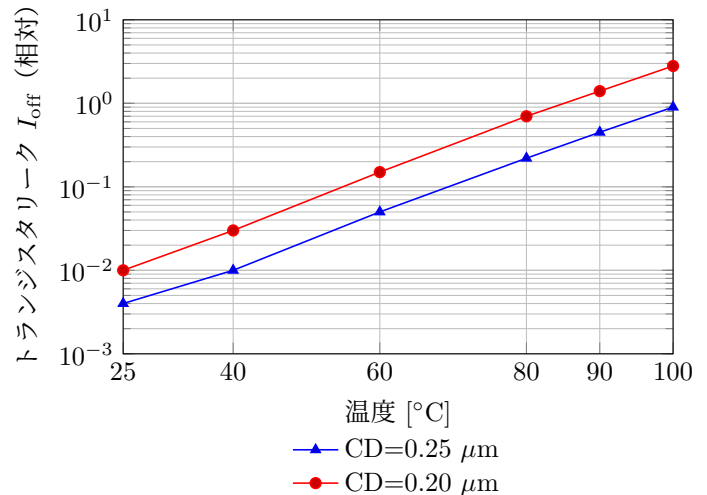


Fig. 5. Disturb Refresh: 短チャネル効果で I_{off} が増大。温度上昇でも指数的に増加。

接セルのしきい値を超えて誤反転を引き起こす現象である。Fig. 5 に示すように、チャネル長を短くするとオフリーク I_{off} が急増し、温度上昇によりさらに指数的に増大した。特に 90°C 条件下では短チャネルデバイスでの影響が支配的であった。

D. 対策と実装

不良低減のため、以下の対策を実施した。

• Pause 対策:

- HF 洗浄回数を最小化し、SN コンタクト近傍リークを低減。
- バックバイアスを $V_{\text{bs}} = -1 \text{ V} \rightarrow -3 \text{ V}$ に強化し、ジャンクションリークを抑制。

• Disturb 対策:

TABLE II
PAUSE / DISTURB 不良に対する主な対策

不良モード	主因	主な対策
Pause	ジャンクションリーク	HF 洗浄制御, バックバイアス強化
Disturb	短チャネル効果	CD 管理, チャネルドーピング, バックバイアス強化

- ゲート CD を厳密管理し、短チャネルばらつきを抑制。
- バックバイアス強化によりしきい値電圧を上昇させ、誤反転を防止。
- チャネルドーピング量を増加させ、セル反転耐性を向上。

E. 効果と歩留まり推移

対策の結果,

- Pause Refresh Fail の発生率が大幅に低下し、内部リフレッシュ間隔延長時でも安定保持可能となった。
- Disturb Refresh Fail も 90 °C 条件下で誤反転が顕著に減少した。
- 歩留まりは初期 30% から 80% 台へ改善し、量産に耐える水準へ到達した。

F. 小括

VSRAM 立ち上げでは、モバイル仕様の低消費・高温要求が Pause/Disturb 不良を顕在化させた。しかし HF 洗浄制御、バックバイアス強化、ゲート寸法管理などにより、歩留まりは 30% から 80% 台へ改善できた。この成功は酒田 Fab における DRAM 派生製品の集大成であったが、技術展開はむしろロジック／高耐圧混載 CMOS ヘシフトしていく布石となった。

V. 第 4 章：0.18 μm トレンチ系の評価と断念

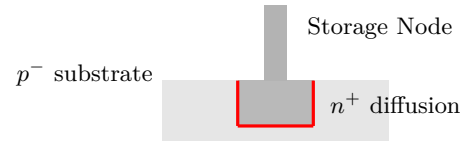
A. 評価対象と背景

VSRAM 立ち上げ後、次世代候補として台湾 NANYA 社の 0.18 μm DRAM プロセスを利用した VSRAM 試作評価が検討された。NANYA は当時、東芝と技術提携を行っており、トレンチキャパシタ方式をベースとしたプロセスを提供していた。

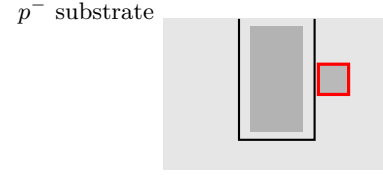
この評価の目的は、0.25 μm DRAM 流用 VSRAM の後継として、モバイル用途でさらに高密度・低消費を実現することであった。

B. 技術的特徴

- キャパシタ構造**：セルキャパシタはトレンチ型を採用。スタック型に比べ面積効率が低い一方、接合構造が複雑化しリークの寄与要因が増える。
- 動作仕様**：DRAM 標準の 80 °C 動作保証は満たすが、モバイル用途で必須の 90 °C 保証には設計余裕が少なかった。



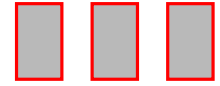
(a) Stack Cross-section



(b) Trench Cross-section



(c) Stack Top view



(d) Trench Top view

Fig. 6. Stack と Trench キャパシタの比較。(a)(b)：断面図。Stack では pn 接合は拡散層の側壁と底面のみ。Trench では buried strap 周囲に局所的に pn 接合が形成される。(c)(d)：上面図。Stack は単一矩形セルで周辺長が短い。Trench は複数のトレンチ列により周辺長が長くなる。

C. 課題の顕在化

評価の結果、90 °C 条件下では以下の不良が顕著に観測された。

- Pause Refresh Fail：保持時間不足が多数発生。
- Disturb Refresh Fail：高温条件で誤反転が増加。
- 高温リーク：pn 接合リークが顕著に増大。

Fig. 6 に示す断面図から分かるように、スタック型キャパシタでは n^+ 拡散の側壁と底面のみが pn 接合として機能し、その周辺長は比較的短い。一方、トレンチ型ではキャパシタ自体は絶縁されているものの、buried strap 周囲に局所的な pn 接合が形成され、さらに上面図に示すように複数トレンチ列が並ぶことで、結果的に接合周辺長が大幅に増加する。

この構造上の違いにより、トレンチ型は界面欠陥や電界集中を起点とするリーク経路が増えやすく、特に高温条件下でのリーク増加に直結した。Fig. 7 に示す実測データでも、接合面積・周辺長の増加に比例してリーク電流 I_{junc} が増大し、90 °C 条件下ではその増加率が一層大きくなることが確認された。

D. 評価結果と戦略判断

最終的に、NANYA 0.18 μm トレンチプロセスではモバイル用途に必須の 90 °C 動作保証を満たせないと判断された。このため次世代 VSRAM への展開は断念され、酒田 Fab のメモリ事業は終息に向かうこととなった。

一方で、エプソンは液晶ドライバー IC 分野で既に競争優位を確立しており、戦略は高耐圧混載 CMOS をベースとした液晶ドライバー開発に集中する方向へシフトした。

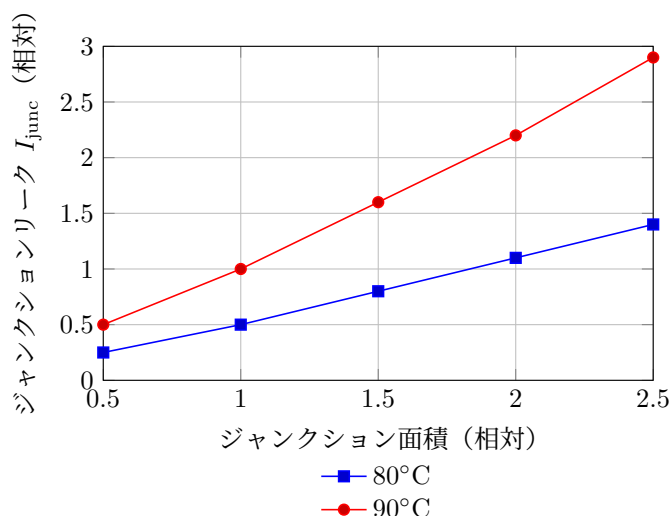


Fig. 7. トレンチキャパ：ジャンクション面積に比例して I_{junc} が増加。高温条件では増加率が高い。

E. 小括

0.18 μm トレンチ DRAM プロセスの評価は、「汎用 DRAM 技術をそのままモバイル用途へ流用することの限界」を示した。VSRAM の取り組みはメモリ製品としては最終章となったが、その過程で得られたプロセス知見は液晶ドライバーの高耐圧・混載技術開発へ直結した。この転換こそが、酒田 Fab における戦略的な「メモリからディスプレイドライバーへの移行」を象徴するものであった。

VI. 結論

本研究では、1997 年から 2001 年にかけて酒田 Fab で実施された DRAM 技術導入とその後の展開を、筆者の現場経験に基づき整理した。

- **第 1 章**：0.5 μm 世代 16M DRAM では、移管プロセスを安定的に立ち上げ、酒田 Fab が量産可能な生産拠点であることを示した。一方、0.35 μm 世代 64M DRAM では洗浄フロー差異による不良が発生したが、熊本 Fab プロセスの完全な「鏡写し」により解決し、「一切の省略を許さない」移管の教訓を得た。
- **第 2 章**：0.25 μm 世代 64M DRAM では、SCF 方式により短期間で条件整備を実現し、初期歩留まり 65% に到達。不良解析からジャンクションリークを主因と特定し、プラズマダメージ対策により歩留まりを 80% 台後半まで改善した。
- **第 3 章**：VSRAM の立ち上げでは、モバイル用途特有の低消費・90°C 保証が Pause/Disturb 不良を顕在化させた。HF 洗浄制御、バックバイアス強化、ゲート寸法管理などにより、歩留まりを 30% から 80% 台へ改善することに成功した。
- **第 4 章**：NANYA 0.18 μm トレンチプロセスは高温保持特性の不足によりモバイル用途には不適と判断。この評価を契機にエプソンはメモリ事業から撤退し、液晶ドライバー IC を中心とする高耐圧混載 CMOS へ戦略を集中した。

以上より、酒田 Fab における DRAM 導入は「事業の最終目的」ではなく、先端プロセス知見を獲得する手段であった。量産を通じて得られた技術は、液晶ドライバーや高耐圧混載 CMOS といったエプソンのコア事業に直結し、その後の競争優位を支える基盤となった。これこそが酒田 Fab 建設と DRAM 導入の歴史的意義である。

参考文献

REFERENCES

- [1] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed., Wiley, 2006.
- [2] T. Tanaka et al., "Trends and Challenges in DRAM Scaling," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1615–1624, 1996.
- [3] L. Rizzoli et al., "Retention and Disturb Characterization in 0.25 Micron DRAM," in *Proc. Int. Test Conf.*, 2000.
- [4] S. Okhonin et al., "Retention Time and Junction Leakage in Deep Submicron DRAM," in *IEDM Tech. Dig.*, pp. 549–552, 1998.
- [5] H.-S. P. Wong, "Technology and Device Scaling for DRAM," *IBM J. Res. Dev.*, vol. 43, no. 1–2, pp. 133–168, 1999.
- [6] C. Chang and S. C. Lee, "Plasma-Induced Damage on Gate Oxides," *J. Electrochem. Soc.*, vol. 141, no. 9, pp. 2512–2517, 1994.
- [7] MoSys Inc., "1T-SRAM Technology Overview," White Paper, 2001.
- [8] J. Kim et al., "Low Power Refresh Schemes for Mobile DRAM/PSRAM," in *Symp. on VLSI Circuits*, pp. 190–193, 2002.
- [9] K. Schuegraf et al., "Impact of Plasma Damage on Junction Leakage and Gate Oxide Reliability," in *VMIC Conf. Proc.*, pp. 73–79, 1997.

著者略歴

三溝 真一 (Shinichi Samizo) 信州大学大学院 工学系研究科 電気電子工学専攻修士課程を修了後、セイコーエプソン株式会社に勤務。半導体ロジック／メモリ／高耐圧インテグレーション、インクジェット薄膜ピエゾアクチュエータ、および PrecisionCore プリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AI システム統合に取り組んでいる。連絡先: shin3t72@gmail.com