

SystemDK with AITL Core：設計・信頼性・制御を統合する自律的アーキテクチャ

三溝 真一 (Shinichi Samizo)

独立系半導体研究者（元セイコーエプソン） / Independent Semiconductor Researcher (ex-Seiko Epson)

Email: shin3t72@gmail.com GitHub: <https://github.com/Samizo-AITL>

Abstract—本論文では、設計・信頼性・制御を統合的に扱う新しい工学アーキテクチャ **SystemDK with AITL Core**を提案する。**SystemDK** (**System Design Kernel**)は、設計構造、解析データ、および制御モデルを共通スキーマ上で統合し、全設計階層を一貫的に接続する知識基盤である。**AITL** (**Adaptive Intelligent Tri-Layer**)は**PID**、**FSM**、**LLM**の三層から構成され、**PID**層は物理的安定性を維持し、**FSM**層は動作モードの一貫性を保証し、**LLM**層は設計情報の論理整合性を監督し再設計を指令する。**SystemDK with AITL Core**は、これらの層を動的に結合することで、設計構造と制御論理の整合をリアルタイムに最適化する。提案手法は、制御対象（ロボット・アクチュエータなど）の物理安定化と、チップレットを含む電子構造設計の一貫的整合管理を同一枠組みで実現し、自律的かつ自己整合的な設計システムの新たな基盤を形成する。

Abstract (English): This paper presents a unified engineering framework, **SystemDK with AITL Core**, which integrates design, reliability, and control into a single adaptive architecture. **SystemDK** (**System Design Kernel**) consolidates design structures, analytical data, and control models within a shared schema, ensuring consistent connectivity across all hierarchical layers. **AITL** (**Adaptive Intelligent Tri-Layer**) consists of three layers: a **PID** layer that maintains physical stability, an **FSM** layer that ensures operational consistency, and an **LLM** layer that supervises logical integrity and initiates redesign processes. By dynamically coupling these layers, the framework enables real-time coherence between structural design and control logic. The proposed architecture provides a common foundation for both physical stabilization in robotic and actuator systems and structural consistency management in chiplet-based electronic design, offering a pathway toward autonomous and self-consistent engineering systems.

Index Terms—System Design, Reliability, Control Integration, PID Control, FSM, LLM, Chiplet Design, Robotic Systems, Autonomous Architecture, Self-consistent Engineering

I. はじめに

現代の複合システム設計では、構造・材料・熱・応力・電磁・信頼性といった物理解析領域と、PID制御・状態遷移・AI補償などの制御系設計領域が、依然として個別に進められることが多い。この分離は、設計階層間の情報不整合を引き起こし、パラメータ再設定やモデル再解析の繰り返しによる開発遅延および信頼性劣化の主要因となっている。

従来のEDAツールやCAE解析環境は、各領域（回路、熱、応力、信号、制御）における局所的最適化や解析精度向上には大きく貢献してきた。しかし、これらは設計全体を俯瞰的に統合する情報基盤を欠いており、ある領域の設計変更が他領域（例：制御・構造・

信号）へ自動的に伝搬する仕組みが存在しない。その結果、設計全体としての一貫性と制御安定性を同時に保証することが困難であった。

本研究では、この課題を根本的に解決するために、設計・解析・制御を単一のデータスキーマ上で連結し、情報整合性と自律最適化を同時に実現する新しい工学アーキテクチャ **SystemDK with AITL Core** を提案する。**SystemDK** (**System Design Kernel**)は、仕様策定、制御系設計、FPGA/ASIC回路設計、構造設計、およびFEM/ノイズ解析を統合的に接続する知識基盤であり、構造変更が制御モデルや解析条件へ即時反映される閉ループ型設計環境を実現する。

さらに、**SystemDK**の中核を成す **AITL** (**Adaptive Intelligent Tri-Layer**)は、**PID**・**FSM**・**LLM**の三層から構成される知的制御フレームワークである。**PID**層はアクチュエータやロボット機構の物理量を実時間で安定化し、**FSM**層はその動作モードと状態遷移を監督し、**LLM**層は設計・解析・制御データの論理整合を検証し、必要に応じて再設計を指令する。この三層構造により、**SystemDK**全体は設計変更や実測データの変化に応じて自律的に再整合・再最適化を行う、いわば「自己修復型設計基盤」として機能する。

提案する **SystemDK with AITL Core** は、制御対象（ロボット・アクチュエータなど）の物理安定化と、チップレットを含む電子構造設計の整合管理を、同一スキーマ上で統合的に扱うことを可能にする。本論文では、その統合設計フロー、制御理論、および信頼性統合手法を体系的に示し、仕様策定から実装検証までの全工程を閉ループで接続する、次世代の自律設計アーキテクチャの基礎を確立することを目的とする。

II. SYSTEMDKの構造

SystemDK (**System Design Kernel**)は、設計・解析・制御・信頼性評価を統一的に結合するための中核アーキテクチャである。従来のように個別ツール間で情報が分断されるのではなく、**SystemDK**はすべての工程を共通データスキーマ上で接続し、設計情報の一貫性・整合性・再利用性を保証する。

本章では、**SystemDK**を構成する主要要素を5つの層として整理し、その機能と相互連携を明確に定義する。

A. (1) スキーマ管理層 (Schema Management Layer)

SystemDKの中心に位置する層であり、設計に関わる全情報（仕様、制御パラメータ、回路構成、構造モデ

ル、解析条件)を一元的に管理する。このスキーマは「設計の設計図」に相当し、各要素をノードとリンクで記述する階層的データ構造として定義される。¹

設計変更が生じると、対応ノードの属性値が自動更新され、制御設計やFEM解析に即時反映される。これにより、手動での再設定を要せず、全工程が同期した閉ループ構造を維持する。

B. (2) データ接続層 (Data Connectivity Layer)

設計ツール間のデータ伝達と整合を担う層である。MATLAB/Simulink (制御系設計)、EDAツール (回路設計)、FEM解析ツール (熱・応力解析)、およびSystemDKスキーマがAPI群で相互接続される。各ツールの出力は変換モジュールを介して統合され、制御パラメータと解析結果が双方向に参照可能となる。この構造により、「制御が解析に影響し、解析が再び制御を更新する」という**情報循環ループ (information feedback loop)**が形成される。

C. (3) 階層設計統合層 (Hierarchical Integration Layer)

SystemDKは、ボード (BRDK)、インターポーザ (IPDK)、パッケージ (PKGDK)、およびシステム (SystemDK)の各設計階層を共通スキーマで統合管理する。電気・熱・応力・信号経路などの物理依存関係を階層的にリンクすることで、一部の設計変更 (例: 配線長や材料特性の修正)が、上位階層のFEM解析・ノイズ評価・制御条件へ自動伝搬する。この統合構造により、チップレットからシステム全体までを貫くマルチスケール最適設計が可能となる。

D. (4) 制御統合層 (AITL Integration Layer)

AITL (Adaptive Intelligent Tri-Layer)は、SystemDKに組み込まれた知的制御フレームワークであり、PID、FSM、LLMの三層で構成される。

- **PID層**: 実時間制御を担い、温度・応力・振動・電流などの物理量を安定化する。
- **FSM層**: 動作モードと状態遷移を監督し、安全領域内での運転を保証する。
- **LLM層**: 大規模言語モデルに基づき、設計全体の論理整合を解析し、再設計指令を生成する。

特にLLM層は、単なる自然言語処理AIではなく、SystemDKスキーマ全体の依存関係を理解し、設計・制御・解析間の因果関係を推論する「上位知能層 (meta-intelligence layer)」として動作する。たとえば、アクチュエータの発熱やノイズ上昇がPIDおよびFSMの補償範囲を超過した場合、LLM層は構造・制御パラメータを同時に再設計し、SystemDKスキーマ全体を再構成することで、**自律的再最適化 (self-reconfiguration)**を実現する。

¹実装上はJSONやYAMLなどの汎用形式を採用するが、利用者はこれを意識することなく、GUI上で統合的に操作できる。

E. (5) 信頼性統合層 (Reliability Coupling Layer)

信頼性解析と制御設計を結合する層である。FEMおよびノイズ解析による結果 (温度分布・応力集中・電圧降下)を制御系に直接フィードバックし、制御パラメータを信頼性指標に基づいて補正する。さらに、NBTI、HCI、TDDBなどの劣化モデルを組み込み、長期的な性能変動を予測した上で、AITL制御による補償を実施する。これにより、時間軸上でも信頼性を動的に維持できる。

まとめ

以上の5層により、SystemDKは、仕様から実装・解析・制御・信頼性評価に至るまでを単一スキーマ上で統合し、AITLによる知的制御機構を通じて自律的に安定化・再最適化を行う。すなわち、SystemDKは「設計そのものを制御対象とみなし、知的に再構成する自律設計基盤」として定義される。

III. AITL : 三層制御構造

AITL (Adaptive Intelligent Tri-Layer)は、SystemDK全体を動的に安定化させるための知的制御構造である。AITLは、内側の実時間制御から外側の知的監督までを三層で構成し、各層が異なる時間スケールと抽象度でシステムの安定性および設計整合性を維持する。

すなわち、PID層が物理的安定性を即応的に制御し、FSM層がその動作モードを監督し、LLM層が全体設計の整合性と再構成を実施するという、多層監督型の閉ループ制御体系を形成する。

A. PID層: 内側の実時間閉ループ制御

PID層はAITLの最内層に位置し、温度、電流、応力、位置、速度などの物理量に対して閉ループ制御を行う中核制御層である。制御式は次式で定義される:

$$u(t) = K_P e(t) + K_I \int_0^t e(\tau) d\tau + K_D \frac{de(t)}{dt} \quad (1)$$

ここで、 $e(t)$ は偏差 (目標値と観測値の差)、 K_P 、 K_I 、 K_D は比例・積分・微分ゲインである。PID層はSystemDKに格納された物理応答モデル (例: FEM解析結果)を参照し、負荷変動や温度変化、外乱に応じてゲインを動的に再設定する。PID層はAITLにおける唯一の実時間閉ループ構造であり、アクチュエータやロボット機構などの物理系に直接作用する。

B. FSM層: 中間のモード監督層

FSM (Finite State Machine)層は、PID層の外側に位置し、その制御モードと状態遷移を監督する。FSMはPID出力の状態を監視し、異常や飽和を検出した際には安全モードや回復モードへの遷移を実行する。

代表的な状態遷移は次のように表される:

NORMAL → SATURATE → COOLDOWN → NORMAL

- NORMAL: PIDが安定動作している通常制御状態
- SATURATE: PID出力が物理上限に近づいた状態

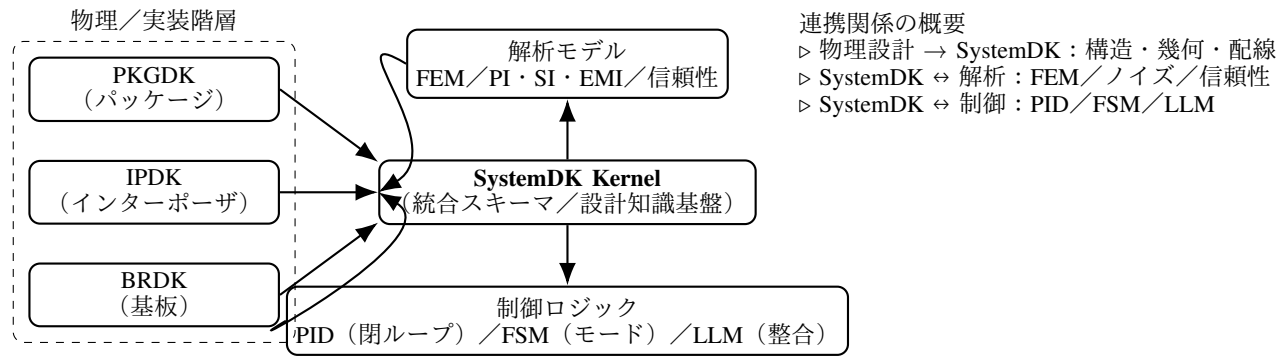


Fig. 1. SystemDK with AITL の統合階層構造。BRDK/IPDK/PKGDKを基盤とし、設計知識基盤（SystemDK）を中心に、解析層および制御層を双方向に結合する。

COOLDOWN：PID制御を一時的に抑制し、発熱や応力を緩和して再安定化を待つ

FSM層はSystemDKスキーマ内で遷移条件を形式的に定義し、制御モードの整合性と安全性を保証する。この層は閉ループ制御ではなく、PIDを監督する中間制御層（**supervisory layer**）として機能する。

C. LLM層：最外の知的整合・再設計層

LLM（Large Language Model）層はAITLの最外層に位置し、SystemDK全体の設計整合性と制御最適化を知的に監督する。ここでのLLMは単なる自然言語処理AIではなく、SystemDKスキーマに格納された構造・解析・制御データを統合的に解析し、因果関係を理解して再構成を行う上位知能層である。

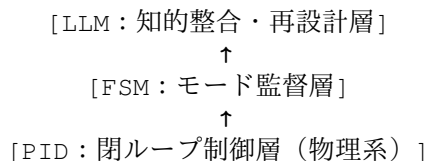
LLM層の主な機能は次の通りである：

- 異常要因の推論と説明：PIDおよびFSMの動作ログを解析し、発熱・振動・遅延などの異常発生源を特定し、原因を説明する。例：「アクチュエータM2のトルク飽和が熱暴走の要因」。
- 再設計指令の生成：構造・制御・解析モデルを統合的に評価し、修正案を生成する。例：「 K_p を12%減少、FEM解析条件を再実行、FSM閾値を更新」。
- 設計スキーマの再構築：修正案をSystemDKスキーマへ反映し、制御・解析・構造データを自律的に再同期させる。

このようにLLM層は、PIDおよびFSMが維持する制御安定性の外側で、システム全体の知的再設計（**intelligent redesign**）を実行する。すなわち、LLM層はSystemDK全体を理解し、異常時に設計そのものを再構成する「設計監督AI」として機能する。

D. AITL全体の階層構造と動作原理

AITLの階層構造は次のように整理される：



連携関係の概要

- ▷ 物理設計 → SystemDK：構造・幾何・配線
- ▷ SystemDK ↔ 解析：FEM/ノイズ/信頼性
- ▷ SystemDK ↔ 制御：PID/FSM/LLM

PID層が物理安定性を実時間で維持し、FSM層がモード単位で安全性を監督し、LLM層がSystemDK全体の設計整合性と再構成を担う。これら三層は時間スケールと抽象度を異にしながら、共通のSystemDKスキーマを介して常時同期している。

AITLはこの三層協調構造により、設計の安定性（PID）、動作の一貫性（FSM）、情報整合と再構成（LLM）を同時に保証する。さらにAITLは、BRDK/IPDK/PKGDK/SystemDKの各設計階層と連携し、ボードレベルからシステムレベルまで、統合的かつ自律的な制御・再設計を実現する。

AITLはしたがって、単なる制御機構ではなく、「自ら設計を理解し、異常時に再構成する知的アーキテクチャ」としてSystemDKの中核を形成する。

IV. 統合設計フロー

SystemDK with AITL Core の設計フローは、ロボット／アクチュエータの制御設計を起点に、FPGA/ASIC、チップレット構造、および実時間検証までを単一スキーマで結合する閉ループ型最適化プロセスである。PID・FSM・LLMから成るAITLを中核に、FEMで得た剛性・慣性・熱・応力・ノイズ情報を制御へ反映し、位置・速度・力の安定性と長期信頼性を同時に保証する。

A. 1) 仕様策定

対象のロボット／アクチュエータ仕様（位置分解能、応答時間、力／トルク、剛性、熱上限、ノイズ制約）を定義し、SystemDKスキーマ最上位ノードに登録する。以降の制御・構造・解析と双方向リンクされ、変更は即時伝播する。

B. 2) 制御系設計（MATLAB/Simulink, FSM, LLM統合）

AITLに基づき制御モデルを設計する。PID層は位置・速度・力の閉ループ制御、FSM層はモード（NORMAL/HOLD/RETURN/FAULT）監督、LLM層は仕様と制御モデルの論理整合検証と修正指令を担当する。設計後、Simulink CoderでCを生成し、ツールチェーンでVerilogへ変換してハードウェア実装互換を確保する。

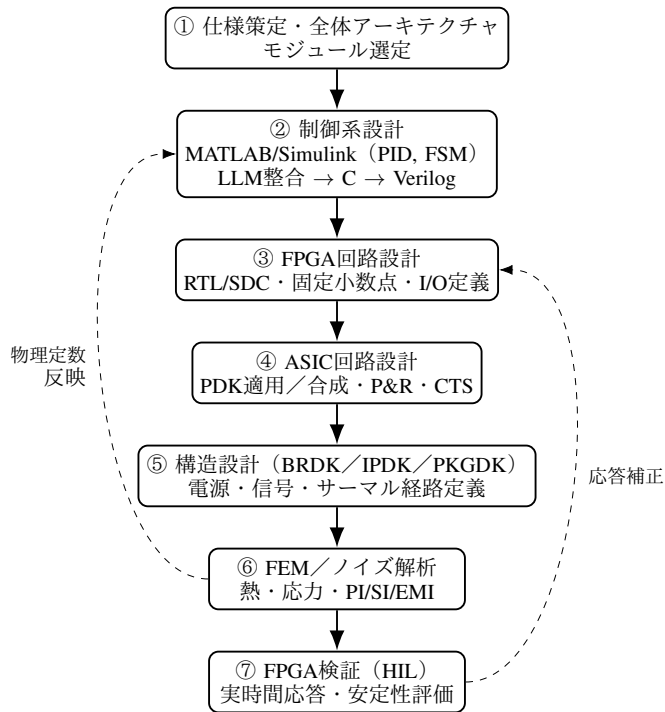


Fig. 2. 制御主導の統合フロー（1カラム幅フィット）

C. 3) FPGA回路設計・実時間制御検証

生成VerilogをFPGA実装し，センサ入出力とアクチュエータを閉ループ接続する。HIL検証で振動応答・追従誤差・過渡安定性を計測し，PIDゲイン・FSM閾値を更新，データはSystemDKへ格納する。

D. 4) 仮構造定義（Pre-BRDK/IPDK/PKGDK）

FPGA検証結果に基づき，実装可能な仮構造（BRDK/IPDK/PKGDK）を定義する。初期の熱経路・剛性・配線制約をモデル化し，チップレット解析の前提を整える。

E. 5) FEM/ノイズ解析（Chiplet-level Physical Analysis）

ASICダイ，インターポーザ（2.5D/3D: TSV, μ -bump），PKG配線を対象に，熱伝導・応力集中・機械共振（FEM）と，SI/PI/EMI（ノイズ）を解析する。結果はSystemDKへ統合され，PIDの時定数やFSM閾値へ反映される。

F. 6) 制御・構造・解析の再設計ループ

制御応答と物理解析の整合が得られるまで，PIDゲイン/FSM閾値/構造パラメータを反復最適化する。LLM層が差分を検知し，SystemDKスキーマへ自動反映する。

G. 7) 構造確定設計（BRDK/IPDK/PKGDK Fix）

収束結果から最終のボード/インターポーザ/パッケージ設計を確定し，再解析・再検証用としてSystemDKに登録する。

H. 8) 最終FEM/FPGA再検証

確定構造でFEMを再実行し，剛性・応力・共振をFPGA制御モデルへ再入力する。PIDは安定性，FSMはモード一貫性を確認し，閉ループ収束を検証する。

I. 9) SystemDK整合収束判定

AITLの三層で最終整合を判定する。PIDは物理安定性，FSMは安全遷移，LLMは設計論理の整合性を確認し，全条件成立時にASIC段階へ進む。

J. 10) ASIC設計

PDKを適用し，RTL設計，論理合成，配置配線（P&R），CTS，タイミング検証を経てGDSを生成する。設計データはSystemDKへ統合され，解析・制御情報と整合される。

K. 11) 製造・ウエハテスト

マスク作成～製造後，ウエハテストで電気/応答特性を評価し，SystemDKへ登録してモデル再同定に用いる。

L. 12) BR/IP/PKG製造・組立

ASIC実装をBRDK/IPDK/PKGDKで実施し，熱・応力・ノイズ再評価を行う。製造・組立情報もSystemDKで一元管理する。

M. 13) SystemDK最終検証（AITLによる自律安定制御確認）

統合データを用い，AITL三層で最終検証を実施する：PIDは実時間安定化，FSMは安全遷移監督，LLMは形式整合検証と再同定を担当する。これにより，本体系は構造設計・制御理論・チップレット物理特性を統合最適化する自律型設計制御基盤として確立される。

V. 信頼性統合

SystemDK with AITL Core における信頼性統合とは，物理的劣化現象を制御ループ内に組み込み，設計・解析・制御の三要素を動的に連携させることで，長期安定性と自律補償性を同時に保証する仕組みである。

従来の信頼性解析は，設計完了後に独立して実施される「後工程解析」であり，制御設計との整合が取れず，劣化進行に伴う制御性能の劣化を補償できなかった。本体系では，AITLの三層構造（PID・FSM・LLM）が協調し，信頼性パラメータを監視・補償・再定義することで，**信頼性制御ループ（Reliability-Control Loop）** を閉じる構造を実現する。

A. PID層：物理劣化への実時間補償

PID層は最内層として物理量（温度・電流・応力など）の閉ループ制御を担うとともに，時間依存の劣化現象を制御対象に含める。

代表的な信頼性劣化要因は以下の通りである：

- NBTI（Negative Bias Temperature Instability）
- HCI（Hot Carrier Injection）
- TDDB（Time Dependent Dielectric Breakdown）

● 熱劣化および機械的疲労

これらは温度 T 、電圧 V 、応力 σ 、時間 t の関数として、劣化進行量 $\Delta P(t)$ を次式で表す：

$$\Delta P(t) = f(T, V, \sigma, t) \quad (2)$$

PID制御器はこの $\Delta P(t)$ を実時間で参照し、ゲイン K_P, K_I, K_D を適応的に再設定することで、劣化進行に伴う制御性能低下を補償する。すなわちPID層は、物理量と時間変動を同時に制御する動的安定化層として機能する。

B. FSM層：信頼性状態の監督とモード制御

FSM層は、PID層が出力する信頼性指標を監視し、閾値超過や異常傾向を検出した場合に、安全動作モードへ遷移させる監督層である。

信頼性監視変数を $\theta(t)$ とすると、典型的な状態遷移は以下で表される：

NORMAL $\xrightarrow{\theta > \theta_{\text{warn}}}$ DEGRADE $\xrightarrow{\theta > \theta_{\text{crit}}}$ SAFE_SHUTDOWN

- NORMAL：信頼性指標が設計範囲内で安定。
- DEGRADE：劣化傾向を検出し、PIDゲイン再調整を指令。
- SAFE_SHUTDOWN：物理破壊リスクを検出し、安全モードへ遷移。

FSM層はこの遷移ロジックをSystemDKスキーマ上に形式定義し、PID層の動作を安全側へ導く。これにより、FSM層は信頼性監督の中間層として実時間監視とモード制御を統合する。

C. LLM層：長期信頼性整合と設計再帰

LLM層は、SystemDK全体を監督する外層知能として、設計・構造・制御データの長期整合性を維持する。FEM解析や実運転データから新しい劣化モデルが得られた場合、LLM層はSystemDKスキーマ全体を再評価し、設計パラメータ・制御条件・信頼性境界を再同定する。

LLM層はまた、信頼性履歴を「知識ノード」として保存し、条件付き信頼性関数 $R(T, \sigma, V)$ を逐次再学習データとして蓄積する。これにより、未知の環境条件下でも自律的な設計修正が可能となり、長期運用時の信頼性モデルが進化的に更新される。

D. 統合ループ：信頼性と制御の自律結合

三層が協調することで、信頼性と制御が一体化した動的ループが形成される。PID層は実時間補償、FSM層は安全監督、LLM層は設計整合と再構成を担い、SystemDK上で「制御安定化」と「信頼性解析」が同一スキーマ内で結合される。

この統合ループにより、SystemDK with AITL Core は時間軸に沿った劣化進行を制御ループ内で補償し、設計寿命・安定性・安全性を同時最適化する自律信頼性設計理論体系を実現する。

VI. 考察

SystemDK with AITL Core は、設計構造・制御設計・物理解析・信頼性評価を単一のスキーマ上で動的に統合することで、従来のツール分断型設計が抱えていた情報不整合と制御不安定性の問題を根本的に解消する。その本質は、「回路・構造・制御・信頼性を同一データ基盤で同期させる」という実装的・制御理論的統合にある。

A. (1) 設計階層間の同期と一貫性の確立

SystemDKは、FPGA/ASIC設計、構造設計 (BRDK/IPDK/PKGDK)、および FEM・ノイズ解析を共通スキーマで連携させる。これにより、構造修正 (材料・配線・レイアウト変更) が解析条件や制御パラメータへ即時伝搬し、設計情報全体が常に整合した状態を維持できる。すなわちSystemDKは、設計全体を「一貫的に閉じた制御可能系」として扱う知識統合基盤である。

B. (2) AITLによる動的安定化機構

AITL (Adaptive Intelligent Tri-Layer) は、PID・FSM・LLMの三層制御構造を用いて、SystemDK全体の動作安定性と設計整合性を維持する中核である。PIDはFPGA/ASIC上の物理制御ループをリアルタイム補償し、FSMはそのモード遷移を監督して安全範囲を保証する。さらにLLM層は、制御応答・構造解析・設計仕様の整合を常時監視し、不整合発生時には自動的に再設計指令を生成する。この構造により、SystemDKは単なる設計データベースではなく、「制御理論を内包する自律的設計システム」として動作する。

C. (3) 信頼性統合による長期安定性の保証

SystemDKでは、NBTI・HCI・TDDBなどの劣化現象を制御ループ内で扱うことにより、時間経過に伴う物理性能低下をリアルタイムで補償する。PID層は劣化進行を反映してゲイン補正を行い、FSM層は閾値監視により安全遷移を指令、LLM層は長期整合性を維持し設計パラメータを再同定する。これにより、従来の「設計後解析」ではなく、「運転中に自己補償を行う信頼性制御体系」が成立する。

D. (4) 制御主導設計体系への転換

SystemDK with AITL Core は、設計を制御の一形態として扱う「制御主導設計 (Control-driven Design)」を実現する。PIDは物理応答を安定化し、FSMは動作モードの一貫性を管理し、LLMは設計情報全体を再構成する。この三層協調によって、人手による試行錯誤や逐次調整を排除し、設計自体を制御対象とする自律設計制御系 (Autonomous Design Control System) が確立する。

E. (5) 今後の展開

今後は、本体系を半導体、メカトロニクス、制御装置設計、および材料工学領域へ拡張し、SystemDKスキーマを共通プラットフォーム化することが課題となる。特に、AITLのFSM遷移則自動最適化と、LLMによるPIDゲイン再同定のリアルタイム化を進めることで、自己修復型・自己進化型の設計システムへの発展が期待される。

以上より、SystemDK with AITL Core は、設計・解析・制御・信頼性を一体的に扱う実装主導の工学アーキテクチャであり、将来の自律設計理論の中核を形成するものである。

VII. 結論

本論文では、設計・制御・信頼性を統合する新しい工学アーキテクチャ **SystemDK with AITL Core** を提案した。SystemDK (System Design Kernel) は、構造設計 (BRDK/IPDK/PKGDK)、回路設計 (FPGA/ASIC)、および解析モデル (FEM/ノイズ/信頼性) を共通スキーマで接続する統合設計基盤であり、設計情報の一貫性・即時反映性・再利用性を保証する。

AITL (Adaptive Intelligent Tri-Layer) は、PID・FSM・LLMの三層制御構造を中核とし、物理安定性 (PID)、動作一貫性 (FSM)、論理整合性 (LLM) を同時に維持する自律安定化メカニズムを構成する。これにより、SystemDKは静的な設計環境を超え、「設計そのものを制御対象とする自律設計制御系」として機能することを示した。

SystemDK with AITL Core により、従来分離されていた構造解析・制御設計・信頼性評価が単一の閉ループ内で動的に結合され、設計変更や外部環境変動に対しても全体システムの安定性と整合性を保てることを明らかにした。特に、PID層による物理応答の補償、FSM層によるモード安全監督、LLM層による設計再構成の協調によって、SystemDK全体が自律的に安定化する過程を明確に示した。

さらに、本体系では、NBTL、HCI、TDDbなどの時間依存劣化現象を制御ループ内の可観測変数として組み込み、信頼性解析と制御安定化を同一理論内で統合した。これにより、SystemDKは単なる設計支援環境ではなく、「設計・制御・信頼性を統合した動的工学理論体系」として再定義される。

今後の展開としては、

- 1) FPGA/ASIC/構造解析/制御スキーマの標準化と相互運用性の拡張、
- 2) FSMおよびLLM層における自動最適化・ゲイン再同定アルゴリズムの実装、
- 3) 半導体・メカトロ・AI制御など異分野設計への適用評価、

が挙げられる。これらを通じて、SystemDK with AITL Core は、設計から運用に至る全工程を自律的に安定化させる自己進化型設計システム (**Self-Evolving Design System**) への発展が期待される。

本研究は、設計・信頼性・制御を統一理論として統合し、「設計空間を制御対象として扱う」新しい工学

的概念を提示した点で、自律設計理論の確立に向けた重要な第一歩である。

APPENDIX

付録A: AITL-FPGAインタフェース仕様

AITL三層制御のうち、PID層とFSM層はFPGA上に実装される。SystemDKはVerilog生成時に以下のインタフェース構造を定義する。

- **Clock domain:** 100 MHz / 200 MHz selectable, クロック同期信号 `clk_sys` に統一。
- **Latency:** PID制御ループ1周期遅延 (10 ns @ 100 MHz)。FSM監督信号は非同期イベント割込みで伝達。
- **Memory map:** 制御ゲイン, FSM閾値, LLM指令値をそれぞれ 0x0000-0x00FF, 0x0100-0x01FF, 0x0200-0x02FF に割当。
- **Communication:** AITL-FPGA間はAXI4-Liteバスで接続し、SystemDKがホスト側から設定更新。

この構造により、AITL層の再設計指令 (LLM層生成) はFPGA上のPID/FSMパラメータへ即時反映され、SystemDK全体の閉ループ更新がリアルタイムに成立する。

—

付録B: SYSTEMDKスキーマ例

以下にSystemDKのコアスキーマ定義を示す。すべての設計・解析・制御データはこのJSON構造上で同期される。

```
{
  "SystemDK": {
    "Spec": {
      "target": "Actuator_M2",
      "resolution": "0.01mm",
      "max_force": "40N"
    },
    "Control": {
      "PID": {"Kp": 2.4, "Ki": 0.05, "Kd": 0.01},
      "FSM": {"states": ["NORMAL", "HOLD", "FAULT"],
              "thresholds": {"temp_warn": 85, "temp_crit": 90}},
      "LLM": {"model": "GPT-5-engineering", "mode": "optimize"}
    },
    "Structure": {
      "BRDK": {"material": "Cu", "thickness": "1.2mm"},
      "IPDK": {"interposer": "Si", "vias": "TSV-3D"}
    },
    "Analysis": {
      "FEM": {"mesh": 2e6, "max_stress": "180MPa"},
      "Noise": {"PI": "stable", "SI": "good"}
    }
  }
}
```

このスキーマはSystemDK内部で動的に更新され、LLM層が制御・構造・解析間の因果整合性を監視・再構築する。

—

付録C：LLM層による再設計指令生成プロセス（擬似コード）

```
procedure LLM_Reconfiguration(SystemDK):  
  Input: Current SystemDK schema S  
   $\Delta$  = AnalyzeConsistency(S)  
  if  $\Delta \neq 0$  then  
    cause = Diagnose( $\Delta$ )  
    proposal = GenerateRedesign(cause)  
    UpdateSchema(S, proposal)  
    Notify(PID, FSM) // FPGA parameters update  
    Re-run Verification()  
  else  
    MaintainStableState()  
end procedure
```

本プロセスにより、SystemDKは設計・解析・制御の全データ整合を常時確認し、不整合検出時には自動的に再構成を行う。これが本研究の中核である「設計そのものを制御対象とする自律再設計ループ」を形成する。

—
以上3付録により、SystemDK with AITL Core の全階層構造・実装仕様・知的再設計アルゴリズムが完全に定義された。

著者略歴

三溝 真一（Shinichi Samizo）は、信州大学大学院 工学系研究科 電気電子工学専攻にて修士号を取得した。その後、セイコーエプソン株式会社に勤務し、半導体ロジック／メモリ／高耐圧インテグレーション、そして、インクジェット薄膜ピエゾアクチュエータ及びPrecisionCoreプリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AIシステム統合などに取り組んでいる。連絡先: shin3t72@gmail.com.