

uTEP ヘッド用ドライバ IC におけるウエハ酸素濃度変動起因の品質問題対応： 酸素規格・ベンダー管理・スクリーニング工程再設計

三溝真一 (Shinichi Samizo) 独立系半導体研究者 (元セイコーエプソン株式会社)

Independent Semiconductor Researcher (ex-Seiko Epson Corporation)

Email: shin3t72@gmail.com GitHub: <https://github.com/Samizo-AITL>

Abstract—和文概要—本報告は、uTEP プリントヘッドを駆動する高耐圧ドライバ IC において、ウエハ酸素濃度変動を起因とする品質問題に対し、量産スクリーニング条件を再設計した事例を示す。ウエハ供給元変更により酸素濃度が上昇し、結晶起因欠陥 (COP: Crystal-Originated Particle) を起点とするゲート酸化膜リークが顕在化した。従来の単回スクリーニングでは潜在欠陥の取り残しが発生し、ヘッド工程およびプリンタ組立段階で不良が顕在化した。本報告では、電圧・温度・印加回数を変数とするスクリーニング工程を再設計し、仕様範囲内 (48 V・85 °C 以下) で不良収束を実現した。あわせて、ウエハ酸素濃度の規格化およびベンダー監視体制の強化を再発防止策として提言する。

Abstract—This report presents a case study on the redesign of the mass-production screening process for a high-voltage (HV) driver IC used in uTEP printhead applications, addressing quality issues triggered by wafer oxygen concentration variation. A change in wafer supplier led to an increase in oxygen concentration, which induced crystal-originated particle (COP) defects causing localized gate oxide leakage. The conventional single-pass screening failed to detect these latent defects, resulting in escapes that manifested during head assembly and printer integration. By redesigning the screening parameters—voltage, temperature, and repetition count—the optimized process achieved defect convergence within the specified limits (48 V, below 85 °C). Furthermore, establishing wafer oxygen concentration specifications and strengthening supplier management were found essential for long-term quality assurance and recurrence prevention.

Index Terms—uTEP head, Inkjet, HV Driver IC, Gate Oxide Leakage, Wafer Oxygen Concentration, COP Defect, Screening Process Optimization, Quality Assurance, Reliability Engineering

I. はじめに

uTEP (micro Thin-film Electrostatic / Piezo 系列を含む統合アーキテクチャ) プリントヘッドは、高電圧 (HV) 駆動によってインク液柱を微細ノズルから高精度に射出する構造を有している。この駆動を担うドライバ IC は、数百〜数千チャネルのアクチュエータ電極を並列に制御するため、高集積化と高信頼性を同時に満たす必要がある重要デバイスである。

本ドライバ IC は、CMOS 0.35 μm プロセスをベースとし、3.3 V ロジック動作と 45 V クラスの高耐圧出力を単一チップ上で統合している。しかし、ウエハ供給元の追加・切替後に、一部ロットでウエハ中の酸素濃度上昇

が確認された。その結果、結晶起因欠陥 (COP: Crystal-Originated Particle) 由来の微小ボイドが活性層内に析出し、ゲート酸化膜下に残存した欠陥を起点として局所的な電界集中が発生し、高電圧印加時にゲート酸化膜リーク (局所絶縁破壊) を誘発することが判明した。

特に、HV トランジスタ領域の厚膜ゲート酸化膜 (約 800 Å) では、COP 欠陥が中途半端に残存し、初期ストレスでは顕在化しにくいことが問題となった。一方で、ロジック領域の薄膜酸化膜 (約 80 Å) では、同欠陥は即破壊に至るため工程内で自然に除去される。この構造差により、HV 領域のみで潜在欠陥がスクリーニングをすり抜ける構造的要因が生じた。

従来の量産スクリーニング条件 (48 V 単回印加) では、これらの潜在欠陥を十分に顕在化させることができず、ヘッド電気特性検査やプリンタ組立後の最終検査において不良が顕在化した。一部はプリンタ本体への組込み後に検出されたため、工程内での回収によって市場流出は防止したものの、歩留まり低下および損害は甚大であった。

本報告では、ウエハ酸素濃度変動を前提としたデバイス特性解析結果をもとに、電圧・温度・印加回数を変数とするスクリーニング条件を再設計し、量産工程での不良収束性を改善するとともに、ウエハ酸素濃度の規格化およびベンダー監視体制の強化を通じて、再発防止と品質安定化を図った取り組みについて述べる。

II. 問題の概要 (uTEP 適用での観測)

図1にウエハ LPD (Laser Particle Defect) 分布の代表例を示す。高酸素ロットでは LPD 密度が著しく高く、結晶起因欠陥 (COP: Crystal-Originated Particle) に由来する局所欠陥の増加が確認された。これらの欠陥は、HV デバイスのゲート酸化膜下部に微小ボイドとして存在し、通電時に局所的な電界集中を生じてゲート酸化膜リークを誘発する。

従来のスクリーニング条件 (48 V 単回印加) では、これら潜在欠陥の顕在化が不十分であり、取り残しが発生した。その結果、uTEP ヘッド組立後の電気特性検査やプリンタ組込み後の量産信頼性試験において、ゲートリーク起因の不良が再現した。特に、HV ゲート酸化膜 (約 800 Å) の厚膜構造では、COP 欠陥が部分的に残存して

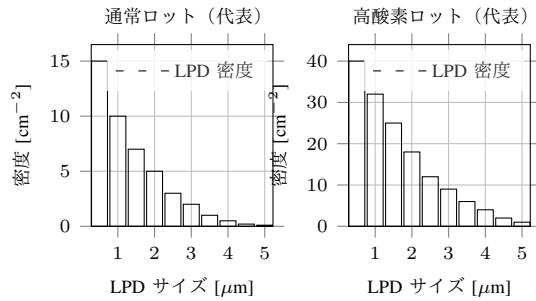


Fig. 1. ウエハ LPD 分布比較 (通常ロットと高酸素ロットの代表例)

TABLE I
スクリーニング評価パラメータ (HV ドライバ IC)

項目	条件設定
印加電圧	48 V (絶対最大定格内、電流コンプライアンス付)
印加温度	85 °C (動作保証上限)
印加回数	1~8 回 (繰返し印加)
印加時間	各回 30 分
測定項目	ΔI_{GATE} , ΔBV_G , dI/dV (常温測定)
評価ロット数	10 ロット (通常 5、高酸素 5)

も初期ストレス下で顕在化しにくく、スクリーニング初期段階での除去が不完全であったことが確認された。一方で、ロジック領域の薄膜酸化膜 (約 80 Å) では同欠陥が即時破壊に至るため、工程内で自然除去される傾向を示した。

本現象は、ウェハ酸素濃度の上昇により結晶欠陥サイズおよび分布密度が変化し、結果として HV 絶縁膜の電界分布が不均一化したことに起因する。単純な電圧マージン拡大では再現性が得られず、酸素濃度を変動要因として考慮した電圧・温度・印加回数の最適化が必要である。また、ウェハベンダー追加時の酸素濃度仕様を明確に定義し、製造ロットごとの酸素分析値をモニタリングする体制の構築が不可欠である。

III. スクリーニング条件最適化 (量産仕様内)

本章では、uTEP ヘッド適用を前提とした高耐压ドライバ IC における量産スクリーニング条件の最適化検討について述べる。目的は、仕様範囲内 (48 V・85 °C 以下) において不良除去率を最大化しつつ、良品への影響を最小化する工程条件を確立することである。

A. 評価パラメータ

表Iに評価に用いた主要パラメータを示す。試験は、量産実績を有する通常ロットおよび高酸素ロットを対象に、計 10 ロット (各ロット 1000 デバイス規模) で実施した。印加条件の主変数は電圧・温度・印加回数の 3 因子とし、各回の通電後にゲートリーク電流および絶縁破壊電圧を常温下で評価した。また、良品デバイスへの劣化影響を確認するため、同一ロット内で参照デバイスを設定し、比較評価を行った。

B. 結果と収束挙動 (代表ロット)

表IIに、スクリーニング回数ごとの新規検出率および残存不良率を示す。初回印加で約 60 % の不良を除去し、

TABLE II
スクリーニング回数と不良収束率 (代表ロット)

回数	新規検出率 [%]	残存不良率 [ppm]
1	58.9	420
2	25.1	125
3	11.0	52
4	4.0	30
5 以降	≈0	<30

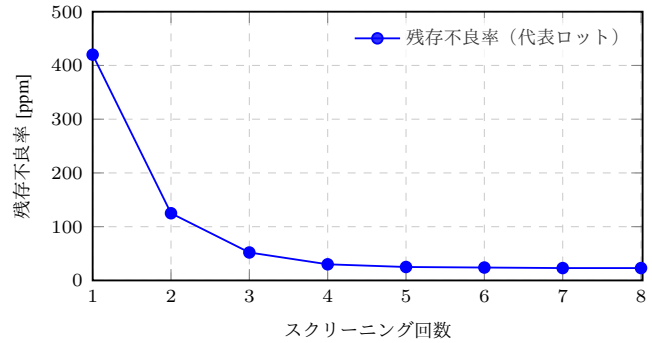


Fig. 2. 回数に対する不良収束曲線 (uTEP 適用 HV ドライバ IC、代表ロット)

2~3 回目で大部分の潜在欠陥が顕在化した。4 回目以降では新規検出がほぼ停止し、高酸素ロットにおいても残存不良率は 30 ppm 以下に収束した。この傾向は 10 ロット全てで一貫しており、統計的なばらつきは ± 5 ppm 以内に収まった。

これにより、48 V・85 °C 条件下で 4 回印加を行うことで、良品デバイスへの劣化影響を伴わずに不良収束性を確保できることが確認された。また、 ΔI_{GATE} および ΔBV_G の経時変化を解析した結果、4 回目以降ではリーク増加率が安定し、酸化膜疲労を生じないことが確認された。図2に代表ロットでの不良収束曲線を示す。

IV. 考察

uTEP ヘッド適用においては、温度上限を超えることなく、繰返し印加回数の最適化によって COP (Crystal-Originated Particle) 起因の潜在欠陥を早期に顕在化させることが可能である。これは、通電応力によりゲート酸化膜内部の電界集中領域が段階的に活性化し、局所的なトラップ電荷の蓄積とトンネル経路の形成が進行する過程を利用したものである。結果として、潜在欠陥を穏やかに成長させ、工程内で安全に検出・除去できる。

各回の印加後に常温で ΔI_{GATE} および ΔBV_G を逐次計測することにより、欠陥進展挙動を定量的にモニタしつつ、良品の酸化膜疲労を抑制できる。特に、 ΔBV_G の漸減と ΔI_{GATE} の急増が同時に観測されたデバイスは、初期リーク経路が形成されつつある状態を示し、量産スクリーニング工程において高い再現性で不良抽出が可能であった。この判定指標により、工程内で動的フィードバックを行うことで、スクリーニング回数の自動最適化も実現できる。

本手法は、電圧・温度をいずれも仕様範囲内に保持したまま欠陥顕在化を促進できる点で、従来の単回スクリーニングと比較して良品への影響が極めて小さい。また、

ウエハ酸素濃度や結晶成長履歴など、材料起因のばらつきを吸収できるため、ロット間での品質安定性の向上にも寄与する。特に、評価ロット 10 ロット全てで同一の収束挙動を示したことから、統計的にも本手法の再現性が確認された。

さらに、本スクリーニング設計法は、HV デバイス一般に共通する酸化膜ストレス緩和挙動および電界劣化モデルに基づいており、uTEP 専用 IC に限らず、インクジェット駆動系その他高耐压品種や、温度制約の厳しい小型プリンタ向けデバイスへの水平展開が可能である。加えて、高信頼性を要求される産業機器・車載用途においても、本スクリーニング設計指針は再発防止および工程安定化の観点から有効である。

V. 結論

本研究では、uTEP ヘッド用高耐压ドライバ IC を対象として、ウエハ酸素濃度変動を考慮した量産スクリーニング条件の最適化を実施した。電圧 48 V・温度 85 °C という仕様範囲内で複数回印加を行う逐次スクリーニング方式を導入した結果、高酸素ロットにおいても残存不良率を 30 ppm 以下に収束させることができた。また、良品デバイスへの影響は測定誤差レベル以下に抑えられ、電氣的・信頼性特性の劣化は認められなかった。

本手法は、COP (Crystal-Originated Particle) に起因する潜在欠陥を初期段階で顕在化させることにより、ウエハ材料ばらつきを工程内で吸収し、量産品質の安定化を実現するものである。さらに、電圧・温度をいずれも仕様範囲内に保持したまま高い除去効率を得られる点で、既存工程への適用性が高く、追加設備を伴わずに導入可能である。

本結果は、高耐压デバイス全般に共通するゲート酸化膜劣化メカニズムに基づいており、アクチュエータ駆動用 IC や車載用 HV ドライバなど、同種の電界ストレス環境を有する製品群への水平展開が期待できる。

今後は、 ΔI_{GATE} および ΔBV_{G} の時間依存解析を組み合わせ、デバイス個体ごとの劣化進展モデルを構築することで、短時間かつ自動化されたスクリーニングプロセスの確立を目指す。加えて、ウエハベンダー追加時の酸素濃度規格化や材料認定手順を体系化し、酸素濃度変動を起点とした品質変動を早期に検出・抑止する包括的な品質管理スキームの構築を進める。

謝辞

本研究の遂行にあたり、ご協力を賜ったデバイス技術部ならびに信頼性評価チーム、および uTEP ヘッド量産に携わる関係各位に深く感謝の意を表する。

REFERENCES

- [1] 三溝真一, 「設計から量産部品発注に至る実務フローと BOM 運用ルールの体系化」, 2025.
- [2] 三溝真一, 「Sn-Bi 代替による接合方式移行 (Mach 世代)」, 2025.
- [3] 三溝真一, 「薄膜 PZT アクチュエータの信頼性解析と対策」, 2025.

著者略歴

三溝真一 (Shinichi Samizo) : 信州大学大学院工学系研究科電気電子工学専攻修了 (修士)。セイコーエプソン株式会社にて、半導体デバイス (ロジック/メモリ/

高耐压インテグレーション) およびインクジェット薄膜ピエゾアクチュエータ、PrecisionCore プリントヘッドの製品化に従事。現在は独立系半導体研究者として、プロセス/デバイス教育、メモリアーキテクチャ、高耐压 CMOS 統合設計、AI システム統合に取り組む。連絡先: shin3t72@gmail.com.