

セイコーエプソン酒田 Fab 8 インチライン立ち上げ

DRAM 技術導入から量産化そしてその役割 (1997–2001)

三溝 真一 (Shinichi Samizo)

独立系半導体研究者 (元セイコーエプソン)

Independent Semiconductor Researcher (ex-Seiko Epson)

Email: shin3t72@gmail.com

GitHub: <https://github.com/Samizo-AITL>

Abstract— (日本語)

本稿は、1997–2001 年にセイコーエプソン酒田事業所が三菱電機からの技術移管により $0.5\ \mu\text{m} \rightarrow 0.35\ \mu\text{m} \rightarrow 0.25\ \mu\text{m}$ の DRAM プロセスを短期間で立ち上げ、量産化した過程を整理する。主眼は DRAM 導入・量産化であり、Pause/Disturb Refresh 不良の解析と対策、歩留まり推移、および量産インフラとしての役割を明確化する。その後、社内設計による VSRAM 開発や NANYA $0.18\ \mu\text{m}$ 評価を経て、DRAM の役割を終えた後に、酒田 Fab が社内外のロジック／高耐圧混載 CMOS 展開に寄与した戦略的意義を振り返る。

(English)

This paper documents the introduction and mass production of DRAM processes ($0.5\ \mu\text{m} \rightarrow 0.35\ \mu\text{m} \rightarrow 0.25\ \mu\text{m}$) transferred to Seiko Epson's Sakata Fab (1997–2001). We focus on DRAM-specific failure analyses (Pause/Disturb Refresh), countermeasures, and yield evolution, clarifying the DRAM line's role as manufacturing infrastructure. Later, VSRAM development and evaluation of a NANYA $0.18\ \mu\text{m}$ process marked the end of memory products, while the acquired process infrastructure supported Epson's strategies in logic, SoC, and high-voltage mixed-CMOS.

Index Terms—DRAM, VSRAM/PSRAM, $0.25\ \mu\text{m}$ process, retention failure, disturb failure, Sakata Fab, technology transfer, SCF

I. 序論

1997 年、当時の半導体産業は Windows 95 の世界的普及や Intel Pentium II の登場を背景に急成長局面にあった。パソコンの性能向上と普及拡大が同時に進み、メモリ容量・処理性能に対する市場要求は急速に高まっていた。

製造技術面では、8 インチウェーハラインの整備と $0.35\ \mu\text{m}$ 世代プロセスへの移行が加速し、DRAM およびロジック LSI 分野における国際競争が激化していた。

セイコーエプソンは山形県酒田市に新設した 8 インチ Fab において、三菱電機からの技術移管を通じて $0.5\ \mu\text{m} \rightarrow 0.35\ \mu\text{m} \rightarrow 0.25\ \mu\text{m}$ の三代 DRAM プロセスを短期間で習得し量産化に至った。

本稿では、この DRAM 技術導入と量産化の過程を主軸として、Pause/Disturb Refresh 不良の解析と対策、歩留まり推移を整理する。さらに、酒田 Fab の DRAM 量産ライン

が、その後のロジック／高耐圧混載 CMOS 開発のインフラとして果たした役割を振り返る。

II. 第 1 章： $0.5\ \mu\text{m}$ と $0.35\ \mu\text{m}$ 世代の立ち上げ

A. $0.5\ \mu\text{m}$ 16M DRAM：三菱移管による順調な立ち上げ

酒田 Fab の最初の量産は $0.5\ \mu\text{m}$ 世代 16M DRAM であった。三菱電機・熊本 Fab で確立された装置仕様・処理条件を移管し、大きな問題もなく短期間で量産に到達した。この成功により、酒田 Fab は「新規立ち上げ Fab として量産能力を有する」ことを実証した。

- 熊本 Fab の実績プロセスを装置・処理条件ごとに導入
- 初期歩留まりから安定して高水準を維持
- 酒田 Fab が本格的量産拠点として機能することを確立

B. $0.35\ \mu\text{m}$ 64M DRAM：洗浄フロー差異と層間ばらつきの顕在化

筆者はこの $0.35\ \mu\text{m}$ 世代から酒田 Fab の立ち上げに参画した。この世代では、酒田 Fab 独自の洗浄フローが致命的な問題を引き起こした。

初期の困難：試作ロットでは SEM 観察すら困難なパターン崩壊が多発。熊本 Fab では安定していた条件が再現できず、立ち上げは停滞した。

原因解析：徹底調査の結果、熊本と酒田で**洗浄フローが異なる**ことが判明した。

- 熊本：硫酸過水 → アンモニア過水 → 塩酸過水 (3 段)
- 酒田：アンモニア過水 → 塩酸過水 (前段の硫酸過水を省略)

硫酸過水は有機残渣を強力に除去し、酸化膜表面をクリーンに保つ前処理である。これを省略した酒田フローでは、表面に微量の有機汚染や残渣が残留し、後段のプラズマ処理と干渉して局所的な膜厚ばらつきや異常エッチングを誘発した。その結果、**層間膜のばらつきとパターン形状崩壊**が顕在化した。

$0.5\ \mu\text{m}$ 世代では寸法マージンが広く問題化しなかったが、 $0.35\ \mu\text{m}$ 世代では微細化により「硫酸過水の有無が形状形成の可否を決定する」ことが明確となった。

解決策：完全「鏡写し」：最終解決は熊本 Fab のフローを一切省略せず、**洗浄を含めて完全に鏡写しで導入すること**であった。これにより不良は解消し、量産移行に成功した。

C. 小括

- 0.5 μm 世代：三菱移管により順調に立ち上げ。
- 0.35 μm 世代：硫酸過水を省略した洗浄フロー差異が致命傷となり、層間膜ばらつき・形状崩壊を引き起こした。
- 教訓：**プロセス移管は洗浄工程を含め「完全鏡写し」が必須**である。
- 筆者は 0.35 μm 世代立ち上げから参画し、本課題解析と対策実施に直接関与した。

III. 第 2 章：0.25 μm 世代 64M DRAM の立ち上げ

A. プロセス概要

0.25 μm 世代では、初めて KrF エキシマレーザステッパを本格導入し、従来の i 線リソグラフィから一気に波長短縮が図られた。この「0.25 μm 世代 = KrF 世代」への移行により、微細化と同時にリーク電流制御やキャパシタ高容量化の新技術が必須となった。

プロセスの主要仕様を Table I に示す。

TABLE I: 0.25 μm 64M DRAM プロセス概要

項目 / Item	内容 / Description
電源電圧 / Supply Voltage	2.5V (メモリセル・周辺・I/O) *2.5V for Memory Cell, Peripheral, and I/O*
セルキャパシタ構造 / Cell Capacitor Structure	スタック型キャパシタ *Stacked capacitor structure*
ウェル構成 / Well Structure	メモリセルにトリプルウェル構造を採用 *Triple-well adopted in memory cell region*
ワードライン構造 / Word Line	デバインド WL 構造, WSA-ALA 接続 *Divided word-line structure with WSA-ALA connection*
ビットライン形成 / Bit Line	WSB-CVD により, BL と BL コンタクトを同時形成 *Bit line and bit line contact formed simultaneously by WSB-CVD*
ストレージノード処理 / Storage Node Surface Treatment	粗面化処理により容量値 1.5~1.8 倍向上 *Surface roughening improved capacitance by 1.5 – 1.8x*

このように、0.25 μm 世代は単なる寸法微細化に留まらず、

- 低電圧化 (2.5V 駆動)
- キャパシタ容量確保のための粗面化処理
- トリプルウェル導入によるセル耐性向上
- 新規材料 (WSB-CVD) の採用によるビットライン形成

といった、多角的なプロセス革新が同時に進められた。

B. SCF 方式と初期歩留まり

1998 年、酒田 Fab は 0.25 μm 世代 64M DRAM の立ち上げを開始した。ここで採用されたのが *Short Cycle Feedback (SCF)* 方式である。SCF 方式とは、各要素技術に定められたマニュアル規格を短期間で満足するよう、暫定処理条件を一次確定していく方式である。

筆者はこの 0.25 μm 世代立ち上げの最初から参画し、量産化および量産対応までを一貫して担当した。

立ち上げフローは以下の通りであった：

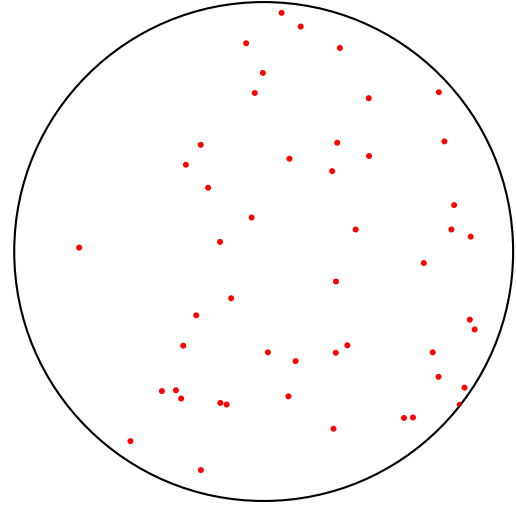


Fig. 1: Pause Refresh Fail のフェイルマップ例。ロットを跨いでも同様のパターンが出現し、プロセス条件起因であることが示唆された。

- 1) 熊本 Fab から受領した処理条件を各要素技術へ展開
- 2) SCF により、各要素技術ごとに暫定処理条件を一次確定
- 3) 電子流動票へ処理条件と品質規格を反映
- 4) 形状ロットを流動させ、各工程で SEM 測長・断面観察を実施し、所望形状を確認
- 5) QA ロットを投入し、歩留まりおよび信頼性試験で条件を検証
- 6) 信頼性確認後、量産条件を確定し、量産へ移行

この結果、初期歩留まり 65% という極めて高い値を達成した。従来、新世代 DRAM の初期歩留まりは 20–30% 程度が一般的であり、酒田 Fab は大幅に上回る成果を示した。

C. 保持時間モデルと不良モード解析

不良は主に *Pause Refresh Fail* に集中した。リフレッシュを停止しセル保持を確認する試験で、32ms \rightarrow 64ms \rightarrow 128ms と条件を厳しくすると、ランダムに単ビット不良が発生した (Fig. 1)。

このように Pause 時間を延長するほどランダムビット不良が増加する挙動から、主因として n^+/p^- 拡散層ジャンクションリーク が疑われた。その概念構造を Fig. 2 に示す。

保持時間は次式で与えられる：

$$\tau = \frac{C_{\text{cell}} V_{\text{cell}}}{I_{\text{leak}}}$$

ここで C_{cell} および V_{cell} は設計値どおり確保されており、容量値そのものは正常であった。また、ストレージノードからセルプレートへのリークも認められず、キャパシタ構造や積層膜に起因する不良は否定された。

したがって、不良の本質的要因はリーク電流 I_{leak} に支配され、**拡散層ジャンクションリーク** に帰着することが明確となった (Fig. 2)。

D. プラズマダメージ仮説

ジャンクションリーク増大の背景には、**プラズマダメージ** が強く疑われた。

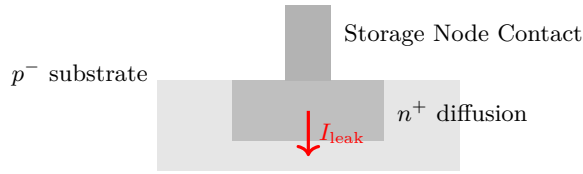


Fig. 2: DRAM セル断面概念図。SN コンタクト／ n^+ 拡散層／ p^- 基板構造。赤矢印は $n^+ \rightarrow p^-$ へのリーク電流 I_{leak} を示す。

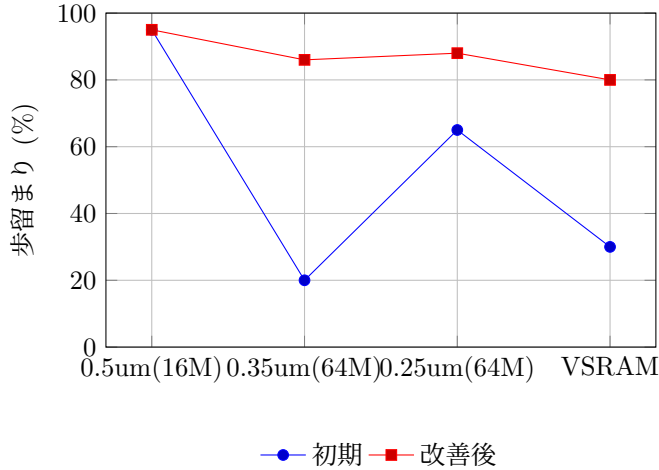


Fig. 3: 酒田 Fab における世代別歩留まり推移

具体的には以下の工程が影響源と考えられた：

- ゲートエッチ後の酸化膜露出状態での O_2 プラズマ処理
- LDD 形成工程での繰返しアッシング

O_2 プラズマは酸化膜界面に欠陥準位を生成し、熱励起キャリアのリークパスを形成する可能性がある。高温条件下でリーク電流が急増する挙動も観測されており、プラズマ起因欠陥が主要因であるとの仮説を強める結果とだった。

E. 対策と効果

根本対策は、「 O_2 アッシング剥離から硫酸ウェット剥離への全面切替」であった。これによりプラズマ曝露を完全に排除し、界面欠陥の生成を防ぐことに成功した。

TABLE II: レジスト剥離フローの切替と効果

	従来	対策後
剥離方式	O_2 アッシング	硫酸ウェット
主効果	繰返しプラズマ曝露	界面欠陥防止
歩留まり	約 65%	80%台後半へ改善

対策後、Pause 不良は顕著に減少し、歩留まりは安定して 80%台後半を示した (Fig. 3)。

F. 小括

- SCF 方式により、従来を大きく上回る 65%の高い初期歩留まりを実現。
- 不良の主因はジャンクションリークであり、背後にはプラズマダメージが存在。

- O_2 アッシングを硫酸ウェット剥離に置換することで、歩留まりは 80%台後半へと改善。
- 筆者は立ち上げ初期から参画し、プロセス解析・不良解析・量産対応を一貫して担当した。

IV. 第 3 章：VSRAM (2001 年) — PAUSE/DISTURB 対策と歩留まり改善

A. 開発背景と初期状況

2001 年、当時の携帯電話市場は急速に進化しつつあった。従来の音声端末から、カメラ・インターネット・マルチメディア機能を統合した高性能端末への移行期であり、「シャープ製の世界初のカメラ付き携帯」の実現に、エプソンは先駆けて参入した。その中で求められたのが、低消費電力かつ高温 (90°C) 動作保証を備えた大容量モバイル向けメモリであった。

酒田 Fab は、 $0.25\mu\text{m}$ DRAM プロセスを流用し、内部リフレッシュ回路を付加した VSRAM (疑似 SRAM) を社内設計部門と連携して開発した。モバイル市場を先行して獲得する戦略的狙いから、初期量産歩留まりが約 30%に留まる状況でも、「低歩留まりでも市場投入を優先する」という厳しい判断が下された。筆者はこの時点から改善担当として参画し、量産と並行して不良解析・対策を進める体制に入った。

B. 顕在化した不良モード

VSRAM では、従来の DRAM では大きな問題とならなかった不良が、モバイル環境特有の条件下で顕在化した。主な不良モードは以下の 2 種類である：

- **Pause Refresh Fail**：リフレッシュ停止時にセル保持が崩壊する現象。
- **Disturb Refresh Fail**：隣接ワードラインの駆動による電圧干渉で誤反転が発生する現象。

Pause は DRAM 固有の既知不良であったが、Disturb は長リフレッシュ周期＋高温動作というモバイル用途特有の条件で初めて顕在化した。

C. 物理的要因と解析プロセス

Pause 不良は、拡散層接合のリークに起因することが実験的に確認された。保持時間モデル

$$\tau = \frac{C_{\text{cell}} V_{\text{cell}}}{I_{\text{leak}}}$$

において、設計値 $C_{\text{cell}}, V_{\text{cell}}$ は規格内であるが、リーク電流 I_{leak} の増大により τ が短縮していた。温度を上げた評価では I_{junc} が指数関数的に増加し、高温ほど保持特性が急激に劣化することが確認された (Fig. 4)。

一方 Disturb 不良は、特定ワードラインに沿って系統的に発生することから、短チャネル効果 (SCE) が主因であることが特定された。チャネル長が短いほど I_{off} が増大し、高温動作でさらに顕著となった (Fig. 5)。

D. 対策と実装

不良要因を踏まえ、以下の対策が実装された：

- Pause 対策：
 - ゲートエッチング後のゲート酸化残膜を確保するため、LDD 工程の HF 洗浄回数を最小化し、SN コンタクトリークを抑制。

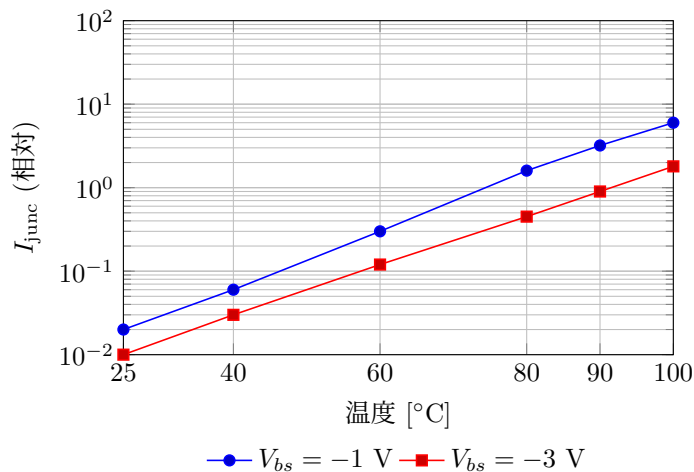


Fig. 4: Pause Refresh: ジャンクションリーク I_{junc} の温度依存。バックバイアス強化でリークが抑制される。

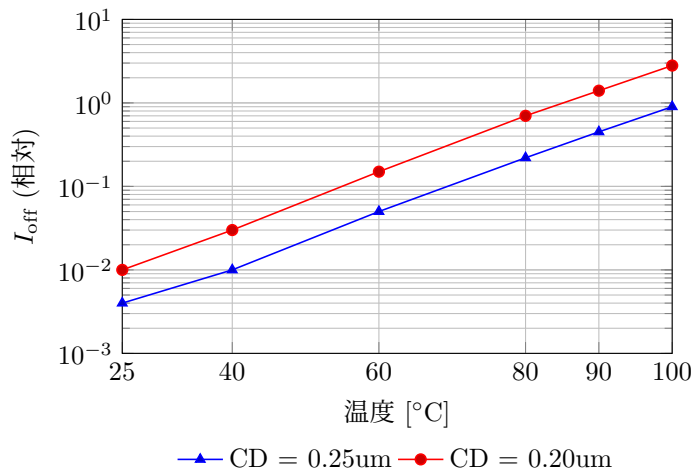


Fig. 5: Disturb Refresh: トランジスタ I_{off} の温度依存。チャネル長が短いほど (CD 小) リークが急増する。

— バックバイアスを $-1\text{V} \rightarrow -3\text{V}$ に強化し、ジャンクションリークを低減。

● Disturb 対策:

- ゲート CD 管理を徹底し、設計通りのしきい値特性を確保。
- バックバイアス強化により V_{th} を上昇させ、セル反転耐性を確保。
- チャネルドーピングを増加させ、短チャネル効果を抑制。

これらの改善は設計・プロセス・製造の三部門横断で行われ、試作評価と量産条件調整を同時並行で進める「走りながら直す」体制が敷かれた。

E. 改善効果と事業的インパクト

Pause/Disturb 不良は大幅に減少し、歩留まりは初期 30% から半年以内に 80% 台へ改善した。この結果、酒田 Fab は競合に先行してモバイルメモリを安定供給できる体制を確立した。

市場的にも本製品は「世界初のカメラ付き携帯」に搭載され、酒田 Fab がモバイル市場に直接貢献した数少ない事例となった。本改善活動は、酒田 Fab における DRAM 派生メモリ開発の集大成と位置づけられる。

F. 小括

- モバイル市場先行投入を優先し、低歩留まりでも量産開始というリスクを取った。
- Pause/Disturb は高温動作・長リフレッシュ条件で顕在化し、リークと短チャネル効果が主因と特定された。
- ゲート酸化残膜確保のための HF 洗浄回数最小化、バックバイアス強化、ゲート寸法管理により歩留まりは 30% から 80% 台へ改善。
- この成功は、酒田 Fab がモバイル市場に対応可能であることを社内外に示し、DRAM 派生メモリ開発の最終的成果となった。

V. 第 4 章: 0.18 μm トレンチ系の評価と断念

A. 評価対象と背景

2001 年の VSRAM 量産立ち上げ後、酒田 Fab では次世代モバイルメモリの開発が検討された。候補の一つが、台湾 NANYA 社の 0.18 μm DRAM プロセスを利用した VSRAM である。NANYA は東芝と技術提携を行っており、その技術は トレンチキャパシタ方式 を基盤としていた。

目的は、既存の 0.25 μm DRAM 流用 VSRAM を凌駕し、さらなる高密度化、低消費電力化、および高温 (90 $^{\circ}\text{C}$) 動作保証を満たす次世代モバイル向けメモリを確立することであった。

B. 技術的特徴

本評価プロセスには以下の特徴があった:

- **キャパシタ構造**: 従来のスタック型に比べ、面積効率の高いトレンチ型を採用。セル面積の縮小が可能であり、高密度化に優位。
- **動作仕様**: 標準 DRAM と同様に 80 $^{\circ}\text{C}$ での動作保証は可能であったが、モバイル用途に必須の 90 $^{\circ}\text{C}$ 保証には大きな課題を抱えていた。

C. 課題の顕在化

試作評価の結果、90 $^{\circ}\text{C}$ 条件下で以下の不良が顕著に現れた:

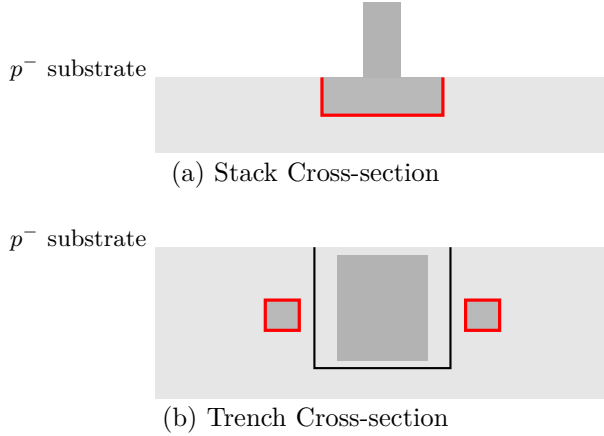
- **Pause Refresh Fail**: セル保持時間が不足し、動作マージンが消失。
- **Disturb Refresh Fail**: 高温条件下で隣接ワードライン干渉による誤反転が多発。
- **高温リーク**: pn 接合リークが顕著に増加し、セル保持特性を支配。

D. 構造的起因の解析

Fig. 6 に示すように、Stack 型では接合が拡散層の側壁と底面に限定され、周辺長は比較的短い。一方、Trench 型ではセルごとに *buried strap* 接続部を介して局所接合が形成され、セル列の繰り返し構造により実質的な周辺長が大幅に増加する。

この構造差により、ジャンクションリークの起点が増加し、高温条件でのリーク電流は指数的に増大した (Fig. 7)。

0.18 μm Generation — Cross-sections



0.18 μm Generation — Top views

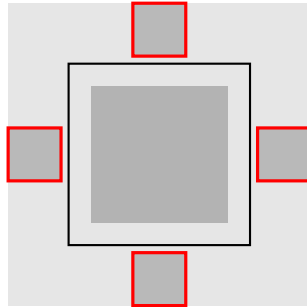
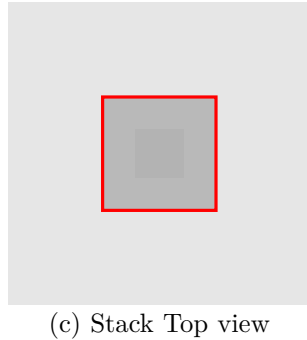


Fig. 6: 0.18 μm 世代における Stack/Trench キャパシタの概念比較。Stack は接合周辺長が限定的、Trench は *buried strap* による局所接合が複数形成され、1 セル当たりの総周辺長が大きくなる。

E. 評価結果と戦略判断

総合評価の結果、NANYA 0.18 μm トレンチプロセスはモバイル用途に必須の 90°C 動作保証を満たすことができず、次世代 VSRAM としては不適であると判断された。

この判断により、酒田 Fab での DRAM 派生製品開発は終息へと向かい、経営資源は液晶ドライバー向けの高耐圧混載 CMOS 開発に集中する方針が固まった。

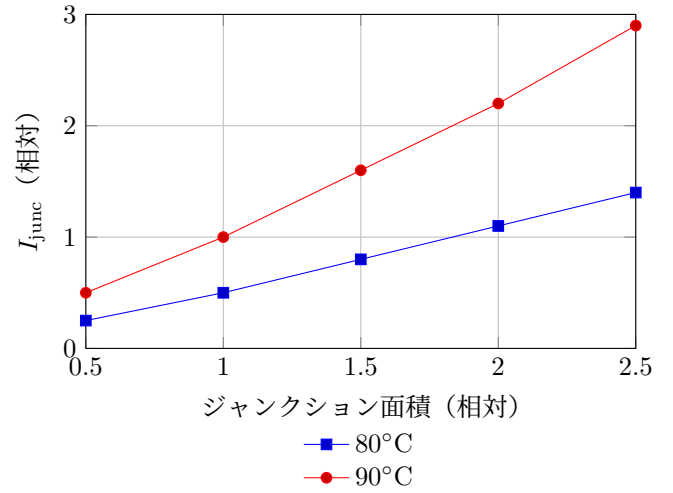


Fig. 7: トレンチ型セルにおけるジャンクションリークの面積依存性。高温条件では増加率がさらに顕著である。

F. 小括

- トレンチ方式は高密度化には有利だが、高温リーク増大でモバイル仕様に適さなかった。
- 90°C 保証を満たせず、次世代 VSRAM は断念。
- 以後は液晶ドライバーを中心とする高耐圧混載 CMOS 開発へと戦略転換した。

VI. 結論

本研究では、1997 年から 2001 年にかけて酒田 Fab で行われた DRAM 技術導入と量産化の過程を、筆者の現場経験に基づいて整理した。

- **第 1 章**：0.5 μm 世代 16M DRAM は熊本 Fab プロセスの忠実移管で安定立ち上げ。0.35 μm 世代 64M DRAM では洗浄フロー差異が原因で大規模不良が発生したが、熊本条件の完全「鏡写し」によって解決し、移管プロセスにおける「二次因子も含めて省略不可」という教訓が Fab 全体に共有された。
- **第 2 章**：0.25 μm 世代 64M DRAM は SCF 方式により短期間で立ち上げ。初期歩留まり 65%からスタートし、不良解析でジャンクションリークを主因と特定。O₂ アッシングを硫酸ウェット剥離に切り替えることで、歩留まりは 80%台後半に改善した。
- **第 3 章**：VSRAM ではモバイル要求（低消費・90°C 保証）が Pause/Disturb 不良を顕在化させた。ゲート酸化残膜確保のための HF 洗浄回数の最小化、バックバイアス強化、ゲート寸法管理などにより、歩留まりは 30%から 80%台へ改善。酒田 Fab における DRAM 派生メモリ開発の集大成となった。
- **第 4 章**：NANYA 0.18 μm トレンチプロセスの評価では、高温リークの増大により 90°C 保証を満たせず、次世代 VSRAM は断念。これにより酒田 Fab でのメモリ派生製品開発は終息に向かい、経営資源は液晶ドライバー向け高耐圧混載 CMOS に集中した。

総括すると、酒田 Fab における DRAM 導入は、DRAM そのものを事業の柱とする狙いではなく、**最新世代の装置・プロセス・量産立ち上げ能力を獲得するための手段**であった。

DRAM 量産ラインを通じて確立されたインフラは、

- 外販ファンドリ (Xilinx 等) との協働による先端ロジックプロセス、
- 社内ロジック SoC / マイコン開発、
- 液晶ドライバーを中心とする高耐圧混載 CMOS

といった複線的な事業展開を可能にした。これらはそれぞれ専任部隊により推進されたものであり、DRAM 不良対策の知見が直接移植されたわけではない。

すなわち、DRAM および VSRAM は最終的に事業としては終息したが、その導入がエプソンにとっての「戦略的成功」であったことに疑いはない。DRAM を通じて整備された量産インフラは、先端ロジック、社内 SoC / マイコン、高耐圧混載 CMOS による液晶ドライバー事業といった後続ビジネスの基盤を支え、エプソンの半導体戦略の中核を形成した。

APPENDIX A

エンベデッド DRAM (EDRAM) 技術開発の補遺

A. 背景

0.25 μm DRAM の量産終了後、筆者は同プロセスを基盤に、メモリセル形成以降へエプソンの配線プロセスを統合したシステム LSI 向け eDRAM の開発・機種担当を担った。第二層間膜 (ILD2) 形成後、メモリセル領域とロジック領域の段差を解消するため CMP 平坦化を導入したが、過不足いずれも歩留まりを直撃する難課題であった。

B. CMP 平坦化の難しさ

大面積チップでは局所パターン密度の差により除去量の空間ばらつきが増幅され、

- 研磨不足：段差残り \Rightarrow 上層配線／コンタクトの形成不良、
- 過研磨：メモリセル電極 (ストレージノード) 露出 \Rightarrow リーク起点化

が顕在化した。CMP 条件 (スラリー、圧力、速度) に加え、ダミーパターン最適化を含む設計密度均し (DFM) の効きが大きかった。

C. 配線プロセスの課題と対策

配線は 4 層構成で、メモリセル側を含め全工程は ~ 500 工程に達し、当時の酒田 Fab で最長フローであった。層間膜の HDP 酸化膜に起因するダメージと応力により、Al 配線に楔 (くさび) 型ボイドが形成される課題が発生した。対策として、

- HDP 成膜条件の再最適化 (バイアス電力／圧力／温度) でイオンダメージと内部応力を低減、
- 最終 400 $^{\circ}\text{C}$ 水素シンターの温度最適化で金属／誘電体界面の欠陥準位を緩和

を実施し、ボイドは減少、配線信頼性指標 (オープン／エレクトログラマイグレーション加速試験) は改善傾向を示した。しかしビジネス案件がロストとなり、量産移行前に開発は終了した。

D. 業界動向と位置づけ

1990 年代後半はシステム LSI 文脈で エンベデッド DRAM が注目されたが、

- 1) 平坦化・配線応力・熱履歴の複合最適化が難しく、
- 2) 安定量産の要求 (良品率とスループット) との両立が厳しい

という現実が明確になった。業界の関心は次第に、DRAM とロジックを実装で混載 (マルチチップや 3D 実装) する方向へシフトした。

E. その後：VSRAM の歩留まり改善へ

eDRAM 案件終息後、筆者は並行立ち上げ中だった VS-RAM (疑似 SRAM) の $\sim 30\%$ という初期歩留まり課題に対応する役割に移行した。高温・長周期のモバイル要求下で顕在化した Pause/Disturb の抑制 (HF 洗浄回数最小化、バックバイアス強化、ゲート CD 管理など) により、量産歩留まりを 80% 台まで回復させた (本文 第 3 図の推移参照)。

参考文献

REFERENCES

- [1] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed., Wiley, 2006.
- [2] T. Tanaka et al., "Trends and Challenges in DRAM Scaling," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1615–1624, 1996.
- [3] L. Rizzoli et al., "Retention and Disturb Characterization in 0.25 Micron DRAM," in *Proc. Int. Test Conf.*, 2000.
- [4] S. Okhonin et al., "Retention Time and Junction Leakage in Deep Submicron DRAM," in *IEDM Tech. Dig.*, pp. 549–552, 1998.
- [5] H.-S. P. Wong, "Technology and Device Scaling for DRAM," *IBM J. Res. Dev.*, vol. 43, no. 1–2, pp. 133–168, 1999.
- [6] C. Chang and S. C. Lee, "Plasma-Induced Damage on Gate Oxides," *J. Electrochem. Soc.*, vol. 141, no. 9, pp. 2512–2517, 1994.
- [7] MoSys Inc., "1T-SRAM Technology Overview," White Paper, 2001.
- [8] J. Kim et al., "Low Power Refresh Schemes for Mobile DRAM/PSRAM," in *Symp. on VLSI Circuits*, pp. 190–193, 2002.
- [9] K. Schuegraf et al., "Impact of Plasma Damage on Junction Leakage and Gate Oxide Reliability," in *VMIC Conf. Proc.*, pp. 73–79, 1997.

著者略歴

三溝 真一 (Shinichi Samizo) 信州大学大学院 工学系研究科 電気電子工学専攻修士課程を修了後、セイコーエプソン株式会社に勤務。半導体ロジック／メモリ／高耐圧インテグレーション、インクジェット薄膜ピエゾアクチュエータ、および PrecisionCore プリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AI システム統合に取り組んでいる。連絡先: shin3t72@gmail.com