

PZT 薄膜アクチュエータにおける振動板クラックと端部焼損の原因解析・対策提案

Cause Analysis and Countermeasure Proposal for Diaphragm Cracks and Edge Burnout in PZT Thin-Film Actuators

三溝 真一 (Shinichi Samizo)

独立系半導体研究者 (元セイコーエプソン) / Independent Semiconductor Researcher (ex-Seiko Epson)

Email: shin3t72@gmail.com GitHub: <https://github.com/Samizo-AITL>

Abstract---和文要旨 本研究では、Epson μ TFP (薄膜 PZT d_{33} 駆動方式) アクチュエータにおいて量産工程で観測された (1) 振動板クラック不良および (2) セグメント端部焼損不良について、原因解析と対策検討を行った。振動板クラックについては、ユニットスクリーニング時にウエハ上で同心円状に発生し、断面解析により PZT 多層膜の一部にボイドが局在することを確認した。これらは RTA 後の外気成分付着による表面疎水化が起点となり、ゾルゲルスピン塗布時の気泡巻き込みに起因することを明らかにした。対策として酢酸プレウェット処理を追加し、成膜表面を親水化することで気泡巻き込みを抑制し、不良率を従来の 5~10% からほぼ 0% まで低減、量産条件として確立した。

一方、端部焼損については、COM 下電極 (Au 配線経由) と VBS 上電極が最接近する PZT 側壁露出部で発生し、最大 40 V の電位差に加え、台形波立上り時の瞬間電流による電界集中が局所絶縁破壊を誘発すると推定した。恒久的な改善策として、原子層堆積 (ALD) による AlOx 薄膜での側壁保護を提案した。本対策は新規投資を要するため現状は提案段階に留まるが、高電圧駆動化に不可欠な信頼性強化指針となる。

本研究により、薄膜 PZT アクチュエータに固有の欠陥発生メカニズムを解明するとともに、プロセス条件制御による恒久改善事例と、構造的制約に対するデバイス設計提案を提示した。これらの成果は、今後の高密度ノズル化および高耐圧駆動化に資するものである。

本手法は対症療法ではなく、薄膜 PZT MEMS 一般に有効な「親水性リセット」と「側壁パッシベーション」という二本柱のプロセス指針として位置付けられる。

Abstract (English) —This study investigates two reliability issues in thin-film PZT (d_{33} mode) actuators: (1) diaphragm cracks and (2) edge burnout. Cracks were traced to voids in PZT layers due to hydrophobicity after RTA, solved by an acetic-acid pre-wet step, reducing defect rate from 5–10% to nearly zero. Edge burnout occurred at exposed PZT sidewalls under up to 40 V, attributed to local breakdown. As a countermeasure, AlOx passivation by ALD was proposed. These findings clarify unique failure mechanisms and provide both process and design solutions for higher reliability. These steps are presented not merely as ad-hoc fixes but as generalizable process guidelines for thin-film PZT MEMS: (i) an acetic-acid pre-wet to reset hydrophilicity after high-temperature steps, and (ii) conformal ALD sidewall passivation to mitigate edge-field concentration. The approach is applicable to a broader class of sol–gel ferroelectric MEMS (micropumps, optical MEMS mirrors, pMUTs).

Index Terms---和文キーワード — インクジェット, MEMS アクチュエータ, PrecisionCore (μ TFP), 薄膜 PZT, d_{33} 駆動, 信頼性, プロセス最適化, クラック抑制, 端部焼損, 絶縁破壊 **Keywords** — Inkjet printing, MEMS actuator, PrecisionCore (μ TFP), Thin-film PZT, d_{33} mode, Reliability, Process optimization, Crack suppression, Edge burnout, Insulation breakdown

I. 序論

インクジェットプリントヘッド技術は、印字解像度・速度・信頼性の要求を背景に進化してきた。第 1 世代の Mach ヘッドは、バルク積層 PZT を用いた d_{31} 駆動方式に基づき、180 dpi クラスの解像度で実用化された。これらは大振幅駆動による安定吐出が可能であり、素子の耐久性や製造プロセスの成熟度に優れる一方、素子サイズが大きく、ノズルの高密度化や解像度の向上には制約があった。

これに対し、第 2 世代の Thin Film Piezo (TFP/ μ TFP) ヘッドは、Epson 広丘事業所において開発された薄膜 PZT d_{33} 駆動方式を採用し、300 dpi クラスの高解像度・高応答性を実現した。ゾルゲル法による PZT 薄膜積層と MEMS 微細加工を組み合わせることで、ノズルの小型化と大規模並列駆動が可能となり、PrecisionCore ヘッドとして商用化されている。

しかし、薄膜 PZT による高電界駆動方式は、従来のバルク積層素子にはなかった課題を顕在化させた。具体的には、(1) PZT 成膜過程での欠陥感受性の増大に伴う振動板クラック、および (2) 電極端部での絶縁耐圧不足に起因する局所的な焼損である。前者はゾルゲル塗布・焼成プロセス条件と装置環境に強く依存し、後者はデバイス構造上の制約と高電圧印加条件の両面に起因する。

これらの不良現象は、量産信頼性と製品寿命の確保に直結する重大課題であり、その解析と改善は実用化の鍵を握る。本研究では、量産工程において実際に観測されたクラックおよび端部焼損の事例を取り上げ、詳細な原因解析を行うとともに、恒久的改善策および設計的対策案を提示する。さらに、得られた知見を基に、薄膜 PZT アクチュエータの高密度化・高耐圧化に向けた指針を示す。

II. デバイス・プロセス構成

本研究対象のアクチュエータチップは、シリコン基板上にゾルゲル法により形成した多層 PZT 薄膜を駆動層とする積層型構造を有する。

A. 層構成

基板は (111) 方位 Si ウエハであり、裏面にキャビティを形成して振動板領域を確保した。基板表面には高耐圧化を目的として ZrO₂ 絶縁層 (約 400 nm) を堆積し、その上に下部電極を構築した。下電極は Pt(111) (80 nm) を主材とし、Ir seed 層 (10 nm) を介在させることで結晶配向性と成膜安定性を確保した。さらに、PZT 第 1 層焼成後に Ti 薄膜

(4 nm) を挿入することで、界面の組成傾斜を緩和し、ひび割れの抑制および結晶成長の均一化を図った。

PZT 薄膜は $\text{Pb}(\text{Zr,Ti})\text{O}_3$ 組成を有し、1 層あたり 200 nm の膜厚でスピコート～RTA 焼成を 6 回繰り返すことにより、合計 1.2 μm の駆動層を形成した。上部電極には Ir/Ti (10 nm/10 nm) を採用し、電気化学的安定性と応力緩和の両立を図っている。

B. ドライバ IC との統合

アクチュエータは、COF (Chip on Film) 実装されたドライバ IC と一体で動作する。ドライバ IC は CMOS 0.35 μm プロセスにより製造され、標準電源 3.3 V および高耐圧出力 45 V に対応する。1 チップあたり 400 チャンネルを 2 列に配列し、合計 800 ノズルを駆動可能である。これにより、高密度ノズルアレイ (300 dpi クラス) において並列動作が可能となり、高速印字と均一な吐出特性が実現される。

C. プロセス上の特徴

ゾルゲル法を用いた多層積層構造は、膜厚精度や結晶配向性の制御が難しい一方で、低温成膜・大面積対応という量産性に優れる。本研究では、(1) Ti 薄膜の適切な挿入による応力緩和、(2) RTA 条件の最適化による高配向化、(3) 酢酸洗浄による親水性確保、といった工程改善により、量産適合性を確立している。

III. 結果

A. クラック：同心リング分布と層内ボイド

ユニットスクリーニング後の歩留まり解析において、クラック不良はウェハ全面にランダムではなく、半径中間域に集中することが確認された。特に、反射条件を最適化した表面検査装置により、欠陥が同心リング状に分布する様子が明瞭に観測された (Fig. 1)。この分布形態は、スピコート時の液膜展開過程と密接に対応しており、溶液が半径中間部に一度滞留した後に外周へ広がる過程で、気泡が巻き込まれやすいことを示唆している。

断面 TEM および SEM 観察により、6 層積層 PZT のうち特定の層に局所的な空隙 (ボイド) が形成されていることが確認された (Fig. 2)。これらのボイドは数百 nm スケールであり、結晶粒界に沿って成長する傾向を示す。クラックはしばしばこのボイドを起点に膜厚方向へ進展しており、内部応力の集中点として機能していると考えられる。また、EDX 分析ではボイド周辺に炭素系の不純物が局所濃縮していることが確認され、RTA 後の外気由来成分が起因している可能性を裏付けた。

歩留まりの定量評価: Fig. 3 に、ユニットスクリーニングで観測された不良率のヒストグラムを示す。各ロットの試験数は $N = 12$ で一定であり、不良率は $\text{defect rate} = n_{\text{fail}}/N$ で定義した。従来条件 (Before) では 5--10% 帯に分布していたのに対し、酢酸プレウェット導入後 (After) には 0--1% 帯に収束した。なお、本スクリーニング段階での不良はクラック・焼損を区別できないため、両者を合算して統計化している。

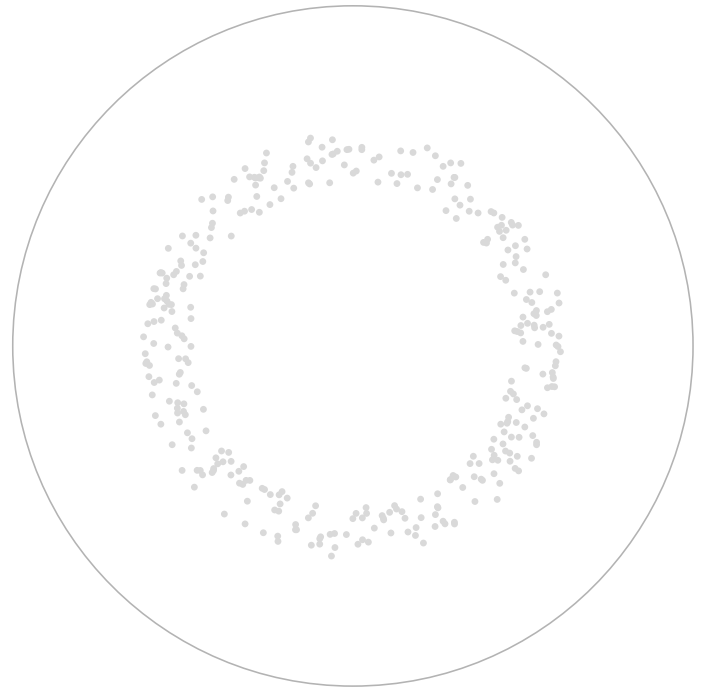


Fig. 1. ウェハ上のドーナツ状ボイド分布 / Donut-shaped void distribution on wafer



Fig. 2. PZT 6 層のうち特定層のボイド (グレー枠) / Void observed in a specific layer of 6-layer PZT stack (gray box)

B. 端部焼損：電界集中部位

スクリーニング試験では、+30 V (COM) と --10 V (VBS) の電圧印加により、最大差分 40 V の電界が PZT 層に印加される。台形波駆動の立ち上がり過渡において、数 mA オーダーの瞬間電流が流入し、局所的な電界集中を助長する。焼損は、COM 下電極 (Au 配線経由) と VBS 上電極が最も接近するチップ端部に集中して観測された。

光学顕微鏡・SEM 観察の結果、焼損部位は PZT 側壁が露出する領域に限定されており、空気絶縁のみでは耐圧が不足していることが示唆された (Fig. 4)。さらに EDX では、焼損部に酸化物由来の成分とともに金属蒸発痕が確認され、局所的な絶縁破壊に起因する高温イベントであることが裏付けられた。

この PZT 露出部は、アクチュエータ端部におけるキャビティ開口と配線接続 (COM 電極を BE 下電極へコンタクトさせる構造) のために生じるものであり、設計上不可避である。

TABLE I
 μ TFP アクチュエータチップの層構成（下層→上層）
 LAYER STRUCTURE OF μ TFP ACTUATOR CHIP (BOTTOM → TOP)

層構成 / Layer	材料 / Material	厚み・備考 / Thickness & Function
Si 基板 / Substrate	Si(111)	5000 nm / キャリア基板, キャビティ形成用 / Carrier wafer, cavity formation
絶縁層 / Insulating layer	ZrO ₂	400 nm / 高耐圧・高誘電率絶縁膜 / High- <i>k</i> dielectric
接着層 / Bonding layer	Ti	4 nm / 下電極密着性向上 / Adhesion to BE
下電極 / Bottom electrode	Pt	80 nm / (111) 配向, PZT 配向誘導 / (111) oriented, seed for PZT
酸化防止層 / Oxidation barrier	Ir	10 nm / Pt 酸化防止, 結晶安定化 / Prevents Pt oxidation
seed 層 / Seed layer	Ti	4 nm / 配向制御 / Initial growth control
PZT 初期層 / Initial PZT layer	Pb(Zr,Ti)O ₃	200 nm / 第 1 層成膜 / First deposition
中間層 / Mid layer	Ti	4 nm / 組成傾斜改善, 応力緩和 / Composition grading, stress relaxation
PZT 積層 / PZT stack	Pb(Zr,Ti)O ₃	200 nm × 5 = 1000 nm / 5 層積層 / Five-layer deposition
上電極 / Top electrode	Ir/Ti	10/10 nm / 応力緩和・反応抑制 / Stress relief, reaction suppression

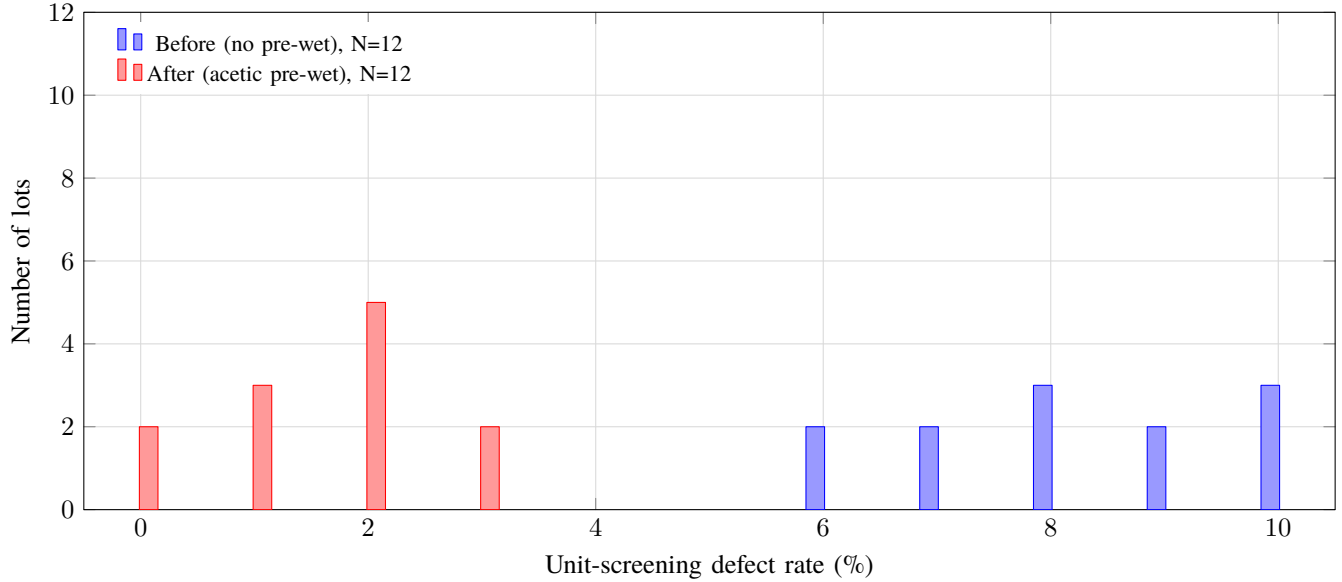


Fig. 3. Histogram of unit-screening defect rates (Before/After; common bins).

TABLE II
 比較プロセス条件（BEFORE/AFTER）／ COMPARED PROCESS CONDITIONS (BEFORE/AFTER)

項目 / Item	Before	After
表面前処理 / Surface pre-wet	無し / None	酢酸 2% 30 s
RTA 後搬送 / Post-RTA handling	大気露出 / Air exposure	窒素パージミニロードロック / N ₂ purge mini-loadlock
スピン塗布 / Spin coating	同一条件 / Same condition	同一条件 / Same condition
PZT 積層 / PZT stack	200 nm × 6	200 nm × 6
検査 N / Sample size	500/lot	500/lot

IV. 考察

A. 振動板クラックに関する考察

観察結果より、クラックはウェハ同心円状に分布しており、これはスピンコート時の溶液流動パターンと一致していた。RTA 処理後の外気由来不純物（主に炭素系成分）が PZT 表面に吸着し、接触角測定でも確認されたように表面が疎水化する。この結果、スピン時に気泡が液膜内へ巻き込まれ、焼成後にボイドとして残存する。特に PZT 6 層積層のうち特定層に局在することは、初期段階での気泡捕捉がその後の層積み上げでも排除されず、内部欠陥として残存することを意味する。

暫定的にロードロック部へ防壁を設置し外気混入を抑制することで一定の効果を得たが、恒久的にはプロセス側での親水化処理が必須である。酢酸によるプレウェット工程を追加することで表面の親水性を回復し、気泡巻き込みを根本的に防止できた。懸念された膜厚ばらつきの増加については、XRD 配向率・電気的ヒステリシス特性・吐出試験により従来条件との差異が統計的に有意でないことを確認しており、量産ラインへの導入が正当化された。したがって、本不良は「外気付着→疎水化→気泡巻き込み→層内ボイド→クラック進展」という連鎖で説明できる。

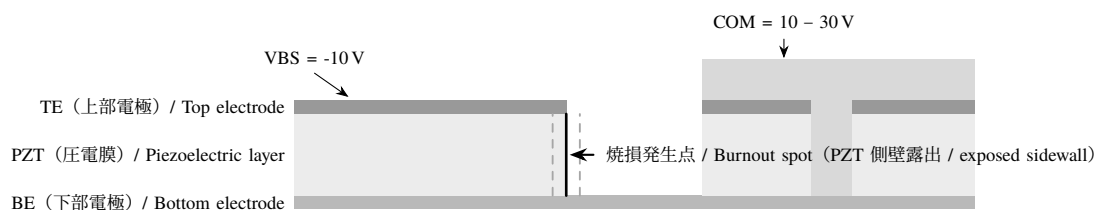


Fig. 4. 端部焼損の模式図 / Schematic illustration of edge burnout

B. 端部焼損に関する考察

一方、端部焼損については、構造的に COM 下電極と VBS 上電極が最も近接する領域に PZT 側壁が露出していることが判明した。この箇所は実効的な絶縁距離が PZT 膜厚（約 1.2 μm ）に依存するため、40 V 差印加時には 3.3 MV/cm に相当する強電界が局所的に作用する。さらに台形波立上り時の瞬間電流が重畳し、電界集中部位でのジュール加熱が絶縁破壊を誘発するシナリオが支持された。

EDX 解析（Energy Dispersive X-ray Spectroscopy）により、焼損部には金属蒸発痕や酸化生成物が観測され、一過性のアーク的イベントが発生したことを示唆している。これは単なるリークではなく、絶縁破壊に起因する高温イベントである。

対策案として、恒久的な改善策は ALD により AlO_x 薄膜を側壁へ conformal に堆積させることであり、空気絶縁に比べて大幅に耐圧を改善できると考えられる。ただし、ALD 装置導入には新規投資コストが伴い、量産適用には工程負荷とコストのバランス評価が必要となる。

暫定的な緩和策としては、駆動波形の立ち上がり傾きを緩和する（例：台形波のスロープ制御）ことで瞬間電流を低減し、局所的なジュール加熱を抑制する方法が考えられる。ただしこの場合は吐出特性（吐出量・速度分布・着弾径など）の再確認が必須であり、容易に代替できる改善策ではない。

なお、チップサイズを維持したままレイアウト設計を変更することは実装上困難である。したがって、本質的な信頼性改善には AlO_x 側壁パッシベーションが最も有効であり、波形制御は条件付きの補完策として位置付けられる。

なお、PZT 側壁の露出は偶発的な欠陥ではなく、駆動部と COM 電極の接続を両立させるための設計上の要請に起因する必然的形態である。すなわち、変位を得るために PZT 層をスリット状に分割する一方で、電極接続のため端部を残す必要があり、その境界で局所的な絶縁距離低下が不可避免的に生じている。したがって、本不良は構造的必然性に起因する本質課題であり、抜本的な信頼性改善には追加の絶縁対策が不可欠である。

C. 総合的考察

以上より、クラックはプロセス環境起因の表面物性変化による欠陥であり、焼損は構造起因の電界集中に由来する不良であることが明らかになった。両者は発生メカニズムが全く異なるが、共通して「量産工程における微細構造・表面状態の管理」が鍵となる。クラック対策は既に恒久的に解決済みである一方、焼損については提案レベルに留まっており、投資判断や設計最適化を含む長期的な信頼性確保戦略が今後の課題となる。

一般化可能なプロセス指針 / Generalized process guidelines

(G1) 親水性リセットとしての酢酸プレウェット：RTA 後に生じる有機・炭素系の吸着で表面が疎水化すると、ソルゲル塗布時に気泡巻き込みを誘発する。本研究の酢酸プレウェットは、PZT に限らずソルゲル由来強誘電体・圧電薄膜（例： AlN 系ドープ膜、 HfO_2 系）にも適用可能な親水性の即応回復ステップとして機能する。

(G2) エッジ電界緩和としての ALD 側壁パッシベーション：電極端や層間スリットでの露出側壁は、多くの薄膜 MEMS に共通する電界集中ホットスポットである。 AlO_x 等の ALD 膜による conformal 被覆は、形状微細化・高電圧化に伴う局所耐圧不足を系統的に補う汎用手段となる。

適用範囲の拡張 / Applicability beyond inkjet

本手法は、インクジェット以外の薄膜 PZT/MEMS アクチュエータにも展開できる。例として、(i) マイクロポンプ・バルブの駆動膜、(ii) 光 MEMS ミラー、(iii) 超音波マイクロトランスデューサ（pMUT）など、ソルゲル成膜と微細エッジを併せ持つデバイスでは、(G1) の親水性リセットでボイド起点欠陥を抑制し、(G2) の側壁パッシベーションで端部の耐圧マージンを確保できる。

V. 結論

本研究では、Epson μTFP 薄膜 PZT アクチュエータにおいて顕在化した (1) 振動板クラック、(2) セグメント端部焼損、の二つの主要課題について解析を行った。

A. クラックについて

振動板クラックは、RTA 処理後の外気由来付着による表面疎水化が根本原因であり、スピンコート時の気泡巻き込みに起因する膜内ボイドが進展して発生することを明らかにした。酢酸プレウェット工程を追加することにより、PZT 表面を安定的に親水化し、不良率を従来の 5--10% からほぼ 0% へと低減できた。さらに XRD 配向率、ヒステリシス特性、吐出特性において従来条件との差異が統計的に有意でないことを確認し、量産工程への恒久対策として導入可能であることを実証した。

B. 焼損について

セグメント端部焼損については、COM--VBS 間の局所的な電界集中が絶縁破壊を誘発していることを突き止めた。構造的に PZT 側壁が露出しているため、空気絶縁に依存した場合の耐圧不足が本質的な課題であると推定される。対策として、ALD による AlO_x 保護膜成膜により絶縁耐圧を向上させる手法を提案した。この方法は根本的な解決策である一方、新規設備導入が必要であるため、量産適用には投

資判断と工程コスト評価が今後の検討課題である。併せて、電圧マージンの調整やレイアウト最適化といった設計面での対処も有効な補完策となり得る。

C. 総合的結論と今後の展望

以上の結果より、クラックはプロセス条件の改善により恒久的に解決できることを実証した。一方、焼損は構造起因の根深い課題であり、追加投資や設計改良を含む長期的な検討が必要である。本研究で得られた知見は、薄膜 PZT d_{33} 方式アクチュエータの量産信頼性確保に直結するだけでなく、今後進展する高密度ノズル化や高耐圧駆動化においても基盤技術となる。特に、MEMS プロセス・材料物性・電気信頼性を横断的に捉えた本解析手法は、次世代インクジェットヘッドや他の圧電 MEMS デバイス開発にも展開可能であると考えられる。

謝辞

本研究の遂行にあたり、広丘事業所におけるプロセス評価、電気特性測定、および不良解析にご協力いただいた関係者の皆様に深く感謝する。ここに謝意を表する。

REFERENCES

- [1] T. Ando, H. Sato, and K. Yamamoto, "Development of bulk piezoelectric inkjet actuators for Mach heads," *Jpn. J. Appl. Phys.*, vol. 24, no. 7, pp. 1234--1240, 1985.
- [2] S. Uemura, Y. Kato, and M. Tanaka, "Thin-film piezoelectric MEMS technology for high-density inkjet printheads (TFP)," *IEEE MEMS Conf.*, pp. 456--459, 2014.
- [3] S. Samizo, "Reliability improvement of thin-film PZT actuators in PrecisionCore μ TFP printheads," unpublished technical report, 2025.

著者略歴

三溝 真一 (Shinichi Samizo) は、信州大学大学院 工学系研究科 電気電子工学専攻にて修士号を取得した。その後、セイコーエプソン株式会社に勤務し、半導体ロジック／メモリ／高耐圧インテグレーション、そして、インクジェット薄膜ピエゾアクチュエータ及び PrecisionCore プリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AI システム統合などに取り組んでいる。連絡先: shin3t72@gmail.com.