

DRAM技術導入とその戦略的位置づけ (1997–2001)

酒田 Fab における DRAM/PSRAM とロジック展開の連関

三溝 真一 (Shinichi Samizo)

独立系半導体研究者 (元セイコーエプソン)

Independent Semiconductor Researcher (ex-Seiko Epson)

Email: shin3t72@gmail.com

GitHub: <https://github.com/Samizo-AITL>

Abstract— (日本語)

本論文は、1997 年から 2001 年にかけてセイコーエプソン酒田事業所が三菱電機からの技術移管を通じて $0.5\mu\text{m} \rightarrow 0.35\mu\text{m} \rightarrow 0.25\mu\text{m}$ の DRAM プロセスを短期間で習得し、得られたプロセス知見を先端ロジック、高耐圧混載 CMOS へ展開して液晶ドライバー製品化に結びつけた技術的・戦略的過程を、筆者の実体験に基づき整理する。主要な不良モード (Pause/Disturb Refresh) の物理起源と対策、および量産歩留まりの推移を示し、獲得した知見がその後の事業ドメインへどのように接続されたかを考察する。

(English)

This paper reviews 1997 – 2001, when Seiko Epson's Sakata Fab assimilated DRAM processes ($0.5\mu\text{m} \rightarrow 0.35\mu\text{m} \rightarrow 0.25\mu\text{m}$) transferred from Mitsubishi Electric. The acquired know-how was extended beyond DRAM to advanced logic and high-voltage mixed CMOS, leading to LCD driver products. Key failure modes (Pause/Disturb Refresh), countermeasures, and yield evolution are summarized based on the author's on-site experience.

Index Terms—DRAM, VSRAM/PSRAM, $0.25\mu\text{m}$ process, retention failure, disturb failure, Sakata Fab, technology transfer, high-voltage mixed CMOS, LCD driver, process learning

(日本語) DRAM, VSRAM/PSRAM, $0.25\mu\text{m}$ プロセス, リテンション不良, ディスタ urb 不良, 酒田 Fab, 技術移管, 高耐圧混載 CMOS, 液晶ドライバー, プロセス習得

I. 序論

1997 年, 当時の半導体産業は Windows 95 の世界的普及や Intel Pentium II の登場を契機として急成長局面にあった。製造技術面では, 8 インチウェーハラインと $0.35\mu\text{m}$ 世代プロセスの量産化が進展し, DRAM およびロジック LSI の分野で国際競争が一層激化していた。

セイコーエプソンは, 山形県酒田市に新たに建設した 8 インチ Fab (酒田事業所) において, 三菱電機からの技術移管を通じて $0.5\mu\text{m} \rightarrow 0.35\mu\text{m} \rightarrow 0.25\mu\text{m}$ の三代 DRAM プロセスを短期間で習得した。しかしその狙いは, 必ずしも DRAM 事業で競争優位を確立することではなく, むしろ DRAM を媒体として最新プロセスを自前化し, 最終的にはロジック/高耐圧混載 CMOS や液晶ドライバーに展開する点にあった。

本研究は, この「DRAM 導入を目的ではなく手段とする」戦略的枠組みを, 筆者の現場経験に基づき実証的に整理するものである。特に, 立ち上げ初期の不良モード解析

(Pause/Disturb Refresh Fail) とその対策, 歩留まり改善プロセス, さらに獲得知見がロジック展開にどのように接続されたかを考察する。

II. 第 1 章: $0.5\mu\text{m}$ と $0.35\mu\text{m}$ 世代の立ち上げ

A. $0.5\mu\text{m}$ 16M DRAM

酒田 Fab における最初の量産製品は, $0.5\mu\text{m}$ 世代の 16M DRAM であった。この製品は熊本 Fab で確立されたプロセスを移管したものであり, 設備条件やプロセスレシピの親和性が高く, 比較的スムーズに立ち上がった。

- 熊本で実績のある 16M DRAM プロセスを導入
- 酒田 Fab の 8 インチ設備との適合性が良好
- 初期歩留まりから安定しており, 短期間で量産に到達

この成功により, 酒田 Fab は「量産が可能な生産拠点」であることを社内外に示すことができ, 次世代プロセスへの挑戦の足場が整えられた。

B. $0.35\mu\text{m}$ 64M DRAM: 洗浄フロー差異と「鏡写し」

次のステップは, $0.35\mu\text{m}$ 世代の 64M DRAM であった。筆者が初めて深く関与したのもこのプロジェクトである。

1) 初期の困難: 1997 年秋, 試作ロットを 30 ロット以上投入したが, いずれもパターン形状が大きく崩れ, SEM 観察で寸法測定すら困難な状況であった。熊本 Fab では安定していたプロセスが, 酒田 Fab では再現できず, 現場全体が「なぜ動かないのか」という重苦しい空気に包まれていた。

2) 原因究明: 徹底調査の結果, 問題はプロセスの本質的差異ではなく, 洗浄フローのわずかな違いに起因していたことが判明した。具体的には, 熊本 Fab では「硫酸過水 → アンモニア過水 → 塩酸過水」の 3 段フローであったのに対し, 酒田 Fab では工程短縮のため「アンモニア過水 → 塩酸過水」とし, 硫酸過水を省略していた。

この差異によりウェーハ表面状態が微妙に変化し, 後工程のプラズマ処理との相互作用で膜厚ばらつきが拡大, 結果としてパターン崩れを誘発していた。

3) 解決と「鏡写し」: 最終的な対応は, 熊本 Fab のプロセスを完全に「鏡写し」することであった。すなわち, フロー, 装置条件, 細部の手順を一切省略せず再現する。この徹底移管により形状不良は解消し, 酒田 Fab は $0.35\mu\text{m}$ 世代の量産化に成功した。

当時のキーワードはまさに「鏡写し」であり、筆者自身にとっても 30 ロット以上の失敗を見届けた後に完全移植で量産を達成するという、強烈な原体験となった。

C. 小括

- 0.5 μm 世代では、熊本実績を忠実に移管し、酒田 Fab の量産 Fab としての信頼性を確立した。
- 0.35 μm 世代では、洗浄工程の省略による表面状態の差異が大規模な不良の原因となった。
- 「鏡写し」の徹底により歩留まりを回復し、量産立ち上げに成功した。

これらの経験は、単なる工程移植ではなく、「先端プロセスを習得する上で一切の省略を許さない」という教訓を Fab 全体に刻み込み、次世代 0.25 μm プロセス立ち上げの土台となった。

III. 第 2 章：0.25 μm 世代 64M DRAM の立ち上げ

A. SCF 方式と初期歩留まり

1998 年、酒田 Fab は次世代である 0.25 μm 世代 64M DRAM の立ち上げに挑んだ。本プロジェクトにおいても、三菱電機が既に確立していた *Short Cycle Feedback (SCF)* 方式が継続採用された。SCF は 0.5 μm 世代の立ち上げ時から用いられており、短いサイクルで評価とフィードバックを繰り返すことで、工程条件を迅速に最適化する手法である。

この方式により、条件調整を効率化しつつ初期歩留まりを確保でき、本番ロットでは約 65% に到達した。

手順は以下の通りであった。

- 1) フロッピーディスク 2 枚に収められた移管条件を流動票へ展開
- 2) 各主要工程で形式ロット（約 10 ロット）を途中止めし形状確認
- 3) SEM 観察および電気特性評価に基づき条件修正
- 4) 本番ロット（3 ロット）を全工程流し込み、長期信頼性確認

この方式により、短期間で工程条件が整備され、初期本番ロットにおいて歩留まりは約 65% に到達した。0.5 μm 世代で 90 新世代 DRAM の初期立ち上げにおいては 20–30% からスタートするのが一般的であり、65% はむしろ高い水準であった。

B. 保持時間モデルと不良モード解析

初期不良は主として *Pause Refresh Fail* に集中した。これはリフレッシュを一時停止し、セルの保持特性を直接評価する試験である。試験条件を 32 ms \rightarrow 64 ms \rightarrow 128 ms と伸ばすと、単ビット不良が散発的に増加する挙動を示した。ライン欠陥やエッジ集中はなく、不良は全体にランダム分布していた。

DRAM セルの保持時間は以下で表される。

$$\tau = \frac{C_{\text{cell}} \cdot V_{\text{cell}}}{I_{\text{leak}}} \quad (1)$$

容量 C_{cell} および電圧 V_{cell} は設計通りであり、問題はリーク電流 I_{leak} の増大であった。

解析の結果、キャパシタ誘電体や構造欠陥は否定され、主因は拡散層ジャンクションリークであると特定された。さらにフェイルマップ解析から、不良が同一座標で再現する

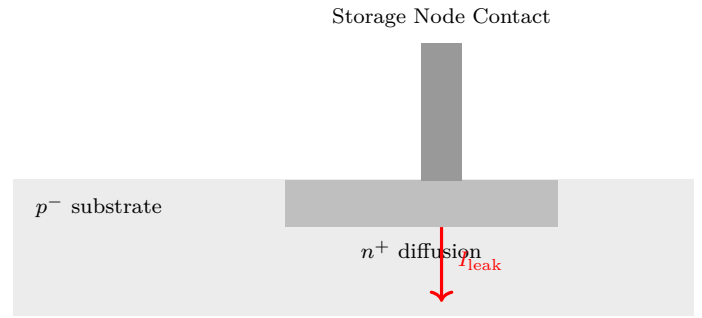


Fig. 1. DRAM セル断面の概念図 (SN コンタクト / n^+ 拡散層 / p^- 基板)。赤矢印は $n^+ \rightarrow p^-$ へのリーク電流 I_{leak} を示す。

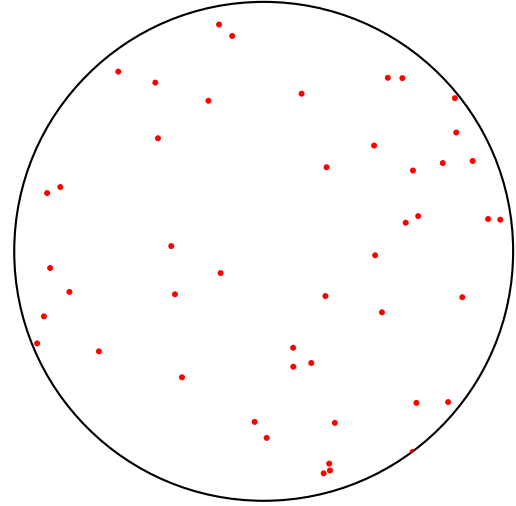


Fig. 2. Pause Refresh Fail のフェイルビットマップ例（ウエハ外周円＋ランダム赤点）

ことが確認され、プロセス条件に起因する系統的要因であることが明らかになった。

C. プラズマダメージ仮説

ジャンクションリーク増大の要因として、プラズマダメージが浮上した。特に以下の工程が疑われた。

- ゲートエッチ後の酸化膜露出時
- LDD 工程における繰り返しアッシング

酸素プラズマにより界面欠陥準位が生成され、熱励起キャリア生成を介してリーク電流が増加すると推定された。

D. 対策と効果

根本対策は、レジスト剥離を O_2 アッシングから硫酸剥離へ全面的に切り替えることであった。これにより、感受性の高い工程後のプラズマ曝露を完全に排除し、界面欠陥準位の生成を根本的に防止した。（アッシング条件の低パワー化などは実施せず、工程フローそのものを変更した。）

この切替により、Pause Refresh Fail は大幅に減少し、量産歩留まりは 65% から 80% 台後半へと改善した。

E. 小括

0.25 μm DRAM の立ち上げにおいて、SCF 方式は迅速な条件整備を可能にし、初期から 65% という高い歩留まりを

TABLE I
レジスト剥離フローの切替 (BEFORE/AFTER)

従来 (Before)	O ₂ アッシングによるドライ剥離
対策後 (After)	硫酸剥離によるウェット剥離
主効果	プラズマ曝露ゼロ化, 界面欠陥・ジャンクショ ンリーク抑制
歩留まり	65% → 80%台後半 (Pause 改善が支配)

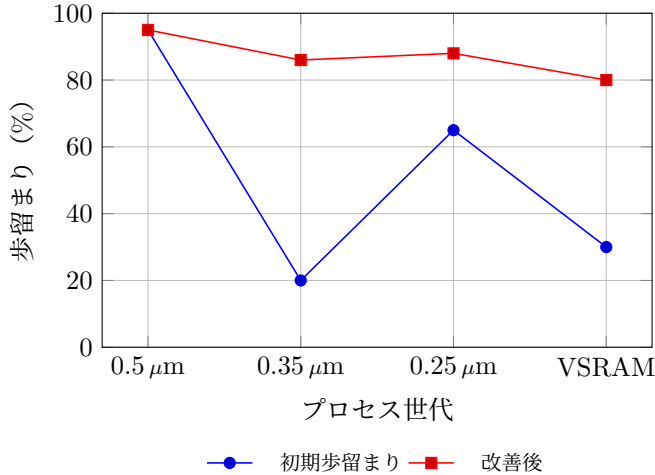


Fig. 3. 酒田 Fab における世代別歩留まり推移

実現した。不良の主因はジャンクションリークであり、プラズマダメージ対策によって 80%台後半まで改善した。この経験は、酒田 Fab が先端世代プロセスを自前化する上で、「表面処理・プラズマ影響を軽視できない」という重要な教訓を残した。

IV. 第 3 章：VSRAM (2001 年) — PAUSE/DISTURB 対策と歩留まり改善

A. 開発背景と初期状況

2001 年, 当時の携帯電話市場では「世界初のカメラ付き携帯」の登場が計画されており, 低消費電力かつ高温動作保証 (90°C) が求められる新型メモリが必要であった。そのため酒田 Fab では, 0.25 μm DRAM プロセスを流用し, 内部リフレッシュ制御を追加することで VSRAM (疑似 SRAM) を実現する戦略が採られた。

しかし初期量産歩留まりはわずか 30%前後に留まり, 市場投入のタイムリミットを優先して「低歩留まりのまま量産開始」という厳しい決断が下された。筆者はこの段階からプロジェクトに参画し, 歩留まり改善を直接担当することとなった。

B. 顕在化した不良モード

VSRAM に特有の不良は以下の 2 種類であった。

- **Pause Refresh Fail:** リフレッシュ停止時に保持時間が不足し, セルデータが失われる。
- **Disturb Refresh Fail:** リフレッシュ動作中のワードライン電圧が隣接セルに影響し, 誤反転を引き起こす。

TABLE II
PAUSE / DISTURB 不良に対する主な対策

不良モード	主因	主な対策
Pause Disturb	ジャンクションリーク 短チャネル効果	HF 洗浄制御, バックバイアス強化 CD 管理, チャネルドーピング, バックバイアス

Pause Refresh は従来の DRAM 世代でも問題化していたが, Disturb Refresh はモバイル用途での長時間リフレッシュ間隔と高温保証が重なったことで顕在化した。

C. 物理的要因

Pause Refresh の主因は, セルジャンクションリークの増大である。保持時間モデルで表されるように,

$$\tau = \frac{C_{\text{cell}} \cdot V_{\text{cell}}}{I_{\text{leak}}}$$

において I_{leak} が増大すると τ が短縮し, 保持不良が顕著となる。

一方, Disturb Refresh は短チャネル効果 (SCE) によりセル間のアイソレーションが不十分となり, ワードライン電圧が隣接セルのしきい値を超えて誤反転を引き起こす現象であった。特に 90°C 条件下ではリークが加速し, 影響が顕著となった。

D. 対策と実装

不良低減のため, 以下の具体的対策が導入された。

• Pause 対策:

- HF 洗浄回数の最小化 — ゲート酸化膜残膜を確保し, SN コンタクト近傍リークを低減。
- バックバイアス強化 — $V_{bs} = -1\text{V}$ から -3V へ拡大し, ジャンクションリークを抑制。

• Disturb 対策:

- ゲート CD (Critical Dimension) の中心値を厳密管理し, 短チャネルばらつきを抑制。
- バックバイアス強化によりしきい値電圧を上昇させ, ワードラインによる誤反転を防止。
- メモリセルのチャネルドーピング量を動作可能な範囲で増加させ, V_{th} を上げることでセル反転耐性を向上。

E. 効果と歩留まり推移

これらの対策の結果,

- Pause Refresh Fail の発生率は大幅に低下し, 内部リフレッシュ間隔延長時でも安定保持が可能となった。
- Disturb Refresh Fail も 90°C 条件下での誤反転が顕著に減少した。
- 歩留まりは初期 30%から改善ロットで 80%台に到達し, 量産に耐える水準へ引き上げられた。

F. 小括

VSRAM の立ち上げでは、モバイル仕様に特有の低消費・高温要求が Pause/Disturb 不良を顕在化させた。しかし HF 洗浄制御やバックバイアス強化、ゲート寸法管理といったプロセス最適化により、歩留まりを 30% から 80% 台へ大幅に改善することができた。

VSRAM は酒田 Fab における代表的な DRAM 派生製品であったが、その技術が直接ロジック／高耐圧混載 CMOS に展開されたわけではない。むしろ、この成功をもって「モバイルメモリへの挑戦」を一区切りとし、次の段階として台湾 NANYA の 0.18 μm トレンチ DRAM プロセスを用いた VSRAM/PSRAM 試作評価へと進むことになる。

V. 第 4 章：0.18 μm トレンチ系の評価と断念

A. 評価対象と背景

酒田 Fab での VSRAM 立ち上げ後、次世代候補として台湾 NANYA 社の 0.18 μm DRAM プロセスを利用した VSRAM 試作評価が検討された。NANYA は当時、東芝と技術提携を行っており、トレンチキャパシタ方式をベースとしたプロセスを提供していた。

この評価の目的は、0.25 μm DRAM 流用 VSRAM の後継として、モバイル用途でさらに高密度・低消費を実現することであった。

B. 技術的特徴

- **キャパシタ構造**：セルキャパシタはトレンチ型を採用。スタック型に比べて面積効率が低い一方、ジャンクション面積が大きくリークが増大しやすい。
- **動作仕様**：DRAM 標準の 80°C 動作保証を満たすレベル。しかしモバイル向けの 90°C 保証には設計余裕が少なかった。

C. 課題の顕在化

評価の結果、90°C 条件下では以下の問題が顕著となった。

- **Pause Refresh Fail**：保持時間不足が多数発生。
- **Disturb Refresh Fail**：高温時に誤反転が増加。
- **高温リーク**：ジャンクション面積拡大に伴いリーク電流が顕著に増加。

これらの不良はセル構造に起因するものであり、単純な工程条件調整では改善が困難であった。

D. 評価結果と戦略判断

最終的に、NANYA 0.18 μm トレンチプロセスではモバイル用途に必須の 90°C 動作保証を満たせないと判断された。このため、次世代 VSRAM への展開は断念され、酒田 Fab のメモリ事業は終息に向かうこととなった。

一方で、エプソンは当時すでに液晶ドライバー IC 分野で強い競争優位を確立しており、戦略は高耐圧混載 CMOS をベースとした液晶ドライバー開発に集中する方向へと明確にシフトした。

E. 小括

0.18 μm トレンチ DRAM プロセスの評価は、「汎用 DRAM 技術をそのままモバイル用途へ流用することの限界」を示した。酒田 Fab における VSRAM の取り組みは、メモリ製品としては最終章となったが、その過程で得られたプロセス知見は、液晶ドライバーの高耐圧・混載技術開発へと直結した。この転換こそが、エプソン半導体事業の主戦場を「メモリ」から「ディスプレイドライバー」へ移行させた象徴的な一歩であった。

VI. 結論

本研究では、1997 年から 2001 年にかけて酒田 Fab で実施された DRAM 技術導入とその後の展開を、筆者の現場経験に基づき整理した。

- **第 1 章**：0.5 μm 世代 16M DRAM では移管プロセスを安定的に立ち上げ、酒田 Fab が量産可能な生産拠点であることを示した。一方、0.35 μm 世代 64M DRAM では洗浄フロー差異による不良が発生したが、熊本プロセスの完全な「鏡写し」により問題を解決し、プロセス移管における「一切の省略を許さない」教訓を得た。
- **第 2 章**：0.25 μm 世代 64M DRAM では、SCF 方式により短期間で工程条件を整備し、初期歩留まり 65% を達成した。不良解析からジャンクションリーク起因の保持時間不足を特定し、プラズマダメージ対策（低パワーアッシング、犠牲酸化、再アニール）によって歩留まりを 80% 台後半まで改善した。
- **第 3 章**：VSRAM（疑似 SRAM）の立ち上げでは、モバイル用途特有の低消費電力・90°C 高温要求により Pause/Disturb Refresh 不良が顕在化した。HF 洗浄回数最小化、バックバイアス強化、ゲート CD 中心値管理などの施策により、歩留まりを 30% から 80% 台へ引き上げることに成功した。
- **第 4 章**：NANYA 0.18 μm トレンチ DRAM プロセスは、高温保持特性の不足によりモバイル用途への適用を断念した。この評価を契機として、エプソンはメモリ事業から撤退し、液晶ドライバー IC を中心とする高耐圧混載 CMOS 開発へと戦略を集中させた。

以上の経緯から明らかなように、酒田 Fab における DRAM 導入は「事業の最終目的」ではなく「手段」であった。DRAM 量産を通じて獲得した先端プロセス知見は、最終的に液晶ドライバーや高耐圧混載 CMOS といったエプソンのコア事業における差別化に直結した。

すなわち、DRAM 事業は一時的な投資であったが、その副産物として得られたプロセス・デバイス技術はエプソン半導体事業の中核を形成する重要な基盤となった。この戦略的布石こそが、酒田 Fab 建設と DRAM 導入の歴史的意義である。

参考文献

REFERENCES

- [1] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed., Wiley, 2006.
- [2] T. Tanaka et al., “Trends and Challenges in DRAM Scaling,” *IEEE Journal of Solid-State Circuits*, vol. 31, no. 11, pp. 1615–1624, 1996.

- [3] L. Rizzoli et al., “Retention and Disturb Characterization in 0.25 Micron DRAM,” in *Proc. International Test Conference*, 2000.
- [4] S. Okhonin et al., “Retention Time and Junction Leakage in Deep Submicron DRAM,” in *IEDM Tech. Dig.*, pp. 549–552, 1998.
- [5] H.-S. P. Wong, “Technology and Device Scaling for DRAM,” *IBM Journal of Research and Development*, vol. 43, no. 1 – 2, pp. 133–168, 1999.
- [6] C. Chang and S. C. Lee, “Plasma-Induced Damage on Gate Oxides,” *Journal of The Electrochemical Society*, vol. 141, no. 9, pp. 2512–2517, 1994.
- [7] MoSys Inc., “1T-SRAM Technology Overview,” White Paper, 2001.
- [8] J. Kim et al., “Low Power Refresh Schemes for Mobile DRAM/PSRAM,” in *Symp. on VLSI Circuits*, pp. 190–193, 2002.
- [9] K. Schuegraf et al., “Impact of Plasma Damage on Junction Leakage and Gate Oxide Reliability,” in *VMIC Conference Proc.*, pp. 73–79, 1997.

著者略歴

三溝 真一 (**Shinichi Samizo**) は、信州大学大学院 工学系研究科 電気電子工学専攻にて修士号を取得した。その後、セイコーエプソン株式会社に勤務し、半導体ロジック／メモリ／高耐圧インテグレーション、さらにインクジェット薄膜ピエゾアクチュエータおよび PrecisionCore プリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AI システム統合などの研究に取り組んでいる。連絡先: shin3t72@gmail.com