

FinFET～CFET 構造進化チュートリアル： スケーリング臨界と構造信頼性設計

三溝真一 (Shinichi Samizo)

独立系半導体研究者（元セイコーエプソン） / Independent Semiconductor Researcher (ex-Seiko Epson)

Email: shin3t72@gmail.com GitHub: <https://github.com/Samizo-AITL>

Abstract—(日本語要旨) 本稿は、130 nm 以降における CMOS スケーリング技術の構造的進化を体系的に整理したチュートリアル論文である。プレーナー CMOS の限界を出発点として、FinFET、Gate-All-Around (GAA: Nanosheet)、そして Complementary FET (CFET) へと至る構造変遷を、電界制御、熱対称性、電源分離、再現性設計の観点から俯瞰する。さらに、High- k /Metal Gate (HKMG) 技術、BEOL 配線スケーリング (Low- k 絶縁膜、Dual Damascene, Backside Power Rail) および BSIM-CMG モデリングを統合し、微細化の最終段階における「構造そのものが信頼性設計パラメータとなる時代」の到来を示す。本稿は、プロセス・デバイス・回路の各階層を横断した次世代 CMOS 設計のための統合的指針を提供することを目的とする。

(English Abstract) This tutorial paper systematically reviews the structural evolution of CMOS scaling technology beyond the 130 nm node. Starting from the limitations of planar CMOS, it examines the progression toward FinFET, Gate-All-Around (GAA: Nanosheet), and finally Complementary FET (CFET) architectures, from the perspectives of electrostatic control, thermal symmetry, power-rail separation, and reproducibility in device design. Furthermore, it integrates High- k /Metal Gate (HKMG) technology, BEOL scaling (Low- k dielectrics, Dual Damascene, and Backside Power Rail), and BSIM-CMG compact modeling, demonstrating the paradigm in which device structure itself becomes the design parameter of reliability. The paper aims to provide unified design insights across process, device, and circuit domains for reliability-aware, next-generation CMOS integration.

Index Terms—FinFET, GAA, CFET, HKMG, BEOL, Backside Power Rail, BSIM-CMG, Thermal Symmetry, Structural Reliability, CMOS Scaling

I. 序論

本章では、CMOS スケーリングの歴史的背景と、プレーナー MOS 構造の限界について概説する。130 nm 世代以降、チャンネル長の短縮に伴って短チャンネル効果 (SCE: Short Channel Effect) が顕在化し、ゲート電界によるチャンネル制御力が低下した。これにより、サブスレッショルドリーク電流やゲートリーク電流が増大し、単純な寸法スケーリングによる性能向上は限界に達した。この課題を解決するため、電界制御効率を根本的に高める新たな三次元構造が求められるようになった。

FinFET は、その最初の転換点として、立体的なフィン (Fin) チャンネルを三方向からゲートで包み込む構造を採用し、優れた電界制御性とオン/オフ特性の両立を実現した。続く GAA (Gate-All-Around) 構造では、チャンネルを全周囲からゲートで完全に包み込むことにより、静電制御性・デバイス均一性・しきい値電圧安定性のさらなる向上を達成した。さらに CFET (Complementary FET)

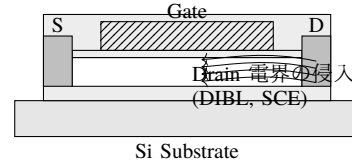


Fig. 1. プレーナー MOSFET の短チャンネル効果 (SCE) 模式図。ドレイン電界の侵入により V_{th} 低下と DIBL が発生。

では、n 型および p 型デバイスを垂直方向に積層することで、面積効率と配線密度を飛躍的に高め、電源・信号経路の空間分離を可能にした。このように、トランジスタは“平面の微細化”から“構造の最適化”へと進化している。

本論文では、FinFET から GAA、さらに CFET へと至る構造進化を、(1) 電界制御、(2) 熱対称性、(3) 電源分離、(4) 再現性設計の四つの観点から体系的に整理する。あわせて、High- k /Metal Gate (HKMG) 技術、BEOL スケーリング (Low- k 誘電体、Dual Damascene, Backside Power Rail)、および BSIM-CMG モデリングを統合的に扱い、次世代 CMOS 技術における「構造そのものが信頼性を設計するパラメータとなる時代」の到来を明確に示すことを目的とする。

II. CMOS 構造進化と三次元化の展開

本章では、プレーナー MOS の電界制御限界を出発点に、FinFET、GAA、CFET へ至る立体化の系譜を整理する。構造スケーリングは、単なる寸法縮小ではなく「電界制御を立体化する」設計転換である。

A. プレーナー MOS 構造の限界

プレーナー MOSFET では、短チャンネル化に伴いドレイン電界がチャンネルへ侵入し、SCE や DIBL が顕著となる。130 nm 世代以降、ゲート酸化膜厚が数 nm に達するとトンネルリークが支配的となり、Dennard 則は破綻した。この限界を超えるため、ゲートを立体的に包み込む構造が模索され、FinFET が登場した。

B. FinFET: 三面ゲートによる制御強化

FinFET は、シリコン Fin をゲートが三面から包囲する Tri-Gate 構造により、体積的な電位制御を実現する。Fin の高さ H 、幅 W 、本数 n に対して有効チャンネル幅は

$$W_{\text{eff}} = n(2H + W) \quad (1)$$

で与えられ、側面電流が支配的となる。高 Fin 化で I_{ON} を高められる一方、LER や段差被覆性が信頼性を制約する。

C. GAA：全包围ゲートへの発展

GAA はチャネルを上下左右から完全包围し、静電制御を極限化する。ナノシート多層化により上下両面の電流経路が追加され、同一フットプリントでの駆動力が増す：

$$W_{\text{eff}} = 2n(H + W). \quad (2)$$

選択エピタキシ (SEG) と ALD による膜厚制御が鍵であり、5 nm 以降の主流技術となっている。

D. CFET：垂直積層と電源分離

CFET は n/p トランジスタの垂直積層によりセル面積を大幅に削減し、BPR と統合して信号・電源の物理分離を実現する。上下 FET 間の熱干渉と電気的アイソレーション、 $< 400^\circ\text{C}$ 級の低温プロセスが設計・量産の要件となる。

E. 構造比較と設計軸

FinFET (3 面制御) → GAA (全周制御) → CFET (上下分離 + BPR) の流れは、「電界制御の立体化」→「空間効率化」→「電源分離」の深化を示す。構造そのものが性能と信頼性を同時に規定する段階に到達した。

III. FinFET 構造とその特徴

FinFET は、シリコン基板上に形成された立体的なフィン (Fin) チャネルを、ゲートが三方向から包み込む構造を有する。この三面ゲート構造により、チャネル電位分布を高精度に制御でき、プレーナ MOSFET に比べてドレイン電界の侵入を大幅に抑制する。その結果、短チャネル効果 (SCE) の緩和、ドレイン誘起バリア低下 (DIBL) の低減、サブスレッショルドスイング (SS) の改善が同時に達成される。

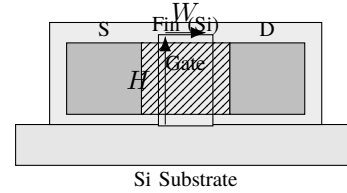
Fin 構造の幾何学的パラメータは電気特性を直接支配する。Fin の高さを H 、幅を W 、Fin 数を n とすると、有効チャネル幅 W_{eff} は次式で表される：

$$W_{\text{eff}} = n(2H + W). \quad (3)$$

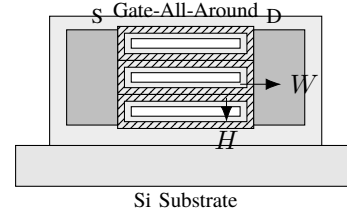
この関係式は、電流伝導が側面チャネルに支配的であることを示し、Fin 高さ H を増すことでオン電流 (I_{ON}) を向上できる一方、過度な高さは機械的強度およびエッチング制御精度の面で限界をもたらす。したがって、FinFET 設計では「高さによる駆動能力」と「製造再現性」の最適点を探索することが重要である。

FinFET の主な利点は、(1) 優れたゲート制御性、(2) 低オフリーク電流、(3) 動作電圧の低減による低消費電力化である。一方で、製造上の課題として、Fin 寸法の微小ばらつき (Line Edge Roughness: LER) やゲート包围部の非対称性がしきい値電圧 V_{th} の揺らぎを引き起こし、デバイス間の性能均一性を制限する。さらに、高アスペクト比 Fin 構造では、ゲート酸化膜堆積やメタルゲート充填における段差被覆性 (Step Coverage) が信頼性を支配する要因となる。

(a) FinFET



(b) GAA (Nanosheet)



(c) CFET (n/p 垂直積層)

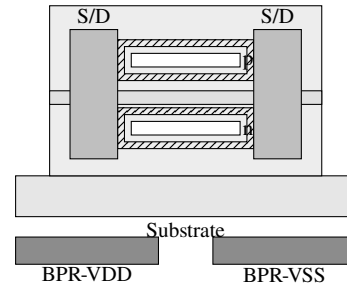


Fig. 2. CMOS 構造の比較模式図 (モノクロ対応)。(a) FinFET: 三面ゲート構造。(b) GAA: 多層ナノシートの全包围ゲート構造。(c) CFET: n/p 積層構造と BPR 電源分離の統合。灰色=誘電体、斜線=ゲート金属、濃灰=ソース/ドレイン。

Fig. 3. FinFET / GAA / CFET の比較模式図 (1 カラム収録)。

このように FinFET は、平面構造の限界を克服するだけでなく、デバイス設計における「電界制御性とプロセス均一性の最適折衷」を体現する構造パラダイムである。本構造は、後続の GAA (Gate-All-Around) および CFET (Complementary FET) への発展を導く基盤技術として位置付けられる。

IV. GAA (GATE-ALL-AROUND) 構造

GAA (Gate-All-Around) 構造は、チャネルを全周囲からゲート電極で包み込むことにより、静電制御性を極限まで高めたデバイス構造である。従来の FinFET ではゲートが三方向からチャネルを制御していたのに対し、GAA では上下方向にもゲート電界が作用するため、チャネルポテンシャルの均一性が飛躍的に向上し、ドレイン電界の侵入がほぼ完全に抑制される。これにより、短チャネル効果 (SCE) およびドレイン誘起バリア低下 (DIBL)

TABLE I
FinFET 代表パラメータ例 (概念値)

パラメータ	記号	代表値	備考
Fin 高さ	H	40–60 nm	電流駆動へ強く寄与
Fin 幅	W	5–10 nm	SCE / SS に影響 (過小で R 上昇)
Fin 数	n	2–4	セル幅・ばらつきとトレード
有効チャネル幅	W_{eff}	$n(2H + W)$	実効伝導面積 (側面優位)
しきい値電圧	V_{th}	0.35–0.45 V	LER・ゲートワーク関与
オン電流	I_{ON}	$\sim 1 \text{ mA}/\mu\text{m}$	高 H /小 W で増加
オフ電流	I_{OFF}	$< 100 \text{ pA}/\mu\text{m}$	三面ゲートで抑制
サブスレッショルド	SS	65–75 mV/dec	SCE 抑制指標

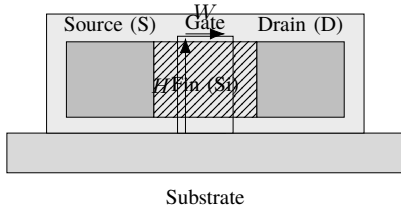


Fig. 4. FinFET の断面模式図 (高精細版)。ゲート電極は三面を包囲し、Fin の幾何パラメータ H , W は有効チャネル幅 $W_{\text{eff}} = n(2H + W)$ に寄与する。

がさらに低減され、しきい値電圧 V_{th} の安定性とサブスレッショルドスイング (SS) の改善が同時に達成される。

ナノシート型 GAA 構造では、複数のチャネル層 (Nanosheet) を垂直方向に積層し、それぞれを独立にゲートで包囲する。この積層構造により、平面面積を増加させずに実効チャネル幅を拡大できる。有効チャネル幅 W_{eff} は FinFET 構造に対して次式で表される：

$$W_{\text{eff}} = 2n(H + W), \quad (4)$$

ここで n はチャネル層数、 H はシート厚、 W はチャネル幅である。この式が示すように、GAA では FinFET と異なり上下両面に電流経路が追加されるため、同一フットプリントでより高い駆動能力を実現できる。

さらに GAA 構造は「構造的スケーラビリティ」を備えており、チャネル幅 W を減少させながら層数 n を増やすことで、電気的特性を維持したまま幾何学的スケーリングを継続できる。この特性により、IMEC や Samsung をはじめとする研究機関・メーカーでは、5 nm 世代以降での GAA 採用を加速させ、1.4 nm クラスのノードにおいてもチャネル制御性と電流駆動性能の両立が実現されつつある。

一方で、ナノシートの積層・分離工程には極めて高い製造精度が要求される。層間酸化膜の厚さ均一性、ゲート堆積時の段差被覆性、およびチャネル層のエッチング選択性は、いずれもデバイス信頼性に直結する重

TABLE II
GAA (GATE-ALL-AROUND) ナノシート構造の代表パラメータ
REPRESENTATIVE PARAMETERS OF GAA NANOSHEET STRUCTURE

パラメータ Parameter	記号 Symbol	代表値 Typical Value	備考 Remarks
ナノシート層数	n	3–5	積層により有効チャネル幅 W_{eff} が増大 Stacking increases W_{eff}
シート厚	T_s	5–8 nm	チャネル厚制御が性能を支配 Channel thickness dominates performance
シート間距離	S	10–12 nm	熱干渉と寄生容量に影響 Affects thermal and parasitic coupling
有効チャネル幅	W_{eff}	$2n(H + W)$	全包囲ゲート寄与を反映 Reflects all-around gate contribution
しきい値電圧	V_{th}	0.35–0.40 V	対称構造で制御容易 Symmetric structure allows easy control
サブスレッショルド特性	SS	60–65 mV/dec	理想スイングに近似 Near-ideal subthreshold swing
電流駆動比	$I_{\text{ON}}/I_{\text{OFF}}$	2–3×	FinFET 比で高駆動効率 2–3× drive gain over FinFET

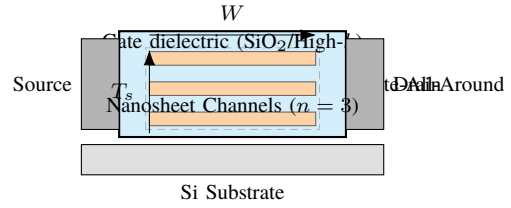


Fig. 5. GAA ナノシート構造の模式断面図 (S/D 領域とゲート包囲構造を示す)

Schematic cross-section of a GAA nanosheet FET showing gate wrapping around vertically stacked channels.

要因子である。これらの課題に対処するため、Selective Epitaxial Growth (SEG) によるチャネル形成や、Atomic Layer Deposition (ALD) による高均一絶縁膜堆積技術が適用されている。

GAA は、FinFET の静電制御性を極限まで拡張した「完全電界包囲デバイス」として、次世代スケーリングの中核技術を形成している。次章では、n 型および p 型デバイスを垂直方向に積層した CFET (Complementary FET) 構造について、その統合アーキテクチャと設計上の課題を論じる。

V. CFET (COMPLEMENTARY FET) 構造

CFET (Complementary Field-Effect Transistor) は、n 型および p 型のトランジスタを垂直方向に積層した三次元デバイス構造であり、従来の平面配置 (lateral arrangement) から垂直配置 (vertical stacking) への構造転換を特徴とする。このアプローチにより、トランジスタ・セルが占有する平面面積を大幅に削減し、同一チップ面積あたりの集積度を FinFET や GAA 構造を超えて向上させることが可能となる。

CFET では、nFET と pFET が上下に積層され、それぞれ独立したゲートおよびソース/ドレイン構造を持つ。この垂直積層構造により、同一セル内で上下デバイスが相補的に動作するため、標準セル高さを縮小しながら論理駆動能力を維持できる。さらに、Backside Power Rail (BPR) 技術との統合が容易であり、信号線と電源線の物理的分離によって配線抵抗および寄生結合を低減し、電源ノイズ耐性を向上させる。

TABLE III
CFET (COMPLEMENTARY FET) 構造設計パラメータ (1 カラム版)

項目	記号	代表値	備考
n/p 積層距離	d_{np}	20–30 nm	熱干渉を抑制
上部チャネル厚	T_p	5–7 nm	pFET 層
下部チャネル厚	T_n	5–7 nm	nFET 層
絶縁層厚	T_{ILD}	10 nm	絶縁・熱分離層
BPR 金属厚	T_{BPR}	100–150 nm	電源層再配置
電源分離効率	η_{BPR}	>90%	IR ドロップ抑制
面積削減率	A_{red}	35–40%	FinFET 比

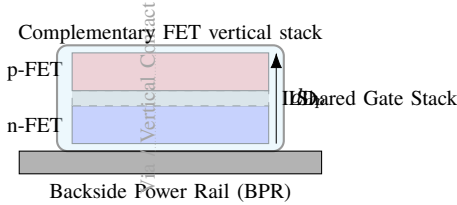


Fig. 6. CFET 構造の垂直積層模式図 (n/p スタック・ILD 絶縁層・BPR 電源分離を示す)

Schematic vertical cross-section of CFET showing complementary n/p stacking, inter-layer dielectric isolation, and backside power rail integration.

GAA 技術をベースとする CFET では、上下のトランジスタを独立に電氣的制御する必要があるため、チャネル層間のアイソレーション精度および熱干渉の抑制が設計上の要点となる。n 型と p 型デバイスが異なる移動度・発熱特性を有する場合、垂直方向の熱対称性 (thermal symmetry) が支配因子となり、電流駆動能力および信頼性 (NBTI / HCI 耐性) に直接影響を及ぼす。

製造上の課題としては、垂直積層におけるソース/ドレインの選択的エピタキシャル成長、層間絶縁膜 (Inter-Layer Dielectric; ILD) の平坦化精度、および n/p トランジスタ間の電氣的アイソレーション確保が挙げられる。特に、上部デバイス形成後に下部デバイス特性が劣化しないよう、プロセス全体の低温化 (< 400 °C) が不可欠である。このため、Selective Epitaxy や Low-Temperature ALD によるメタルゲート堆積など、熱負荷を最小限に抑えるプロセス技術が開発されている。

CFET は、GAA を超えて「論理対称性と物理空間効率の両立」を実現する究極の三次元 CMOS アーキテクチャである。現在、IMEC、Intel、Samsung などの主要研究機関・メーカーが試作段階に到達しており、1 nm クラス以降のロジックデバイスにおける有力な主流候補と位置付けられている。次章では、こうした三次元構造を支える配線および電源インテグレーション技術 (BEOL および BPR) について論じる。

VI. BEOL (配線技術) の進化

デバイススケージングの進展と並行して、BEOL (Back End of Line) 技術も著しく発展してきた。トランジスタ性能の向上が配線遅延によって相殺される「RC ボトルネック」が顕在化し、配線抵抗および配線間容量の削減がシステム性能を支配する時代へと移行した。これに対応するため、低誘電率材料 (Low- k dielectric) および高導電率金属の導入が進められてきた。

TABLE IV
BEOL (配線層) 技術のスケージング推移 (SCALING TREND OF BEOL INTERCONNECT TECHNOLOGY)

ノード Node	配線材 Metal	絶縁材 Dielectric	ピッチ [nm] Pitch[nm]	電源構造 Power Structure
65 nm	Cu	SiO ₂	200	Frontside Power
28 nm	Cu	Low- k	100	Dual Damascene
7 nm	Cu	Low- k +Co liner	40	Power Grid
3 nm	Ru/Cu	Porous Low- k	28	Backside Power Rail
2 nm	Ru	Airgap Low- k	24	BPR + TSV Feed

初期のアルミニウム配線から銅 (Cu) 配線への転換により、導電率が約 40% 向上し、Dual Damascene プロセスによって高アスペクト比配線の形成が可能となった。このプロセスでは、ビアおよびラインを同時にエッチングし、Cu 充填後に化学機械研磨 (CMP) で平坦化することで、多層配線の高密度実装と優れた表面平坦性を両立している。また、バリアメタル (Ta/TaN) の最適化により、エレクトロマイグレーション (EM) およびストレスマイグレーション耐性が大幅に向上した。

誘電体材料についても、SiO₂ から SiOC 系 Low- k 、さらに Ultra Low- k (ULK) 材料へと進化している。ただし、低密度化に伴う機械的強度低下や水分吸収による信頼性劣化が課題であり、近年ではエアギャップ構造やカーボン含有絶縁膜 (SiOC:H, SiCN 系) を利用した「誘電率と機械強度の同時最適化」が研究の主流となっている。

7 nm 世代以降では、電源供給経路をシリコン裏面側に再配置する Backside Power Rail (BPR) アーキテクチャが導入されつつある。BPR は、ロジック層上面の配線混雑を緩和し、信号配線の自由度を拡大することでセル高さのさらなる縮小と IR ドロップの低減を同時に実現する。また、CFET のような垂直積層デバイスと組み合わせることで、前工程 (FEOL) と後工程 (BEOL) の境界が曖昧化し、「デバイス-配線一体最適化 (Device-Interconnect Co-Optimization; DICO)」が不可欠な設計指針となっている。

一方、Cu 配線では微細化に伴うバリア層比率の増大が抵抗上昇を引き起こすため、ルテニウム (Ru) やコバルト (Co) などの次世代導電材料が注目されている。これらはバリアレス配線 (barrier-less interconnect) を可能とし、界面拡散の抑制と EM 耐性の両立を実現する有力候補である。さらに、カーボンナノチューブ (CNT) やグラフェン配線など、原子スケールでの新規配線材料も研究段階にある。

このように、BEOL 技術は単なる「配線形成プロセス」から、電源分離、熱拡散、機械信頼性、そしてシステム全体最適化を担う統合技術へと進化している。次章では、この配線スケージングを支える主要パラメータおよび構造スケージング法則について詳述する。

VII. スケージングパラメータの推移

トランジスタの微細化は長年にわたり、いわゆる「Dennard スケージング則」に基づいて進展してきた。この比例則は、チャネル長、酸化膜厚、電源電圧を一定比率で同時に縮小することで、トランジスタ性能を維持しな

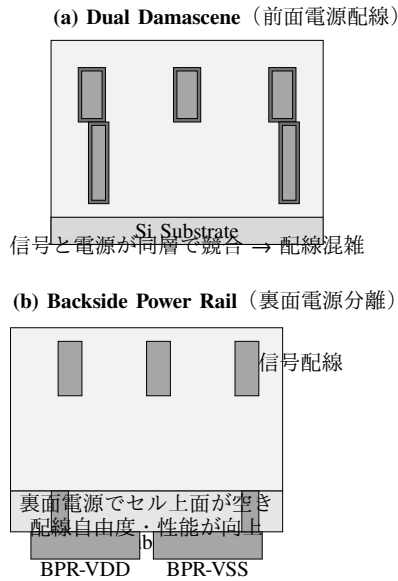


Fig. 7. BEOL 配線技術の概念比較図。

(a) Dual Damascene では電源・信号が同一面に配置され配線混雑が発生。
 (b) BPR 構造では電源を裏面に再配置し、セル上部の配線密度と設計自由度を向上させる。

がら消費電力を低減できるという理論的基盤を提供してきた。しかし、90nm 世代以降、リーク電流および電界強度の増大によりこの単純なスケールリング則は破綻し、電氣的・構造的な最適化を同時に考慮する新しいパラダイムが必要となった。

この技術的変遷を俯瞰するために、表Vに主要プロセスノードにおける ** 構造的および材料的進化 (Process Revolution) ** を示す。同表に見られるように、電源電圧 V_{DD} は 130nm 世代の 1.2V から 2nm 世代ではおよそ 0.6V へと低下し、一方でゲート酸化膜厚 T_{ox} および実効酸化膜厚 (EOT) は 1nm 前後にまで到達している。この臨界領域では、トンネルリークが支配的となるため、High- k /Metal Gate (HKMG) 技術が導入された。HKMG は実効 EOT を維持しつつリーク電流 I_G を数桁低減し、FinFET および GAA 構造への橋渡し技術として機能している。

さらに、FinFET および GAA 構造の採用により、ゲート電界による静電制御性が飛躍的に向上した。電源電圧の低下に伴う駆動電流 I_{ON} の減少は、チャンネル形状の立体化と高移動度材料の導入によって補償されている。このように、「スケールリングの限界」は単なる寸法縮小の限界ではなく、** 構造変革 (Structural Revolution) ** としてのスケールリング再定義を意味している。

今後の CFET 世代以降では、以下のような多次元設計最適化が求められる：

- 高移動度チャンネル材料 (SiGe, Ge, III-V 族) による I_{ON}/I_{OFF} 改善
- Backside Power Rail (BPR) および低抵抗 BEOL による電圧降下抑制
- 多層絶縁膜スタックによる電界集中の緩和

これらにより、スケールリングは幾何学的寸法値ではなく、

「電氣的・熱的・構造的最適化空間」 の設計パラメータとして再定義されつつある。

VIII. BSIM-CMG モデリング

BSIM-CMG (Berkeley Short-channel IGFET Model -Common Multi-Gate) は、FinFET および GAA (Gate-All-Around) などの非平面構造デバイスを統一的に表現するために開発された物理ベース SPICE コンパクトモデルである。従来の BSIM4 モデルがプレーナ MOSFET の二次元電界分布を前提としていたのに対し、BSIM-CMG は三次元チャンネル電位分布および多ゲート構造における電位結合 (electrostatic coupling) を厳密に扱うことが可能である。

本モデルでは、チャンネル電位 $\psi(x, y, z)$ を多変数ポアソン方程式に基づき近似的に解き、有効電荷密度 Q_{inv} およびドレイン電流 I_D をゲート電圧 V_G およびドレイン電圧 V_D の関数として定式化する：

$$I_D = \mu_{eff} C_{inv} \frac{W_{eff}}{L_g} (V_G - V_{th}) V_D f_{sat}(E_{ch}, T), \quad (5)$$

ここで、 μ_{eff} は実効キャリア移動度、 C_{inv} は反転層容量、 $f_{sat}(E_{ch}, T)$ はチャンネル電界および温度依存性を表す飽和関数である。FinFET 構造では $W_{eff} = n(2H + W)$ 、GAA 構造では $W_{eff} = 2n(H + W)$ と定義され、形態パラメータが直接的に電流駆動力を支配する。

BSIM-CMG はこれらの幾何学パラメータを抽象化してモデル化するため、FinFET、Nanosheet、Nanowire といった異なる構造間でのパラメータ再利用が可能である。主な制御パラメータは以下の通りである：

- 実効酸化膜厚 (EOT: Equivalent Oxide Thickness)
- チャンネル高さ H_{fin} および幅 W_{fin}
- ソース/ドレイン接合抵抗
- サブスレッショルド係数 n およびキャリア散乱係数
- 温度依存項および熱ノイズ係数

これにより、物理パラメータと回路設計変数を単一フレームで統合し、デバイス-回路協調設計 (co-design) が実現される。

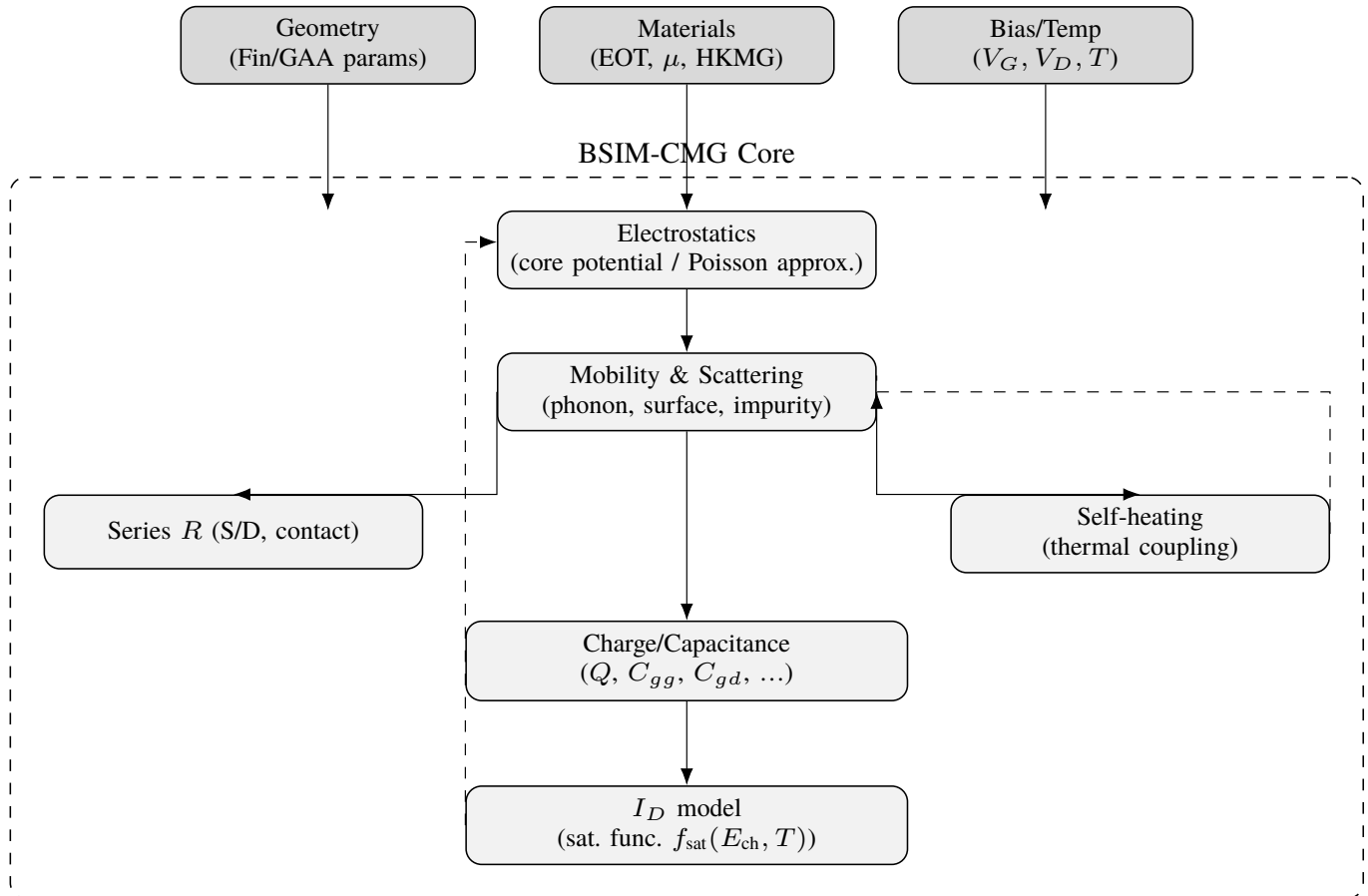
さらに、BSIM-CMG はチャンネル内部電位を代表値で近似する「中心軸法 (Core Potential Method)」を採用しており、非平面構造においても数値安定性と高速収束性を両立している。これにより、GAA や CFET のような多層チャンネル構造においても SPICE レベルの解析が安定して実行可能である。

CFET に対しては、上下トランジスタ間の電熱結合 (self-heating coupling) および相互寄生容量を考慮した拡張モデルが提案されている。このモデルでは各トランジスタを独立した BSIM-CMG サブブロックとして構築し、電流・温度・電位の相互干渉を双方向結合させることで、垂直積層構造に特有の熱非対称性を高精度に再現できる。

BSIM-CMG の導入により、デバイス物理と回路設計の統合が飛躍的に向上した。寸法スケールリング、材料特性、熱劣化、信頼性パラメータを統一的に評価できる本モデルは、ポスト FinFET 世代における設計基盤として、構造最適化から回路レベル信頼性解析に至るまで広範に応用されている。

TABLE V
CMOS スケーリングにおけるプロセス構造の進化 (PROCESS EVOLUTION OF CMOS SCALING)

ノード Node	構造 Structure	電源電圧 [V] V_{DD} [V]	T_{ox} [nm] T_{ox} [nm]	Min L [nm] Min L [nm]	主な特徴 Key Features	技術課題 Challenges
90 nm	プレーナ MOS Planar MOS	1.2	~2.0	~65	NiSi 導入, Strained-Si, LDD 最適化 NiSi, strained-Si, optimized LDD	リーク電流、寄生容量、リソグラフィ限界 Leakage, parasitics, lithography
45 nm	プレーナ MOS Planar MOS	1.0	~1.3	~35	HKMG 導入準備、ULK 試験導入 HKMG prep, ULK intro	ゲート制御限界、ばらつき拡大 Gate control limit, variability
22 nm	FinFET 初代 1st Gen FinFET	0.85	~0.9	~20	Tri-Gate 構造採用、3D チャンネル化 Tri-Gate, 3D channel	Fin ばらつき、設計難度増加 Fin variation, design complexity
5 nm	GAA 導入 GAA Pilot	0.6	~0.6	~8	Nanosheet 構造試験導入 Nanosheet trials	Routing 困難、シート幅制御 Sheet width control, poor routability
2 nm	CFET 試作 CFET (R&D)	$\lesssim 0.5$	~0.4	~4	NMOS/PMOS 縦積層化 Complementary FET stacking	熱干渉、配線分離難 Thermal interference, power routing split



出力: $I_D(V_G, V_D, T)$, Q , 各種 C (SPICE 互換)

Fig. 8. BSIM-CMG モデルの構成要素と依存関係。幾何 (Geometry)・材料 (Materials)・バイアス/温度 (Bias/Temp) から電気静特性 → 移動度/散乱 → 容量/電荷 → I_D モデルへと流れ、直列抵抗と自己発熱のフィードバックを含む。

IX. 信頼性と構造設計

微細化の進行に伴い、デバイス信頼性は動作限界を規定する主要因となっている。特に、BTI (Bias Temperature Instability)、HCI (Hot Carrier Injection)、および自己発熱 (Self-Heating) など、時間依存劣化 (Time-Dependent Degradation) がデバイス寿命を支配する要素として顕在化している。スケーリングの最終段階では、電気・熱・

機械応力の複合的相互作用を考慮した「構造的信頼性設計 (Structural Reliability Design)」が不可欠となる。

A. 電界劣化と界面反応

BTI はゲート酸化膜界面での電荷捕獲・放出反応に起因し、長時間のゲートバイアス印加によりしきい値電圧 V_{th} が時間経過とともに変化する。特に p MOS では負バ

イアス温度不安定性 (NBTI) が支配的であり、酸化膜中の水素脱離反応および界面欠陥生成が主な劣化メカニズムとされる。一方、HCI は高電界ドレイン領域でのキャリア加速と衝突イオン化により発生し、酸化膜損傷およびホットキャリア捕獲を引き起こす。これらはいずれも局所電界強度および温度上昇の積分効果に比例して進行するため、デバイス形状と電界分布設計の両面からの対策が求められる。

B. 熱対称性と構造的緩和

FinFET や GAA のような三次元構造では、チャンネル周囲の熱伝導経路が複雑化し、局所的な温度勾配が形成されやすくなる。Fin 側壁の酸化膜は熱伝導率が低く、チャンネル内部で自己発熱が蓄積し、移動度劣化や BTI 加速を引き起こす。したがって、構造設計段階において「熱対称性 (Thermal Symmetry)」を確保することが重要である。具体的には、チャンネル上下の温度勾配を最小化するようにゲート金属や STI (Shallow Trench Isolation) を配置し、熱拡散経路をシリコン基板や金属層側へ誘導する設計が有効である。

さらに、GAA や CFET 構造では複数のチャンネル層が積層されるため、上下トランジスタ間の熱干渉が新たな信頼性課題となる。下層に高熱伝導材料 (例: Ge チャンネル / W ゲート) を用いる、または熱拡散経路を金属配線層に接続する「熱ブリッジ構造 (Thermal Bridge)」を導入することで、積層構造全体の熱シンメトリを最適化できる。

C. 構造信頼性設計のパラダイム

FinFET から CFET への進化は、単なる寸法縮小ではなく、「構造を通じて信頼性を設計する」という新たな設計哲学への転換を意味する。従来は事後的に評価されていた劣化現象を、設計初期段階における構造パラメータ最適化で未然に抑制するアプローチである。たとえば、Fin ピッチ、ゲート包囲角度、チャンネル積層間距離などを、熱・電界分布解析と統合的に最適化することにより、長期信頼性 (Lifetime Reliability) を設計ルールの一部として保証することが可能となる。

今後の CFET 世代では、熱、電界、機械応力の三者を同時に考慮した「マルチフィジックス信頼性設計 (Multiphysics Reliability Design)」が必須となる。すなわち、デバイスの形状そのものが信頼性を左右する設計変数であり、** 構造そのものが信頼性パラメータである時代 ** に突入している。

X. リソグラフィとマスク技術

デバイス微細化の限界を押し広げるうえで、リソグラフィ技術の進歩は決定的な役割を果たしてきた。ArF 液浸露光 (ArF Immersion Lithography) から EUV (Extreme Ultraviolet) 露光への移行は、露光波長の大幅短縮によって解像限界を縮小し、多重パターンニング工程 (Double/Quadruple Patterning) を劇的に削減した。これにより、配線ピッチの微細化に伴うプロセス変動 (Overlay Error, CD Variation) が大幅に低減し、スループットおよび歩留まりの両立が可能となった。

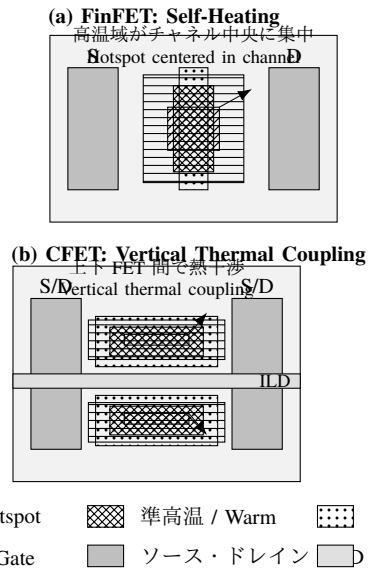


Fig. 9. 自己発熱と熱対称性の概念図。左 (a) FinFET はチャンネル中央にホットスポットが集中し、右 (b) CFET は上下 FET 間で熱が結合する。パターン化によりモノクロ印刷でも温度領域が識別可能。Concept of self-heating and thermal symmetry. (a) FinFET shows a centered hotspot; (b) CFET exhibits vertical thermal coupling between stacked FETs. Pattern fills ensure readability in grayscale.

A. EUV 露光と多重パターンニング削減

従来の ArF 液浸露光では、NA (Numerical Aperture) の限界により、40 nm 以下のパターン形成に複数回の露光・エッチングを要した。これに対し、13.5 nm 波長の EUV 光を用いることで、1 回の露光で 30 nm クラスのライン & スペースパターンが形成可能となった。この結果、工程数削減による線幅変動の抑制とともに、レジストパターンの位置ずれや累積誤差が大幅に緩和された。一方で、EUV 光源の出力安定性やミラー反射損失、レジスト感度と LWR (Line Width Roughness) のトレードオフが次世代微細化の課題として残されている。

B. マスク 3D 効果と光学補正

微細パターン形成の高精度化には、マスク上の三次元効果 (Mask 3D Effect) を考慮した補正設計が必須である。EUV マスクは多層ミラー構造を持ち、斜入射により反射位相と透過率がパターン位置によって変化する。このため、マスク転写像の歪みを補償するために、光学近接補正 (OPC: Optical Proximity Correction) およびソースマスク最適化 (SMO: Source Mask Optimization) が導入されている。これらの手法は、マスクパターン形状を露光シミュレーションと連動させ、最終的なシリコン上パターン精度をナノメートルスケールで保証する。

さらに、GAA および CFET のような三次元構造デバイスでは、パターン形状が深堀エッチングやゲート包囲構造と密接に関連するため、EUV マスク設計段階での形状歪み補正とアライメント精度がデバイス特性の再現性を左右する。特に CFET では、上下層 FET のゲートおよびソース・ドレインを個別に定義する必要があるため、

多層マスク整合技術 (Multi-Layer Alignment Technology) が歩留まり向上の鍵となる。

C. 次世代リソグラフィへの展望

2nm 世代以降では、High-NA EUV (開口数 1.0 以上) の適用が進み、より高い解像力とパターン忠実度を両立する見込みである。また、EUV ベリクル (保護膜) の透過損失や、レジスト材料の化学増幅機構に起因するノイズ制限が量産性のボトルネックとなる可能性が指摘されている。これに対し、**EUV と電子線マスク補正 (E-Beam Mask Repair) を組み合わせたハイブリッド露光戦略** や、**Computational Lithography (計算リソグラフィ) によるパターン最適化** の研究が進展している。

このように、リソグラフィとマスク技術は単なる描画プロセスではなく、** デバイス構造設計と一体化した「構造整合工学 (Structural Lithography Engineering)」** へと進化している。EUV 世代以降の微細化では、露光・エッチング・デバイス形状設計を統合した最適化が、CFET 時代の高精度かつ高信頼な製造基盤を支える中心的要素となる。

XI. 結論

本稿では、130nm 以降の CMOS スケーリングを、FinFET、GAA、そして CFET に至る構造的進化の観点から体系的に整理した。プレーナー MOS の電界制御限界を突破した FinFET、完全包囲ゲート構造による静電的最適化を実現した GAA、そして垂直積層により論理対称性と配線効率を両立した CFET へと至る流れは、スケーリングの中心軸が「寸法の縮小」から「構造の最適化」へと移行したことを明確に示している。

この構造的転換は、電界・熱・信頼性といった多次元設計パラメータを同時に最適化する “Structure-Driven Scaling” の概念を確立したものである。特に、High-k/Metal Gate (HKMG)、Backside Power Rail (BPR)、および BSIM-CMG モデルの統合は、プロセス・デバイス・回路設計を貫く一貫した設計基盤を提供し、信頼性と性能を両立する「構造的 CMOS アーキテクチャ」を実現した。

今後のポスト-CFET 時代においては、スケーリングの焦点は材料・構造・AI による設計統合 (AI-driven Co-Optimization) へと拡張される。熱対称性や電源分離構造の自動最適化、信頼性の予測設計、そしてマルチフィジックスを考慮した構造シミュレーションが標準化されることで、デバイス開発は「試作依存型」から「構造駆動型知能設計」へと進化するだろう。

すなわち、** 構造そのものが信頼性と性能を設計する時代** が到来しており、FinFET-GAA-CFET の進化はその第一歩である。本稿で提示した体系的整理は、次世代 CMOS スケーリングにおける物理・設計・AI 統合の指針としての基盤を提供するものである。

謝辞

本稿の作成にあたり、半導体デバイススケーリング・信頼性・プロセス統合に関して示唆に富む議論を行ってくださった産業界および学術界の関係各位に深く感謝する。

REFERENCES

- [1] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor, and C. Hu, “Finfet - a self-aligned double-gate mosfet scalable to 20 nm,” *IEEE Transactions on Electron Devices*, vol. 47, no. 12, pp. 2320–2325, 2000.
- [2] C. Auth and et al., “A 22nm high performance and low-power cmos technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density mim capacitors,” *IEDM Technical Digest*, pp. 33.7.1–33.7.4, 2012.
- [3] Z. Yu, J. Ryckaert, A. Vandooren, and N. Horiguchi, “Nanosheet fets for sub-5nm technology nodes,” *IEEE Transactions on Electron Devices*, vol. 66, no. 11, pp. 4750–4757, 2019.
- [4] N. Horiguchi, A. Vandooren, and J. Ryckaert, “Complementary fet (cfet) technology for advanced cmos scaling,” *IEDM Technical Digest*, pp. 19.1.1–19.1.4, 2022.
- [5] IMEC, “System-technology co-optimization beyond 2 nm: Cfet and backside power delivery,” *IMEC Technology Forum (ITF)*, 2024, presentation materials, Leuven, Belgium.
- [6] IRDS, “International roadmap for devices and systems 2023: More moore chapter,” *IEEE IRDS*, 2023. [Online]. Available: <https://irds.ieee.org/editions/2023>
- [7] Y. Wu, H. Yu, X. Wang, and Z. Zhang, “Design and analysis of backside power rail for advanced nodes,” *IEEE Transactions on Electron Devices*, vol. 67, no. 8, pp. 3356–3363, 2020.
- [8] H. Chuang and S. Y. Lee, “Low-k and ultra low-k dielectrics for beol interconnects,” *Microelectronics Reliability*, vol. 122, p. 114118, 2021.
- [9] X. Guo, W. Zhao, Y. Cheng, and C. Hu, “Bsim-cmg: A compact model for common multi-gate transistors,” *IEEE Transactions on Electron Devices*, vol. 62, no. 2, pp. 345–352, 2015.
- [10] U. B. BSIM Group, “Bsim-cmg 111.2.1 model user manual,” 2023. [Online]. Available: <https://bsim.berkeley.edu/models/bsimcmg>
- [11] J. Sohn, N. Kim, and D. Lee, “Thermal symmetry and self-heating in nanosheet and cfet devices,” *IEEE Electron Device Letters*, vol. 42, no. 9, pp. 1305–1308, 2021.
- [12] ITRS, “International technology roadmap for semiconductors 2.0: 2015 edition,” *ITRS Reports*, 2015. [Online]. Available: <https://irds.ieee.org/editions/2015>
- [13] H. Nakano and K. Shibata, “Progress and challenges in euv lithography for sub-5nm technology,” *Journal of Photopolymer Science and Technology*, vol. 32, no. 6, pp. 731–740, 2019.
- [14] C. Hu and Y. Taur, “High-k/metal gate integration in advanced cmos,” *IEEE Transactions on Electron Devices*, vol. 65, no. 1, pp. 12–22, 2018.
- [15] I. Corporation, “Intel 4 and intel 3 process technology overview: Power and ribbonfet,” *Intel Technology Journal*, 2021, public whitepaper, <https://www.intel.com>.
- [16] S. Electronics, “3nm gate-all-around process technology with multi-bridge-channel fet (mbcfet),” *Samsung Foundry Forum*, 2022, process technology announcement, Seoul.
- [17] T.-J. K. Liu, “Cmos transistor scaling past 32nm and the future of double-gate devices,” *IEDM Tutorial Notes*, 2006.
- [18] K. Choi, D. Lim, and J. Park, “Reliability-aware device design for nanosheet and cfet structures,” *Microelectronics Reliability*, vol. 126, p. 114282, 2021.
- [19] J. Yang, Y. Kim, and N. Lee, “Ai-assisted process and design co-optimization for 3d cmos,” *IEEE Transactions on Semiconductor Manufacturing*, vol. 33, no. 4, pp. 512–519, 2020.
- [20] I. R. Center, “Beyond-cmos device architectures and integration pathways,” *IMEC ITF Japan 2024 Proceedings*, 2024.

著者略歴

三溝真一 (Shinichi Samizo) は、信州大学大学院工学系研究科電気電子工学専攻にて修士号を取得した。その後、セイコーエプソン株式会社に勤務し、半導体ロジック／メモリ／高耐圧インテグレーション、およびインクジェット薄膜ピエゾアクチュエータならびに PrecisionCore プリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AI システム統合などに取り組んでいる。連絡先: shin3172@gmail.com.