

# aTFT用LCDドライバにおける0.25 $\mu\text{m}$ プロセス選択と TiSi<sub>2</sub>相転移不完全問題

三溝 真一 (Shinichi Samizo)

独立系半導体研究者 (元セイコーエプソン)

Independent Semiconductor Researcher (ex-Seiko Epson)

Email: [shin3t72@gmail.com](mailto:shin3t72@gmail.com)

GitHub: <https://github.com/Samizo-AITL>

**Abstract—**要旨 (日本語): 1990 年代後半、富士見 6 インチラインで開発された LOCOS ベースの高耐圧技術を起点として、1998 年には酒田 8 インチ Fab において 0.35  $\mu\text{m}$  CMOS に高耐圧デバイスを混載し、モノクロ LCD ドライバ IC の量産が開始された。2000 年代初頭の携帯電話のカラーパネル化 (aTFT) により、1 Mbit 級の大容量オンチップ SRAM 需要が顕在化し、酒田では 0.25  $\mu\text{m}$  HV CMOS の採用が不可避となった。しかし TiSi<sub>2</sub> の C49→C54 相転移不完全性と halo B の吸収が局所高抵抗スポットを形成し、1 Mbit SRAM においてランダム単ビット不良として顕在化した。本稿では、プロセス選定の背景、故障機構、暫定および恒久対策、さらに事業的帰結を整理する。

**Abstract (English):** In the late 1990s, LOCOS-based high-voltage technology developed at the Fujimi 6-inch line was transferred to the Sakata 8-inch fab, where in 1998 a 0.35  $\mu\text{m}$  CMOS process incorporating HV devices enabled the mass production of monochrome LCD driver ICs. With the shift to color panels (aTFT) in the early 2000s, the demand for large-capacity on-chip SRAM reached the 1-Mbit class, making the adoption of 0.25  $\mu\text{m}$  HV CMOS inevitable at Sakata. However, incomplete C49→C54 phase transition of TiSi<sub>2</sub>, exacerbated by halo boron absorption, created localized high-resistivity spots, which manifested as random single-bit failures in 1-Mbit SRAM. This paper reviews the rationale for process selection, the observed failure mechanism, the interim and permanent countermeasures, and the business implications.

**Index Terms—**LCD ドライバ, aTFT, 0.25  $\mu\text{m}$  CMOS, 高耐圧 CMOS, TiSi<sub>2</sub> サリサイド, 相転移不完全, 単ビット不良, オンチップ SRAM; LCD driver, aTFT, 0.25- $\mu\text{m}$  CMOS, high-voltage CMOS, TiSi<sub>2</sub> silicide, incomplete phase transition, single-bit failure, on-chip SRAM

## I. 序論

エプソンの LCD ドライバビジネスは、富士見 6 インチラインにおける高耐圧デバイス技術の開発を出発点としている。1997 年には酒田 8 インチ Fab が立ち上がり、翌 1998 年には富士見で確立された高耐圧プロセスを 0.35  $\mu\text{m}$  CMOS に混載することにより、3.3 V ロジックと 40 V 高耐圧素子を同時に搭載したモノクロ LCD ドライバ IC の量産が開始された。この成果により、エプソンは携帯電話向けモノクロ液晶市場において高いシェアを獲得し、事業の基盤を確立するに至った。

一方、2000 年代初頭には携帯電話のカラーパネル化が急速に進み、aTFT 液晶が主流となった。RGB データ処理に伴

う情報量の増大は従来比で数十倍に達し、表示制御回路には 1 Mbit 級の大容量オンチップ SRAM が必須となった。しかし、0.35  $\mu\text{m}$  CMOS ではメモリセル面積や消費電力の制約により十分な容量を確保できず、酒田 Fab において 0.25  $\mu\text{m}$  HV CMOS プロセスの採用が不可避となった。

当時はフラットパネルディスプレイ全盛期であり、LTPS 技術も高精細パネルの有力候補として注目されていたが、量産性や信頼性の観点から外付け LCD ドライバ IC が主流であり続けた。こうした市場要求と技術的制約の交錯のなかで、0.25  $\mu\text{m}$  HV CMOS をベースとする次世代 LCD ドライバ開発が推進されることとなった。

## II. プロセス選定の背景

0.35  $\mu\text{m}$  世代では、TiSi<sub>2</sub> サリサイドと LOCOS 分離構造により、3.3 V ロジックと 40 V 高耐圧素子の安定供給が可能であり、数百 kbit 級のオンチップ SRAM を内蔵するには十分であった。しかし携帯電話のカラーパネル化に伴い、データ処理量は従来の数十倍に膨張し、1 Mbit 級の大容量 SRAM が必須となった。この段階で、0.35  $\mu\text{m}$  世代ではセル面積と消費電力の制約が顕著となり、次世代プロセスの導入が不可避となった。

次候補として 0.18  $\mu\text{m}$  STI CMOS が注目された。STI は CoSi<sub>2</sub> を用いたサリサイド技術により高集積・高歩留りが期待でき、微細化による SRAM セル縮小にも有利であった。しかし、当時の 30 V 級 HV デバイスでは STI 端部のゲート酸化膜が局所的に薄膜化 (端部シンニング) することによるリーク電流が懸念され [3]、量産適用には信頼性リスクが残っていた。

このため、酒田 Fab では信頼性と立ち上げリードタイムを優先し、0.25  $\mu\text{m}$  世代においても従来の LOCOS 分離を踏襲した HV CMOS プロセスを選択し、TiSi<sub>2</sub> サリサイドを継続利用する方針が採られた。これにより 1 Mbit 級 SRAM を実装可能としつつ、HV 素子の信頼性を確保するというバランスを実現した。

## III. 技術的背景

### A. TiSi<sub>2</sub> の C49→C54 相転移

TiSi<sub>2</sub> はサリサイド技術において広く用いられており、ポリシリコンゲートや拡散層の抵抗を大幅に低減できるため、ロジック/メモリ混載プロセスにおいて必須の技術であっ

TABLE I  
プロセス世代と LCD ドライバ用途の比較

世代	分離技術	サリサイド	電源電圧	主用途
0.35 $\mu\text{m}$	LOCOS	TiSi <sub>2</sub>	3.3V / 40V	モノクロ LCD ドライバ
0.25 $\mu\text{m}$	LOCOS	TiSi <sub>2</sub>	3.3V / 30V	aTFT カラー LCD ドライバ (1Mbit SRAM 搭載)
0.18 $\mu\text{m}$	STI	CoSi <sub>2</sub>	1.8V / 30V	次候補 (歩留り 懸念)

た。しかし、TiSi<sub>2</sub> は初期形成時に準安定相である C49 構造として析出し、実用上必要とされる低抵抗相 C54 への変換には高温アニール工程を必要とする。この相転移が不完全であった場合、残留する C49 粒は局所的に高抵抗スポットとなり、配線抵抗や接続信頼性に直接影響を与える [1], [2]。特に大容量 SRAM のようにビットセルが多数並列化された回路では、局所的な抵抗上昇が単ビット不良として顕在化しやすい。

#### B. ホウ素拡散と局所高抵抗化

一方で、SRAM セル設計においては短チャネル効果を抑制するために halo 注入が導入される。このとき導入される B (ボロン) は Ti に取り込まれやすく、C49→C54 相転移の進行を阻害することが報告されている。結果として、ゲート端部やサイドウォール近傍において C49 残留が生じやすく、局所的な高抵抗スポットの形成につながる。こうした高抵抗領域は SRAM セルの安定動作を阻害し、ランダムな単ビット不良を引き起こす要因となった。

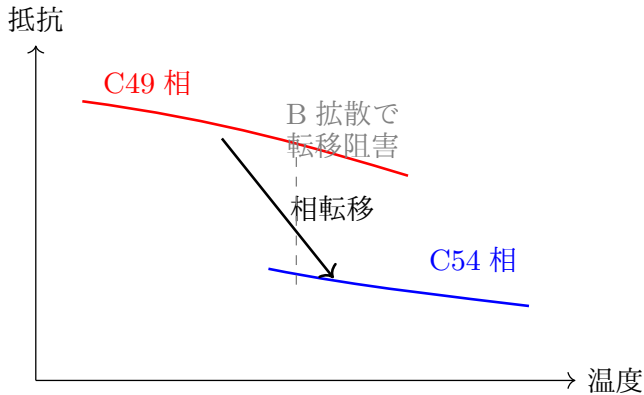


Fig. 1. TiSi<sub>2</sub> の相転移模式図。C49 相 (高抵抗) から C54 相 (低抵抗) へ移行するが、B 拡散が存在すると転移が阻害され C49 残留が生じる。

#### IV. 故障解析

本節では、1 Mbit オンチップ SRAM で顕在化したランダム単ビット不良について、観測現象、切り分け手順、物理解析、および根因モデルとの整合性を示す。

##### A. 不良現象の観測

量産試験では、VDD=3.3 V における機能試験ならびに 25 °C および 85 °C での外部テスターによるメモリ検査を実施した。不良はアドレス空間にランダムに散在して発生

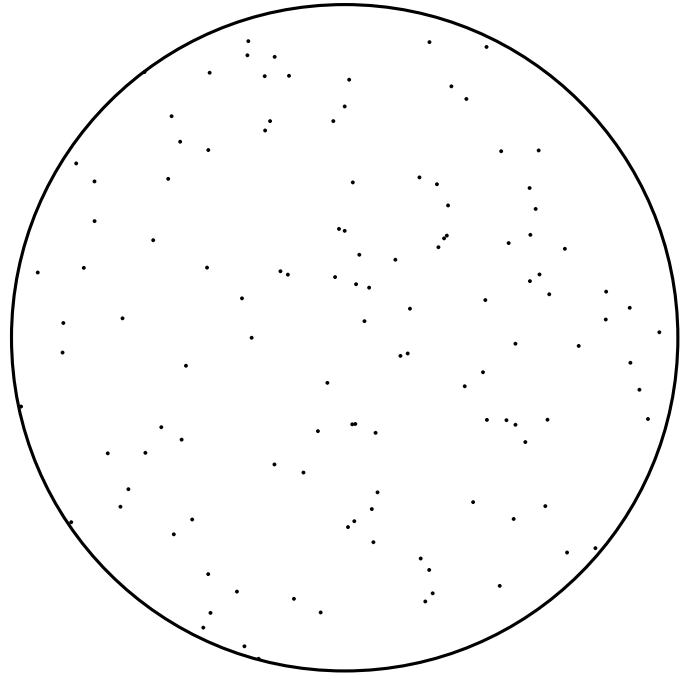


Fig. 2. ウエハ上のシングルビット不良分布例 (フェイルビットマップ)。

し、行列欠陥に特徴的な直線的クラスタは観測されなかった。典型的な単一セル不良であり、データパターン依存性は弱く、March C-系列のテストで再現性をもって確認された。

ここで、March テストとは、アドレスを昇順・降順に走査しながら 0/1 の書き込み・読み出しを繰り返すアルゴリズムであり、セル不良や遅延不良を効率的に検出できる。また、Shmoo 解析を併用し、電圧や温度を掃引して Pass/Fail マップを取得することで、不良の再現性や条件依存性を可視化した。図 2 に示すように、フェイルビットはウエハ全体にランダムに散在しており、系統的なクラスタや設計パターンとの相関は認められなかった。

##### B. 電氣的シグネチャ

Shmoo 解析の結果、電源電圧マージン低下時に不良発生確率が上昇し、高温条件でさらに顕著となった。保持特性への依存は小さく、読出し動作時の不安定化が主要因であることを示唆した。また、ビット線 RC の大幅な変動は認められず、セル内部素子の局所抵抗上昇が原因と推定された。

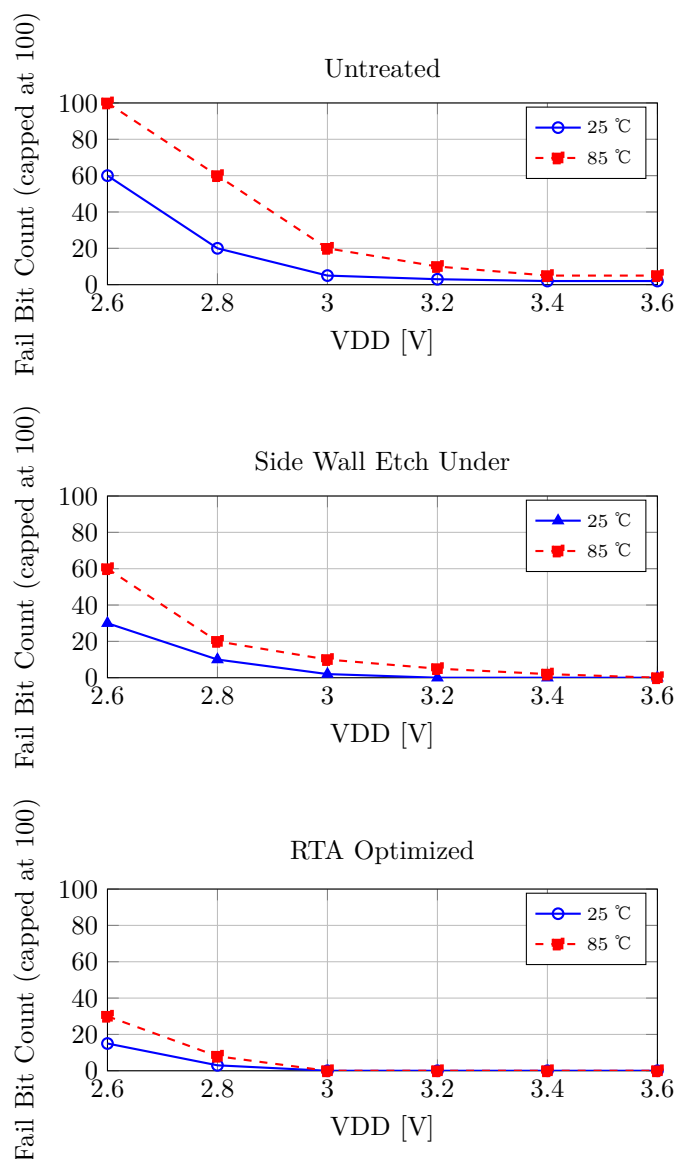


Fig. 3. Fail bit counts vs. VDD at 25 °C/85 °C (1Mbit マクロ、各点カウント上限 100)。※ 2.6 V は規格外・設計マージンなし (全条件共通) の確認点。

### C. 切り分け

レイアウトとの相関解析では、端列セルやアレイ四隅に不良が集中する傾向は見られず、配線交差部や高密度パターンとの関連も確認されなかった。すなわち不良はアドレス空間にランダムに分布しており、設計起因ではなくプロセス由来のランダム欠陥であると結論づけられた。一方、プロセス条件との相関では、Ti 膜厚、RTA ランプ条件、および halo B のドーズ量・オフセットに依存傾向が認められた。特にサイドウォールエッチアンダーを深めた実験ロットでは不良発生率が減少し、後述の対策方針と整合した。

### D. 物理解析

代表的な不良セルについて、OBIRCH によるホットスポット観測を行い、SEM 断面観察および FIB 断面 TEM/EDX 解析を実施した。不良はポリゲート端部～サイドウォール近

傍の  $TiSi_2$  領域に局在していた。SEM 断面では拡散層とシリサイド界面に局所的な不連続が観察され、高分解能 TEM では C49 相残留を示唆する結晶コントラストが確認された。さらに EDX 分析により Ti リッチ領域に微量の B が検出され、相転移阻害との整合性が得られた。一部の試料ではナノプローブを用いた局所抵抗測定も試みられ、良品対比で数倍のシート抵抗上昇が確認された。

### E. 根因モデル

以上の結果より、不良の根因は以下のモデルで説明できる。(i)  $TiSi_2$  は初期形成時に C49 相として析出し、高温アニールにより C54 相へ転移する。(ii) halo 注入 B が Ti 側に取り込まれることで転移が阻害され、ポリ端部やサイドウォール近傍に C49 相が残留する。(iii) 残留 C49 相は局所高抵抗スポットを形成し、読み出しトランジスタの実効抵抗を増加させ、読み出しマージンを劣化させる。(iv) 1 Mbit 級の大規模アレイでは、このような希少・ランダム欠陥が単ビット不良として顕在化し、冗長回路を持たないマクロ構成では歩留りを直接悪化させる。

### F. 再現実験

RTA ランプ条件を変更して  $TiSi_2$  相転移の進行度を意図的に制御した。ここでソーク時間とは、RTA で目標温度に到達した後にその温度を保持する区間を指す。保持時間を短縮した実験では相転移が不完全となり C49 相が残留し、不良率が増大した。一方、サイドウォールエッチアンダーを深めた試作ロットでは、halo 拡散領域と  $TiSi_2$  形成前線の距離が確保され、不良率の改善が確認された。これらの結果は、相転移の完全化と B 拡散領域からの距離確保の双方が歩留り改善に寄与することを裏付けている。

## V. 対策

本節では、 $TiSi_2$  相転移不完全性に起因する局所高抵抗スポットを抑制するために実施した対策について述べる。対策は短期的な量産継続を目的とした暫定対策と、中長期的な信頼性確保を目的とした恒久対策に大別される。

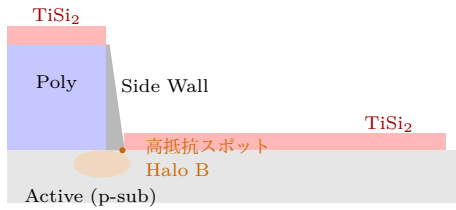
### A. 暫定対策

量産ラインの即応性を重視し、プロセスフローの大規模改変を伴わない方策として、サイドウォールのエッチバックをアンダー側に倒す変更を実施した。これにより、halo 拡散による B 濃度ピークと  $TiSi_2$  形成前線との距離を確保し、C49 相残留の発生を抑制することを狙った。実験ロットにおいては不良発生率の低下が確認され、歩留り改善に一定の効果が得られた。一方で、本手法は  $TiSi_2$  の C49→C54 相転移不完全という根本要因を解決するものではなく、恒久的な解決策とは位置づけられなかった。

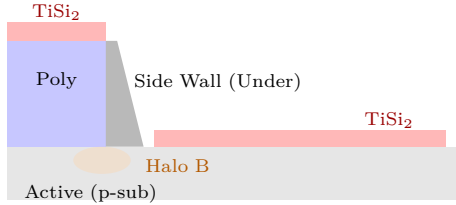
### B. 恒久対策

根本解決のためには  $TiSi_2$  相転移の完全化が不可欠である。そこで、ランプアニール条件（昇温レート・ソーク時間）の最適化を実施し、C49→C54 変換の完結度を高めた。この結果、局所高抵抗スポットの発生は大幅に減少し、ランダム単ビット不良は統計的に消失した。ただし、アニール条件の変更によりデバイス特性（しきい値電圧・拡散深さ・寄生抵抗など）が変動したため、PDK の再キャラクターゼーションが必須となり、適用には一定の期間を要した。





(a) 対策前：Halo B と TiSi<sub>2</sub> 前線が近接し、局所高抵抗スポットが生じやすい。



(b) 対策後 (Side Wall Etch Under)：サイドウォールを幅広に後退させ、Halo B と TiSi<sub>2</sub> 前線の距離を確保。

Fig. 4. サイドウォール・エッチアンダーの効果模式図。両図とも Halo 楕円の頂点は Active 上面に一致。(a) では Halo と TiSi<sub>2</sub> の接触付近に高抵抗スポットが形成。(b) では離隔により発生が抑制される。

TABLE II  
暫定対策と恒久対策の比較

種別	方法	効果	課題
暫定	サイドウォールエッチバックをアンダー側へ調整	不良率低下	相転移不完全は未解決
恒久	RTA ランプアニール条件最適化	相転移完全化	
不良消失	PDK 再キャラが必要		

## C. まとめ

暫定対策により短期的に量産を継続しつつ、恒久対策によって根本原因を除去するという二段階アプローチにより、最終的に製品信頼性と歩留りが確立された。この過程は、事業継続のための即応性と、中長期的な技術信頼性確保の両立がいかに重要であることを示す事例となった。

## VI. ビジネス的帰結

前章で示した暫定対策と恒久対策により、量産の安定化と製品信頼性の確立が達成された。これにより、エプソンは携帯電話のカラーパネル市場においても主要サプライヤとしての地位を維持することができた。

当時、サムスンをはじめとする韓国・台湾メーカーが急速に台頭し、ディスプレイドライバ IC 市場の競争は激化していた。その中で、0.25  $\mu\text{m}$  HV CMOS を短期間で立ち上げ、1 Mbit クラスのオンチップ SRAM を安定供給できたことは、大きな競争優位性につながった。特に、歩留り安定と量産信頼性の確保は顧客パネルメーカーからの信頼獲得に直結し、市場シェア防衛に寄与した。

さらに、本事例は「事業継続性」と「技術的信頼性」が表裏一体であることを示している。技術課題が未解決のままではビジネスの持続は困難であり、逆に迅速な技術解決は市場のタイミングを捉える武器となる。エプソンのケースは、半導体産業における技術課題解決と事業戦略の相互依存性を象徴する事例といえる。

## VII. 結論

富士見 6 インチラインで培われた高耐压デバイス技術は、酒田 8 インチ 0.35  $\mu\text{m}$  世代においてモノクロ LCD ドライバ IC として結実し、エプソンの事業基盤を確立した。その後、携帯電話のカラーパネル化に伴う大容量メモリ需要を背景に、酒田 Fab では 0.25  $\mu\text{m}$  HV CMOS の採用が必然となった。

しかし、TiSi<sub>2</sub> サリサイドの C49→C54 相転移不完全性が新たな課題として顕在化し、1 Mbit 級オンチップ SRAM においてランダム単ビット不良を引き起こした。本研究では、サイドウォールエッチアンダーによる暫定対策と、ランプアニール条件最適化による恒久対策を通じて、歩留りと信頼性を回復し、量産の成立を実現した。

本事例は、市場要求に応じたプロセス選択と、それに伴う新規課題への迅速な技術対応がいかに事業競争力を左右するかを示す産業史的に重要なケーススタディである。同時に、半導体技術における材料物性、デバイス設計、プロセス条件、および事業戦略の相互依存性を浮き彫りにするものであり、今後の技術継承・教育の上でも貴重な知見となる。

補足: 0.35  $\mu\text{m}$  Ti サリサイドプロセスによるモノクロドライバの開発は本稿で完結するが、この技術を基盤として、サリサイドを使用しない低コスト WSi ゲートプロセス (3.3 V / 45 V 対応) が後に開発された。この WSi プロセスは、インクジェットヘッド用ドライバ IC として展開され、Mach シリーズおよび  $\mu\text{TFP}$  PrecisionCore 世代の駆動デバイスに適用されることとなった。なお、筆者は入社 1 年目に 0.35  $\mu\text{m}$  WSi ゲートプロセスの社内ロジック開発に携わっており、その後この技術に 45 V 高耐压素子を統合する取り組みが別担当者により進められた。

## REFERENCES

- [1] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed. Hoboken, NJ, USA: Wiley, 2007.
- [2] S. Wolf, *Silicon Processing for the VLSI Era, Vol. 4: Deep-Submicron Process Technology*. Sunset Beach, CA, USA: Lattice Press, 2000.
- [3] E. Takeda, C. Y. Yang, and A. S. Grove, "Silicide technology for ULSI applications," *IEEE Trans. Electron Devices*, vol. 41, no. 12, pp. 2133–2141, Dec. 1994.
- [4] S. E. Thompson, R. S. List, and J. E. Crespo, "Salicide technology: Stability and limitations of TiSi<sub>2</sub> and CoSi<sub>2</sub> at submicron dimensions," *IEEE Trans. Electron Devices*, vol. 42, no. 8, pp. 1419–1426, Aug. 1995.
- [5] B. C. Paul, H. H. Tseng, and K. Kuhn, "Effects of boron penetration and diffusion on deep-submicron CMOS device performance," *IEEE Trans. Electron Devices*, vol. 44, no. 5, pp. 765–771, May 1997.
- [6] M. Iwamoto, Y. Yamaguchi, and T. Yoshida, "High-voltage CMOS technology for LCD driver applications," *IEEE J. Solid-State Circuits*, vol. 36, no. 11, pp. 1734–1740, Nov. 2001.

- [7] J. Kim, H. Park, and D. Kang, “Integration of large-capacity SRAM macros in HV CMOS technologies for display driver ICs,” in *Proc. IEEE Int. Symp. VLSI Technology*, 2002, pp. 245–246.

#### 著者略歴

三溝 真一 (**Shinichi Samizo**) 信州大学大学院 工学系研究科 電気電子工学専攻修士課程を修了後、セイコーエプソン株式会社に勤務。半導体ロジック／メモリ／高耐圧インテグレーション、インクジェット薄膜ピエゾアクチュエータ、および PrecisionCore プリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AI システム統合に取り組んでいる。連絡先: [shin3t72@gmail.com](mailto:shin3t72@gmail.com)