

# CD50 プロジェクトと Bump on Active (BoA) 技術 の事例研究: エプソン半導体事業部の最後の攻防と敗北

三溝 真一 (Shinichi Samizo)

独立系半導体研究者 (元セイコーエプソン)

Independent Semiconductor Researcher (ex-Seiko Epson)

Email: shin3t72@gmail.com

GitHub: <https://github.com/Samizo-AITL>

## Abstract—要旨 (Japanese Abstract)

本論文は、2000 年代前半におけるエプソン半導体事業部の CD50 プロジェクトを事例として取り上げる。0.25  $\mu\text{m}$  LOCOS プロセスによる aTFT ドライバ量産成功後、Samsung の市場参入によりコスト競争が激化した。エプソンはコスト 50% 削減を目指して 0.18  $\mu\text{m}$  STI HV デバイス導入を試みたが、STI 端部シンニングによるゲートリーク問題で失敗した。本稿では、その後に採用された LOCOS+STI ハイブリッドプロセスと、量産化に成功した Bump on Active (BoA) 技術の評価方法・課題・成果を詳細に述べる。結果的に BoA は技術的成功を収めたが、Samsung の低価格攻勢を覆せず、エプソンは半導体市場における主導的地位を失った。この事例は、日本半導体産業全体が経験した「技術成功と事業失敗」の乖離を示す歴史的ケースである。

## Abstract (English)

This paper examines Epson Semiconductor Division's CD50 Project in the early 2000s as a case study. After the successful mass production of aTFT drivers using a 0.25  $\mu\text{m}$  LOCOS process, market entry by Samsung intensified cost competition. Epson attempted to introduce 0.18  $\mu\text{m}$  STI HV devices to achieve a 50% cost reduction, but failed due to severe gate leakage caused by STI edge thinning. The project was subsequently shifted to a LOCOS+STI hybrid process, which increased process complexity and diminished cost reduction benefits. On the other hand, Epson successfully established Bump on Active (BoA) technology, which enabled significant die size reduction and became the real driver of cost efficiency. While BoA was a technical success, Epson was unable to surpass Samsung's aggressive pricing strategy, ultimately losing its leadership position in the driver IC market. This case exemplifies the broader historical trend in which Japanese semiconductor firms, despite technical achievements, were overtaken by overseas competitors due to price competitiveness.

**Index Terms**—半導体産業史 (Semiconductor Industry History), LOCOS, STI, HV PMOS, Bump on Active (BoA), ETEST, エプソン (Epson), Samsung

## I. 背景

1990 年代後半から 2000 年代初頭にかけて、液晶ディスプレイ (LCD) の普及に伴い、駆動用の aTFT (amorphous Thin Film Transistor) ドライバ IC の需要は急速に拡大した。エプソンは 0.25  $\mu\text{m}$  LOCOS プロセスを用いて高耐圧

CMOS 技術を確立し、aTFT ドライバの量産化に成功したことで、業界内で一定のリーダーシップを確保した。特に、0.35  $\mu\text{m}$  世代の白黒ドライバ、0.25  $\mu\text{m}$  世代のカラードライバにおいては競争優位を発揮し、当時の日本発半導体技術の代表例ともいえる成果であった。

しかし同時期に、韓国 Samsung が急速に半導体製造技術を進展させ、同分野へ参入したことで状況は一変した。Samsung は大規模投資と量産能力を背景に、極めて攻撃的なチップ価格を提示し、市場におけるコスト競争を激化させた。これにより、従来は技術優位性で市場を牽引していたエプソンも価格競争に直面し、事業存続のためには従来以上のコスト削減が不可欠となった。

このような背景の下、エプソン半導体事業部は「CD50 (Cost Down 50%) プロジェクト」を立ち上げ、従来の半分のコストでドライバ IC を提供することを目標とした。CD50 プロジェクトは単なる製造プロセスの微細化に留まらず、設計・レイアウト・実装技術を含めた包括的な改革を伴う取り組みであり、その象徴的な技術施策の一つが本稿で扱う Bump on Active (BoA) 技術である。

## II. 技術的チャレンジ

CD50 プロジェクトにおける最大の技術課題は、従来の 0.25  $\mu\text{m}$  LOCOS プロセスを更に微細化し、0.18  $\mu\text{m}$  世代で高耐圧 (30 V クラス) の HV デバイスを安定に実現することであった。特に、LOCOS では高電圧デバイスに対して安定したアイソレーションが得られる一方で、微細化には不向きであり、ダイサイズの縮小・高集積化には限界があった。そのため、エプソンは国際的に主流となりつつあった STI (Shallow Trench Isolation) 技術を採用し、低面積化とコスト削減を狙った。

しかし、実際の開発においては深刻な課題が露呈した。STI 構造では、トレンチ端部における酸化膜のシンニング (薄化) が避けられず、その結果としてゲートリーク電流が顕著となった。特に 30 V クラスの HV PMOS においては、リークが臨界レベルに達し、量産適用が不可能であることが判明した。これにより、STI 単独プロセスによる HV デバイスの成立性は断念せざるを得なかった。

このリークメカニズムを模式的に示したのが Fig.1 である。図に示すように、STI 端部ではトレンチ酸化膜の上端近傍でゲート酸化膜が局所的に薄くなる (シンニング) た

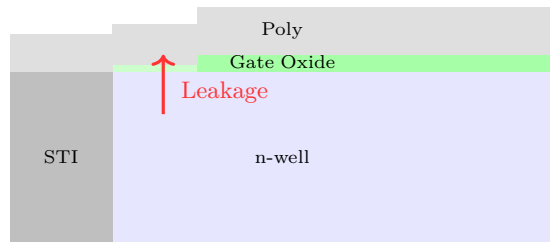


Fig. 1. STI 端部におけるゲート酸化膜シンニングとリーク経路

め、n-well (高電位, 約 30 V) から Poly ゲート (低電位, 約 0 V) へのリーク経路が形成される。この領域は電界集中が最も強く、酸化膜の絶縁破壊や時間依存リークの発生源点となりやすい。

解決策として、開発チームは LOCOS と STI を組み合わせたハイブリッドプロセスを検討した。LOCOS の利点である高耐圧特性を保持しつつ、STI による素子間隔縮小を導入することで歩留まり改善を狙ったのである。しかし、プロセスフローは複雑化し、工程数が大幅に増加した。結果として、当初の目標であった「50%のコスト削減」は達成できず、むしろ工程コストの上昇が懸念される状況となった。

このハイブリッド統合においては、HV 工程と LV 工程で要求される熱条件が大きく異なる。LOCOS を先行して HV ブロックを形成する理由は、HV 工程における高温処理が極めて過酷であり、これを後段に実施すると低耐圧ロジック素子の特性が劣化するためである。代表的な温度条件の比較を以下に示す。

#### ● HV 工程 (LOCOS 系) :

- フィールド酸化 (LOCOS) : 約 1050 °C で 180 分高温酸化により高耐圧素子の分離構造を形成。
- イオン注入後ドライブイン : 1000~1050 °C で 30~60 分チャネルストップやソース・ドレイン拡散層を安定化。
- ゲート酸化膜形成 (厚膜) : 約 950 °C で 30 分前後高耐圧デバイス向けに厚膜酸化を実施。

#### ● LV 工程 (STI 系) :

- トレンチ形成および埋め込み酸化 (STI) : 900~950 °C で 30~60 分低熱予算プロセスで素子間分離を実現。
- RTA アニール (浅拡散活性化) : 1020~1030 °C で 10~30 秒熱処理時間を最小化し、浅拡散化を達成。
- 後工程 (メタル/パッシベーション) : 400 °C 以下 BoA パンプ形成を含む後処理工程。

上記の比較から明らかなように、HV 工程は長時間・高温の熱処理を必要とするため、これを先に完了させ、その後に LV ロジック部を構築する順序 (HV → LV) が必須である。これにより、トレンチ酸化膜や浅拡散層の再酸化・再拡散を防ぎ、素子特性のばらつきを最小化することができる。

### III. BoA 技術と評価方法

CD50 プロジェクトにおいて最も大きな成果の一つが、Bump on Active (BoA) 技術である。BoA は、従来パッド専用のデッドスペースに配置されていたパンプを、アクティブ領域上に直接形成する実装技術であり、パッド領域削減

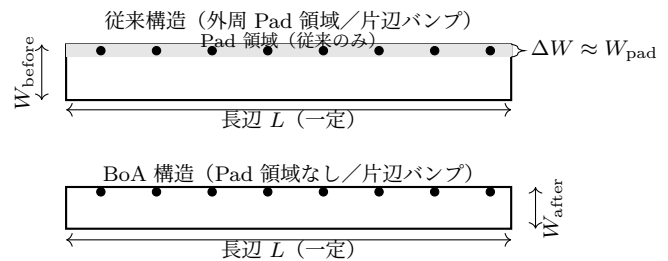


Fig. 2. 横長ドライバ IC の模式図。従来は外周 Pad 領域上にパンプを並べていたが、BoA ではアクティブ領域上に形成できるため、短辺方向の寸法が  $W_{\text{before}} \rightarrow W_{\text{after}}$  に縮小する。

によるダイサイズの縮小を実現した (Fig.2)。これはチップコスト削減に直結する革新的なアプローチであり、狭スクライプ技術と並んで、CD50 における実質的なコストダウンの中核施策となった。

BoA の導入にあたっては、アクティブ素子上への荷重ストレスが電気特性や信頼性に与える影響を定量的に把握することが不可欠であった。このため、開発チームは専用の大規模 TEG (Test Element Group) を約 3 か月をかけて設計・作成し、アクティブ領域上にパンプを直接形成した構造で、応力印加による特性変動を体系的に評価した。

#### A. 評価手順

評価は以下の手順で実施した。

- 1) 初期 ETEST により素子の基本特性を測定
- 2) パンプ荷重を加える (単発荷重および継続荷重の両方を実施)
- 3) 荷重後に ETEST を再測定し、特性変動やオープン/ショートの有無を確認

なお、評価素子については、Table.I に示す。さらに、COF (Chip on Film) 実装を模擬した継続荷重試験では、実装後の長期信頼性を重視した評価を行った。 (Table.II)

TABLE I  
BoA 評価における ETEST 対象素子

カテゴリ	対象素子
トランジスタ	LV MOS, HV MOS
キャパシタ	MOS キャパシタ (ゲート酸化膜品質)
抵抗素子	Active 抵抗, Poly 抵抗
配線・接続	配線抵抗, ビア/コンタクトチェーン, 層間リーク

TABLE II  
BoA 荷重試験の区分と目的

評価種類	対象素子	評価目的
一時荷重	フル TEG	素子破壊の有無を確認
継続荷重	小規模 TEG (MOS 中心)	COF 模擬下での長期信頼性評価

#### B. 評価上の工夫

通常 ETEST は AL Pad 経由で測定を行うが、今回の BoA 評価では Bump Pad を介して直接測定する必要があった。その結果、プローブ針先とパンプとの接触抵抗 (10~20 Ω) が加算され、低抵抗素子測定において大きな測定ばらつき

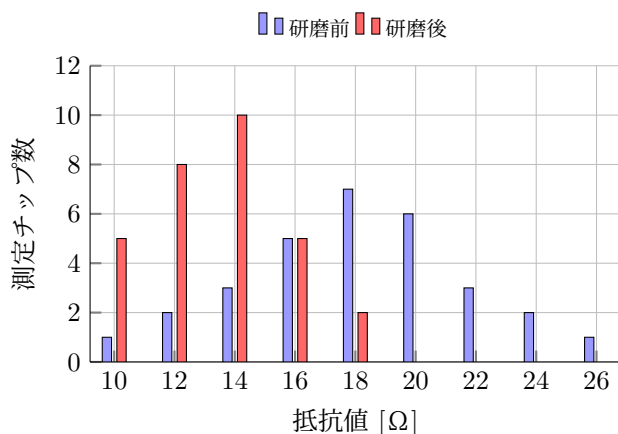


Fig. 3. AL 配線オープン／ショート TEG における 1 ウェハ面内 50 チップの配線抵抗ヒストグラム。研磨前は接触抵抗ばらつきの影響で広がるが、研磨後は分布が狭く安定。

が生じた。これに対して、プローバの針先研磨プログラムを導入し、数回測定ごとに針先をリフレッシュすることで、接触抵抗の影響を最小化し、測定の再現性を確保した。(Fig.3)

#### IV. 評価結果と課題

BoA 技術の信頼性検証として実施した一時荷重試験では、すべての素子において顕著な不具合や特性劣化は観測されなかった。この結果から、バンプ形成そのものや短期的な応力印加は、素子の動作に大きな悪影響を及ぼさないことが確認された。

一方で、長期荷重試験 (COF 実装を模擬し、継続的に荷重を印加する試験) では、特に HV PMOS デバイスにおいて顕著な特性変動が観測された。具体的には、しきい値電圧やドレイン電流のシフトが確認され、その変動は荷重応力に起因するキャリア移動度の変化によるものと推定された。この結果は、PMOS が機械的応力に対して NMOS よりも感受性が高いという既知の物理的傾向と一致しており、評価結果の妥当性を裏付けるものであった。

重要な点は、この変動値を定量的に整理し、設計マニュアルに反映したことである。これにより設計者は、実装応力を考慮したマージン設計を行うことが可能となり、量産における歩留まりと信頼性の確保に大きく貢献した。当時 (2000 年代前半) としては、機械的荷重による電気的特性変動を設計規則化した事例は少なく、非常に先進的な取り組みであったと言える。

さらに、評価過程では測定技術上の課題も明らかになった。通常 ETEST は AL Pad を介して行うが、BoA 評価では Bump Pad を介して測定する必要があった。その結果、プローバ針先とバンプ間に 10–20 Ω の接触抵抗が付加され、特に配線抵抗などの低抵抗素子測定では測定値に大きなばらつきが生じた。この課題に対しては、プローバの針先研磨プログラムを導入し、一定回数ごとに針先をクリーニングすることで接触抵抗をリセットし、測定の安定性を確保する手法を確立した (Fig.3)。

このように、BoA 評価は単なる素子信頼性の確認に留まらず、計測インフラや設計規則の整備を伴う包括的な技術確立プロセスであった。各評価結果を Table.III にまとめる。

TABLE III  
BoA 評価における主要結果のまとめ

評価項目	結果概要	技術的意義
一時荷重試験	全素子で不具合なし。短期応力影響なし。	バンプ形成そのものは安全。
長期荷重試験	HV PMOS でしきい値変動・電流シフト発生。	応力起因のキャリア移動度変化を確認。
設計反映	変動値を定量化し設計マニュアルに反映。	応力マージン設計を可能に。
測定技術課題	接触抵抗 (10–20 Ω) によるばらつき発生。	針先研磨プログラム導入で安定化。
総括	設計・評価・計測を統合した技術確立。	BoA 量産適用に必要な信頼性を確保。

#### V. なぜ HV PMOS が影響を受けやすいか

HV PMOS デバイスにおける特性変動の顕著さには、いくつかの物理的要因が関与している。

まず、HV PMOS は厚いゲート酸化膜と長いチャネル長を特徴とする構造を有しており、この構造は応力集中を引き起こしやすい。特に、LDD (Lightly Doped Drain) 領域やオフセット構造における機械的応力の集中は、キャリア輸送特性の変動を増幅する要因となる。

次に、PMOS デバイスにおけるホール移動度は、NMOS における電子移動度に比べて結晶歪みや応力の影響を強く受けやすい。圧縮応力や引張応力の持続印加によってバンド構造や界面準位状態が変化し、しきい値電圧や移動度の変動として現れやすい。

さらに、長期荷重下では一時的な弾性的変形だけでなく、界面準位の増加や応力緩和過程が進行し、時間依存的な特性劣化として顕在化する。このため、一時荷重試験では問題が生じなかったにもかかわらず、継続荷重試験において HV PMOS でのみ変動が顕著となった。

応力と移動度の関係を NMOS / PMOS で整理すると、以下のようにまとめられる。

##### ● NMOS (電子輸送) :

- 主キャリア：電子 (n 型チャネル)
- 圧縮応力 (チャネル方向) により電子移動度が**増加**→ バンド谷の分裂と有効質量減少による
- 引張応力により移動度が**低下**→ 散乱率上昇とバンド構造の非対称化による

##### ● PMOS (ホール輸送) :

- 主キャリア：ホール (p 型チャネル)
- 引張応力によりホール移動度が**増加**→ バンド分裂により軽ホール支配となる
- 圧縮応力により移動度が**低下**→ 重ホール支配と散乱増大による
- 結果として、PMOS は**応力方向・強度に対して非線形かつ高感度**に変化

以上のことから、HV PMOS は応力感受性の高い素子として実装時に特に注意が必要であり、設計段階でのマージン設定やパッケージ・実装設計との協調が不可欠であることが明らかとなった。

## VI. 結果と影響

BoA 技術は、技術的には量産化に成功し、従来プロセスに比べて大幅なダイサイズ削減を実現した。特に、狭スクライブとの併用により、理論的にはチップ面積当たりのコスト競争力を大幅に改善できることが示された。この成果は、CD50 プロジェクトにおける数少ない実質的なコストダウン施策として評価された。

しかし、国際市場での競争環境においては、BoA の成功だけでは十分ではなかった。Samsung は大規模投資と量産能力を背景に、極めて低価格なチップを提示し、価格競争の主導権を握った。結果として、エプソンが当初優位性を持っていた

- 0.35  $\mu\text{m}$  モノクロドライバ
- 0.25  $\mu\text{m}$  カラードライバ

といった主要製品群においてもシェアを急速に失い、競合の台頭を止めることはできなかった。

さらに、BoA のような実装技術革新があったにもかかわらず、プロセス微細化の流れにおいては 0.13  $\mu\text{m}$  以降への移行に成功できず、国際標準から取り残される結果となった。微細化の停滞はチップ性能やコスト面での差を一層拡大させ、最終的に事業としての継続を困難にした。

この事例は、技術的ブレークスルーがあっても、市場競争における価格戦略や量産スケールの差を覆すことは難しいことを示している。エプソンの半導体事業部にとって BoA は「最後の攻防」とも言える挑戦であったが、Samsung の台頭と国際的微細化トレンドに押され、産業競争力の低下を防ぐには至らなかった。

結果的に、エプソンは業界におけるリーダーシップを喪失し、日本の半導体メーカー全体が直面した「技術は成功しても事業として敗北する」という歴史的パターンの一例となった。

## VII. 結論

CD50 プロジェクトは、当初の目的であった「50%のコスト削減」を直接的に達成することはできなかった。0.18  $\mu\text{m}$  STI による HV デバイス集積は技術的課題により断念され、LOCOS+STI ハイブリッドプロセスへの移行はコスト増を招いた。しかしその一方で、Bump on Active (BoA) 技術は量産化に成功し、ダイサイズ削減という形で明確な成果を残した。この点において CD50 は「部分的技術成功」と評価できる。

一方で、国際市場の現実には BoA の成功を超える厳しさを持っていた。Samsung を筆頭とする海外メーカーは、巨額投資と量産スケールを背景に圧倒的な価格競争力を示し、エプソンは優位を誇った 0.35  $\mu\text{m}$  モノクロドライバや 0.25  $\mu\text{m}$  カラードライバの領域でもシェアを喪失した。さらに 0.13  $\mu\text{m}$  以降の微細化に対応できなかったことが致命的となり、事業継続は困難となった。

この事例は、日本の半導体産業が直面した本質的な課題を象徴している。すなわち、「**技術的成功が必ずしも事業的成功には直結しない**」という乖離である。優れた技術革新があっても、国際競争においてはコスト、スケール、価格戦略といった要素が支配的であり、技術単独では市場の主導権を維持できない。

産業史的観点から見ると、CD50 プロジェクトは日本半導体産業全体の縮図であり、1990 年代以降に進行した「日

の丸半導体」の衰退過程を象徴的に示している。今後の技術開発においては、技術革新を事業戦略や国際競争力といかに結びつけるかが重要であり、本事例はその教訓を示す歴史的ケーススタディと位置付けられる。

## APPENDIX

LCD ドライバの将来展望が見えなくなり、さらに 0.13  $\mu\text{m}$  以降の投資が見込めない状況下で、事業継続の可能性を探るためにアナログミックスドシグナル (AMS) への展開を検討した。RF 分野は深い微細化依存が大きく、対象から除外した。

### 検討テーマ

- 1/f ノイズ低減
- 隣接トランジスタばらつき低減
- RSCE (リバース・ショートチャネル効果) 低減 (ゲート寸法ばらつき影響を受けにくい構造)
- オンチップ・インダクタ搭載 (メタル配線活用)

### 採った技術アプローチ

筆者は、ノイズとばらつきの抑制に対してイオン注入を極力減らしたシンプルなアナログ専用デバイス構造を提案した。RSCE については T-SUPREM4 を用いたプロセスシミュレーションにより構造依存性を解析した。オンチップ・インダクタは基板の eddy current による Q 値低下を回避する狙いで、標準 p 10  $\Omega$  級に対し高抵抗ウェハ (~100  $\Omega$ ) 採用を検討した。

### 課題と結末 (2005 年前後)

当時は低周波ノイズ評価手法が未確立で、素子別ターゲット特性値も設計側から明確化されなかった。定量仕様が共有できず、開発プロジェクトとしての立ち上げには至らなかった。この AMS 試行は中止となり、その後、筆者は富士見事業所へ転籍して FeRAM 技術開発に参画した。

### 謝辞

本研究の一部は、エプソン半導体事業部における技術開発活動の成果に基づいている。特に、CD50 プロジェクトおよび BoA 技術の立ち上げに携わった設計・プロセス・実装・評価の各チームの尽力なしには、本稿で示した知見は得られなかった。当時の現場技術者・研究者の創意工夫と継続的努力に深く感謝する。

また、本研究の背景には、液晶ディスプレイ市場の急速な拡大と、それに伴う国際的な価格競争の激化があった。Samsung をはじめとする海外メーカーとの厳しい競争環境は、エプソンの開発活動に大きな緊張感と革新をもたらし、その圧力が BoA のような先進技術を生み出す原動力となったことも記しておきたい。

最後に、本稿の執筆にあたり、当時の経験や技術成果を整理し、半導体産業史的観点から再評価する機会を与えてくれた同僚研究者や関係者各位に謝意を表する。

## REFERENCES

- [1] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed. Hoboken, NJ, USA: Wiley-Interscience, 2006.
- [2] J.-P. Colinge, *Silicon-On-Insulator Technology: Materials to VLSI*, 3rd ed. Boston, MA, USA: Springer, 2004.
- [3] International Technology Roadmap for Semiconductors (ITRS), 2001 Edition. [Online]. Available: <http://www.itrs2.net>
- [4] H. Yamada, T. Suzuki, and M. Takahashi, “High-voltage CMOS devices using shallow trench isolation (STI) for display driver applications,” in *Proc. IEEE Int. Symp. Power Semiconductor Devices and ICs*, 1999, pp. 237–240.
- [5] J. Park, H. Kim, and S. Lee, “Cost-effective driver IC technologies for TFT-LCD panels,” in *SID Symp. Digest Tech. Papers*, vol. 34, no. 1, 2003, pp. 456–459.
- [6] K. Oshima, “The rise and fall of the Japanese semiconductor industry,” *IEEE Micro*, vol. 28, no. 2, pp. 74–83, Mar./Apr. 2008.
- [7] S. Samizo, “CD50 project and bump on active (BoA) case study: The last struggle of Epson semiconductor division,” unpublished manuscript, 2025.

## 著者略歴

三溝 真一 (Shinichi Samizo) は、信州大学大学院 工学系 研究科 電気電子工学専攻にて修士号を取得した。その後、セイコーエプソン株式会社に勤務し、半導体ロジック／メモリ／高耐圧インテグレーション、さらにインクジェット薄膜ピエゾアクチュエータおよび PrecisionCore プリントヘッドの製品化に従事した。現在は独立系半導体研究者として、プロセス／デバイス教育、メモリアーキテクチャ、AI システム統合などの研究に取り組んでいる。連絡先: [shin3t72@gmail.com](mailto:shin3t72@gmail.com)