



Universidade Federal do Ceará  
Campus Quixadá

## **Arquitetura e Organização de Computadores II**

LAB08

Samuel Henrique Guimarães Alencar  
473360

- **Cortex-M0**

O processador M0 não apresenta cache em sua arquitetura e organização, logo fica impossibilitado de descrever suas características. Além da cache, o processador também não possui a MPU (Memory Protection Unit).

- **Cortex-R4**

O processador Cortex-R4 oferece suporte a caches separadas, uma de instruções e uma de dados. Cada cache é associativa de 4 vias endereçadas fisicamente, com um comprimento de linha de 8 palavras. Os tamanhos da cache podem variar independentemente de 4 KB a 64 KB. As caches de instrução e de dados são capazes de fornecer 64 bits por ciclo ao processador. O processador apresenta 2 tipos de política de escrita: *write-back* e *write-through*.

- **Cortex-A12**

O processador Cortex-A12 possui 2 níveis de cache, L1 e L2. O nível L1 atua como cache de instruções e cache de dados com tamanho de 32KB para dados e 32 ou 64KB para instruções. É estruturada em um conjunto de 4 vias associativas, tanto para as instruções quanto para os dados. O nível L2 é uma cache de dados com tamanho de 256KB ou 8MB, estruturada em 16 vias associativas. A linha de cache de cada nível apresenta 64 bytes de tamanho. O nível L2 apresenta proteção contra erros ECC, já L1 não apresenta proteção. O processador apresenta 2 tipos de política de escrita: *write-back* e *write-through*.

- **Cortex-A55**

O processador Cortex-A55 possui 3 níveis de cache, L1, L2 e L3. O nível L1 apresenta 64 bytes por linha, tamanho de 8KB ou 64KB e um conjunto de 4 vias associativas, dividido em cache de instruções e dados. O nível L2 também apresenta 64 bytes por linha e um tamanho de 64 ou

256KB, com 4 vias associativas e uma proteção contra erros ECC opcional. O nível L3 apresenta 0 ou 4MB de tamanho e é do tipo cluster. Além disso, é uma cache lógica e contém a presença da MMU. O processador apresenta 2 tipos de política de escrita: *write-back* e *write-through*.

## ● Referências

**Cortex-M0:**[https://en.wikipedia.org/w/index.php?title=ARM\\_Cortex-M&oldid=910753176#Silicon\\_customization](https://en.wikipedia.org/w/index.php?title=ARM_Cortex-M&oldid=910753176#Silicon_customization)

**Cortex-R4:**<https://www.design-reuse.com/articles/13397/arm-cortex-r4-a-mid-range-processor-for-deeply-embedded-applications.html>  
<https://developer.arm.com/documentation/den0042/a/Caches/Cache-policies/Write-policy>

**Cortex-A12:**Capítulo 8:  
<http://www.cs.otago.ac.nz/cosc440/readings/Cortex-A.pdf>

**Cortex-A55:**[https://en.wikichip.org/wiki/arm\\_holdings/microarchitectures/cortex-a55](https://en.wikichip.org/wiki/arm_holdings/microarchitectures/cortex-a55)  
[https://static.docs.arm.com/100442/0100/cortex\\_a55\\_trm\\_100442\\_0100\\_00\\_en.pdf](https://static.docs.arm.com/100442/0100/cortex_a55_trm_100442_0100_00_en.pdf)