

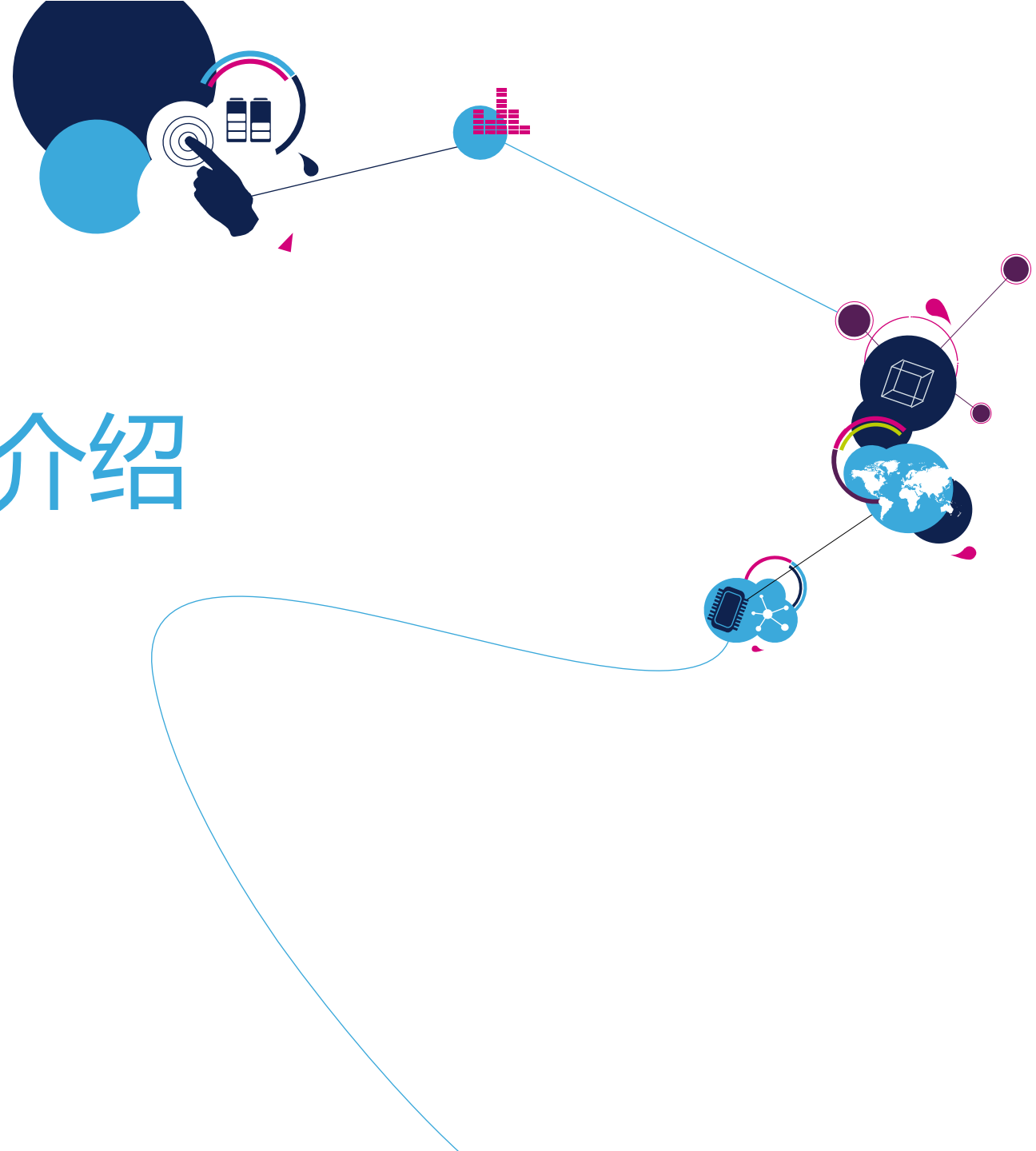
STM32G0 技术详解 (上) – 欢迎

2019年3月



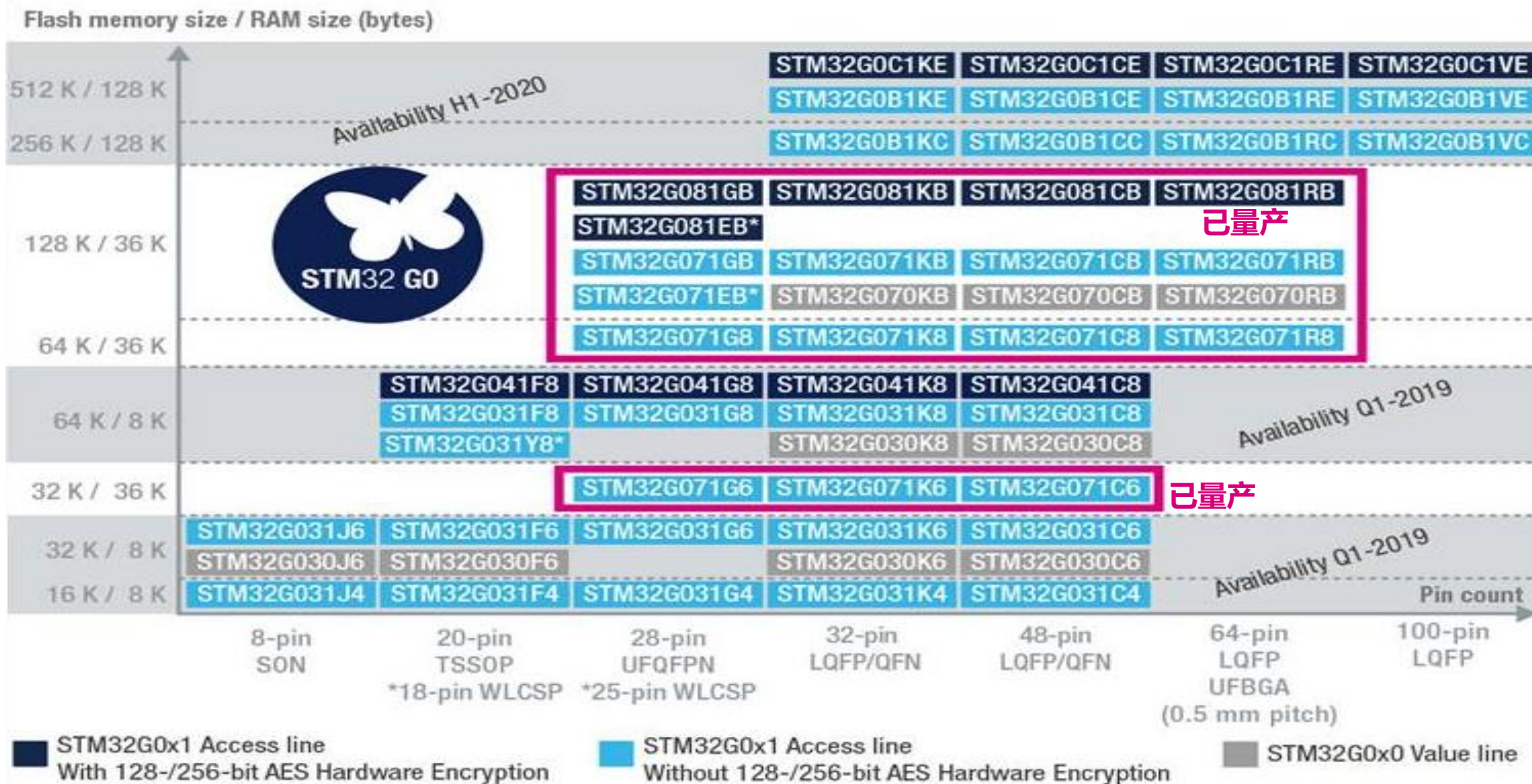
- 系统和架构
- 复位和时钟管理
- 存储
- LPTIM和RTC
- 模拟特性
- 电源管理
- 中断和事件管理
- DMA和DMAMUX
- 互联矩阵 Interconnect matrix

STM32G0 – 系列介绍



STM32 G0 产品组合

4



STM32G0产品线

5

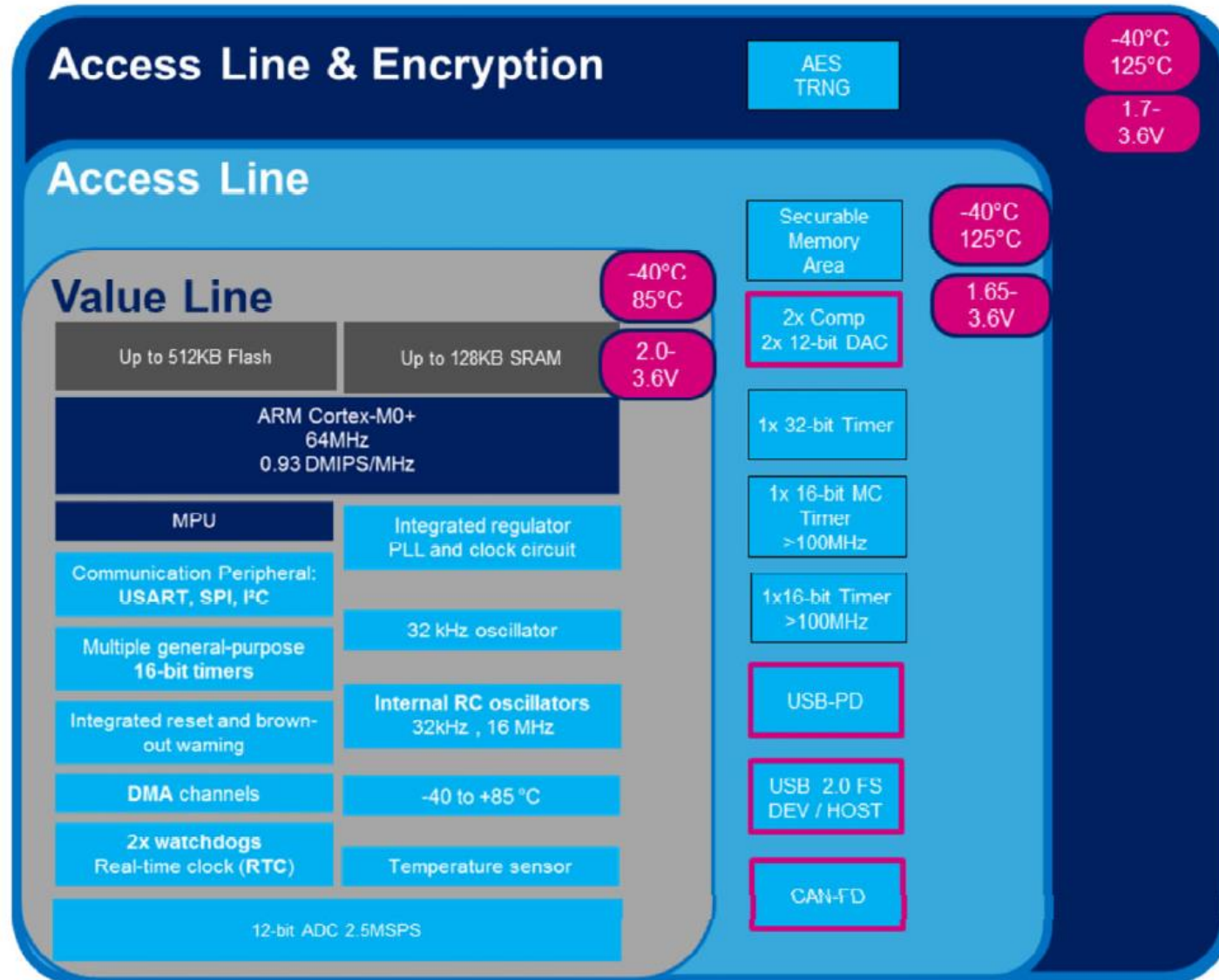
- STM32G0+11 – Access Line & Encryption (ex: STM32G081)

- STM32G0x1 – Access Line (ex: STM32G071)

- STM32G0x0 – Value Line (ex: STM32G070)



On some part-numbers



G0 Access Line 与 Value Line 对比

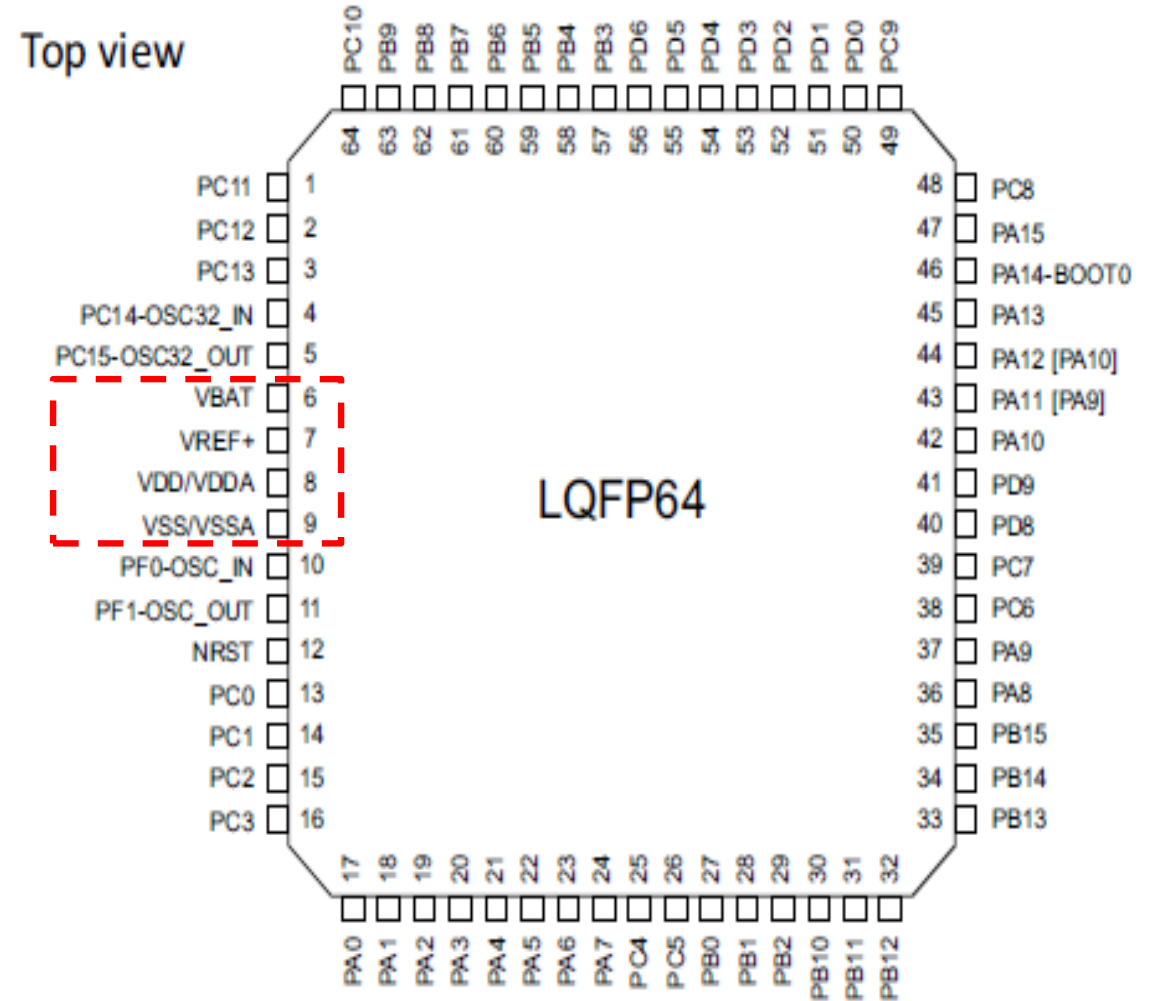
6

Key differences	Value Line	Access Line
Voltage range	2.0 – 3.6V	1.7 – 3.6V
Maximum temperature	85°C	125°C
Reset system	POR / PDR	POR / PDR / PVD / BOR
Internal clock HSI	Not factory calibrated, 1% accuracy	Factory calibrated, 1% accuracy
Vbat	✓	✓
Vref+	✓	✓
DAC12	✗	✓
Comparators	✗	✓
USB type-C Power Delivery	✗	✓
AES / TRNG	✗	✓
HDMI-CEC	✗	
Low-Power modes	Run, Sleep, Stop, Stand-by	Value + Shutdown, Vbat
LPUART	✗	✓
LP Timer	✗	✓
32-bit Timer	✗	✓
Max frequency for TIM1, TIM15	f_{cpu}	$f_{cpu} \times 2$
Advanced security features (Securable Area Memory, SFI)	✗	✓
Reset pin capability	Reset only	Reset, input, output
Packages	S08, TSSOP20, LQFP32, LQFP48, LQFP64	Value + QFN28, QFN32, QFN48, BGA, WLCSP, naked die

更高的GPIO利用率

7

- G0只有1个电源对(VDD/VSS)
- V_{BAT} 和 V_{REF+} :
 - 在小封装的 MCU里没有这几个引脚
- 其他的系统引脚均可配置成GPIO:
 - NRST -> PF2
 - BOOT0 -> PA14

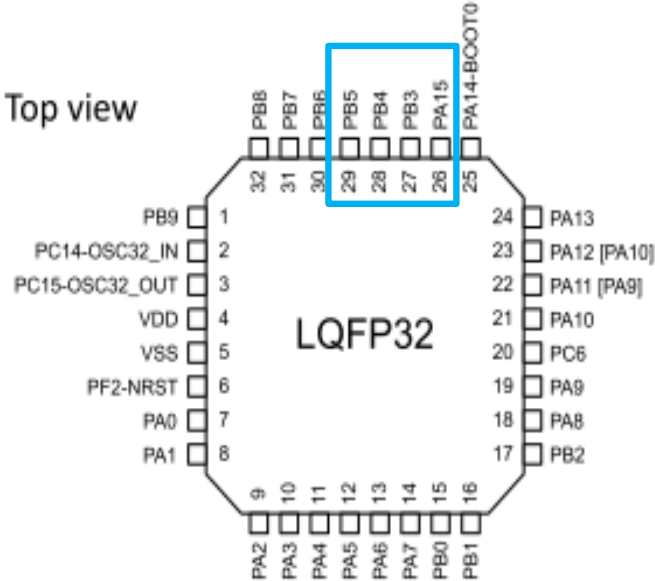


STM32G0 USB PD

8

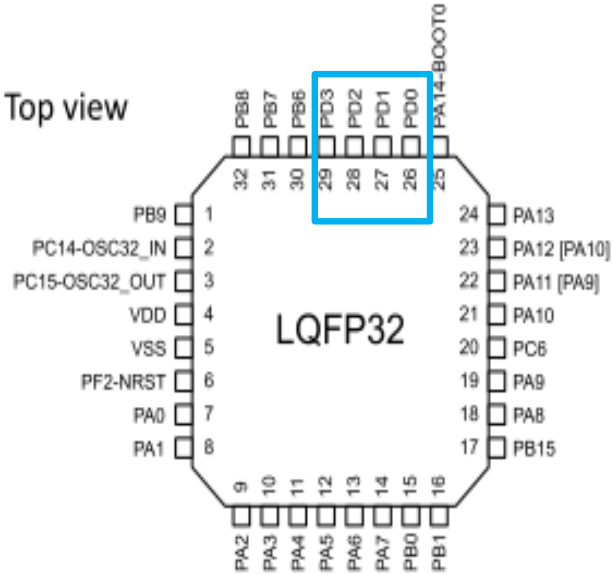
- GP 版本: STM32G081KxTx
 - 通用目的引脚排列

- PD Version: STM32G081KxTxN
 - 功率传输的引脚排列



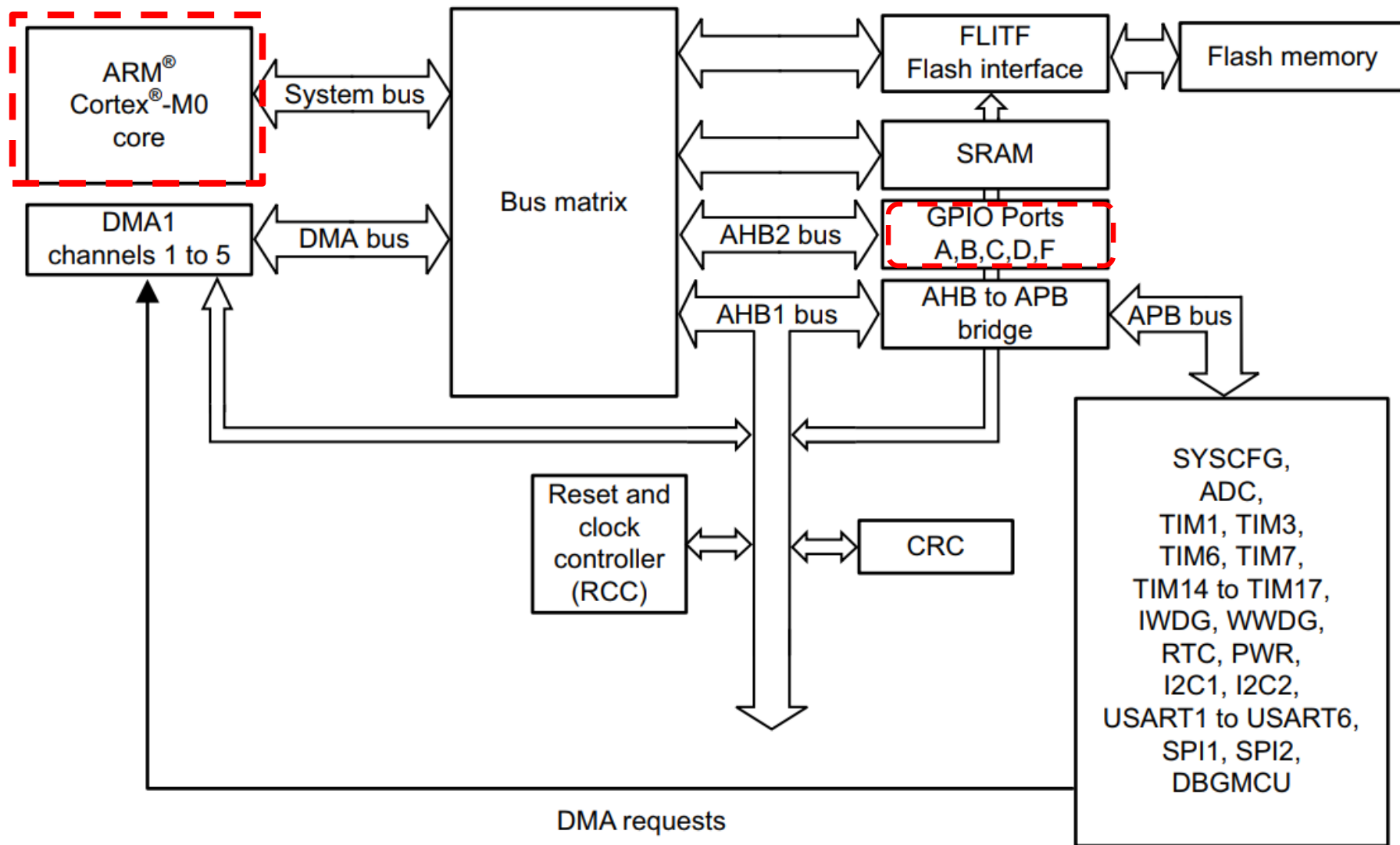
Pin count	USB PD support	
64	UCPD1 and UCPD2	
48	UCPD1 and UCPD2	
32	GP	UCPD1
	PD	UCPD1 and UCPD2
28	GP	UCPD1
	PD	UCPD1 and UCPD2
25	PD not supported	

Pin	Additional functions
PD0	UCPD2_CC1
PD1	UCPD2_DBCC1
PD2	UCPD2_CC2
PD3	UCPD2_DBCC2



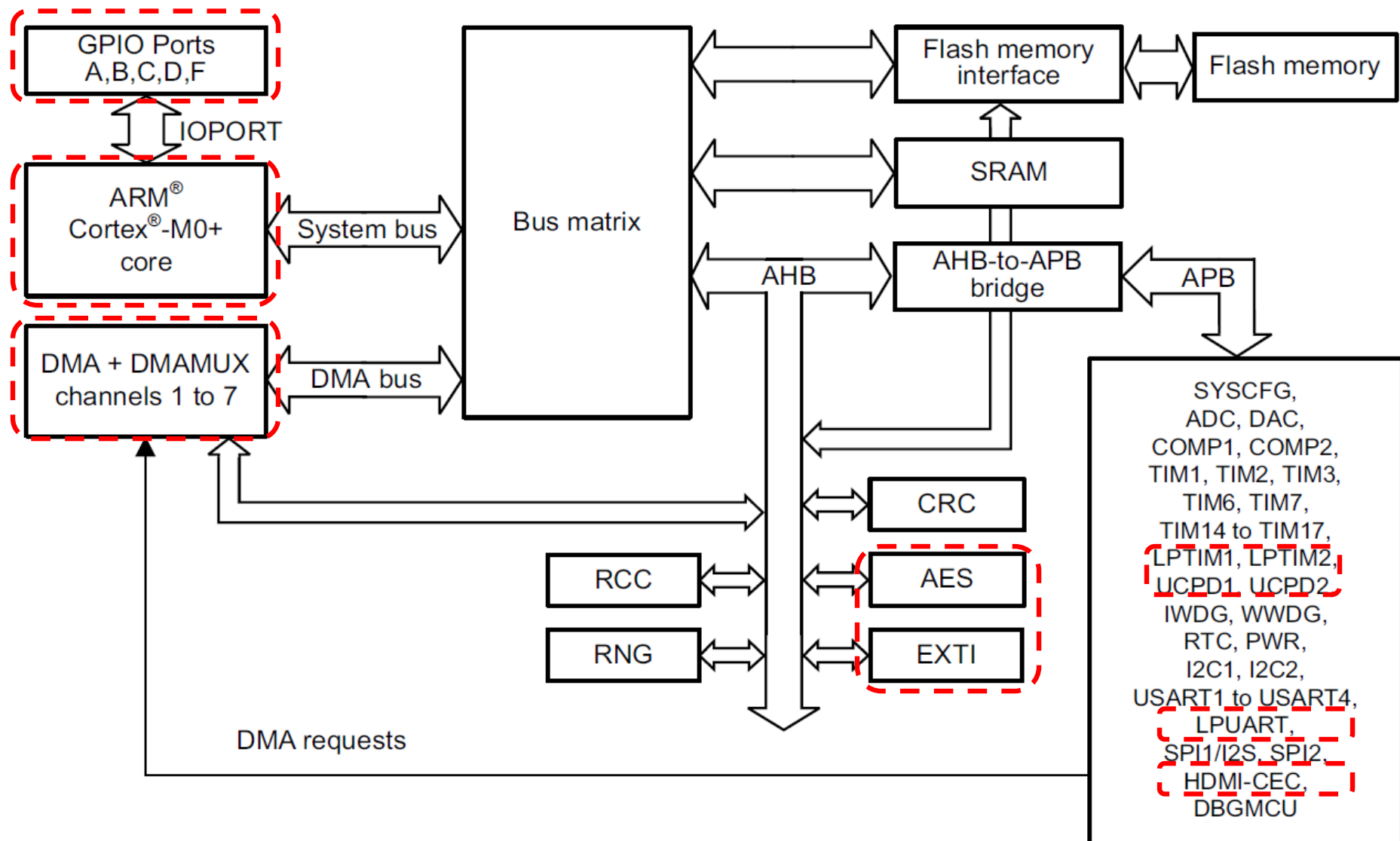
STM32F0系统架构

9



STM32G0系统架构

10



Cortex M0+ 与 Cortex M0对比

11

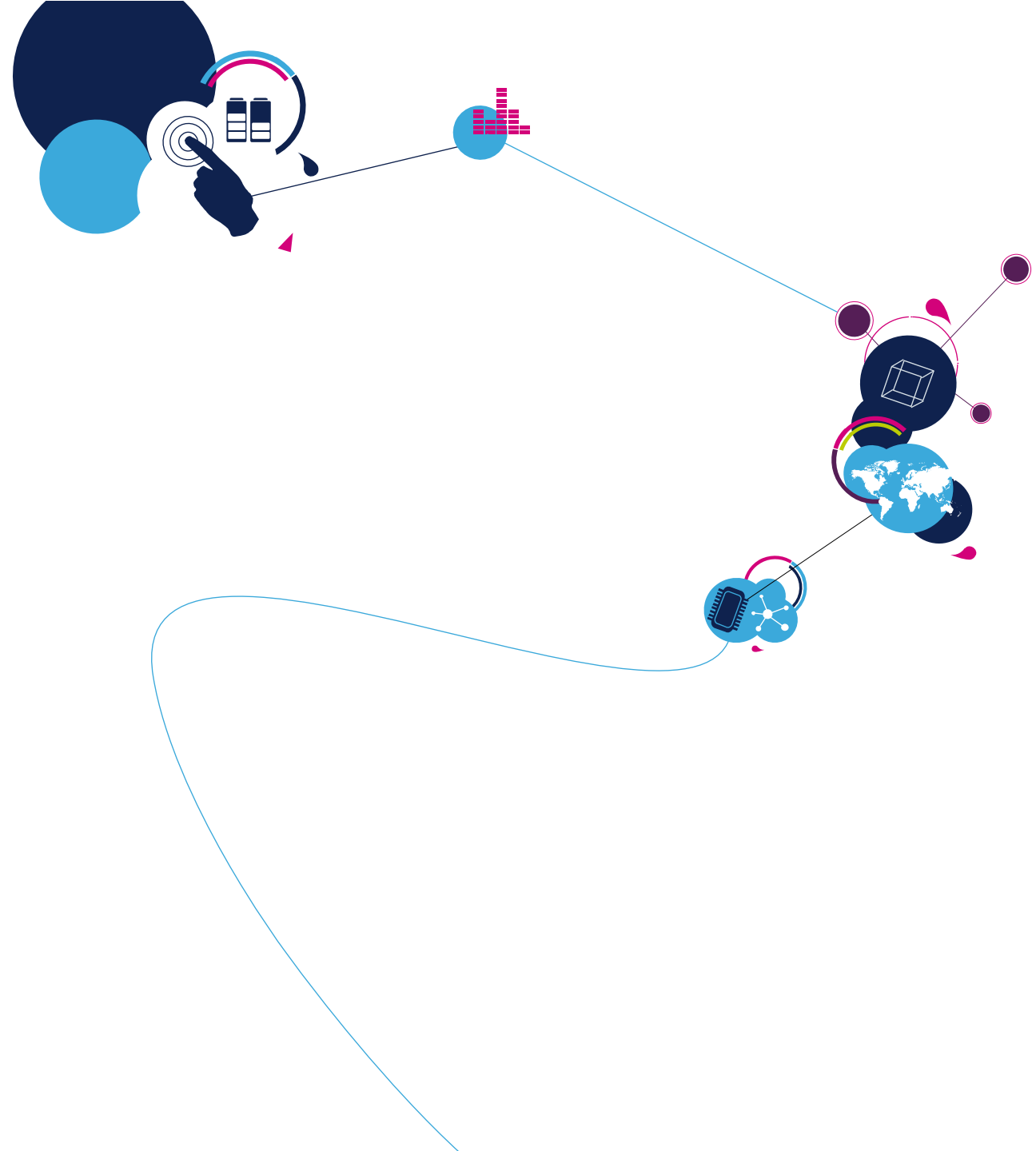
- STM32G0的Cortex M0+内核带来了更高的安全性和性能

	STM32F0	STM32G0
可重定位向量表	No	Yes
管道	3 级	2 级
性能	2.20 Coremark/MHz (48MHz – 1WS)	2.23 Coremark/MHz (56MHz – 2WS)
MPU	No	Yes
断点/数据监控点	4/2	4/2
MTB	No	Yes
单周期32b x 32b 乘法	Yes	Yes

- 默认的SRAM存储器为36KB,不带奇偶校验
 - 使能奇偶校验时,SRAM的高4KB用于奇偶校验.在这种情况下,因此有必要更新应用程序中的内存描述文件而不是使用默认的配置.
- 启用SRAM奇偶校验时,若发生ECC故障会触发NMI.
 - 通过SYSCFG寄存器中的SRAM_PARITY_LOCK配置,可以使得同样的错误也可以链接到TIM1/15/16/17的BRK_IN刹车输入

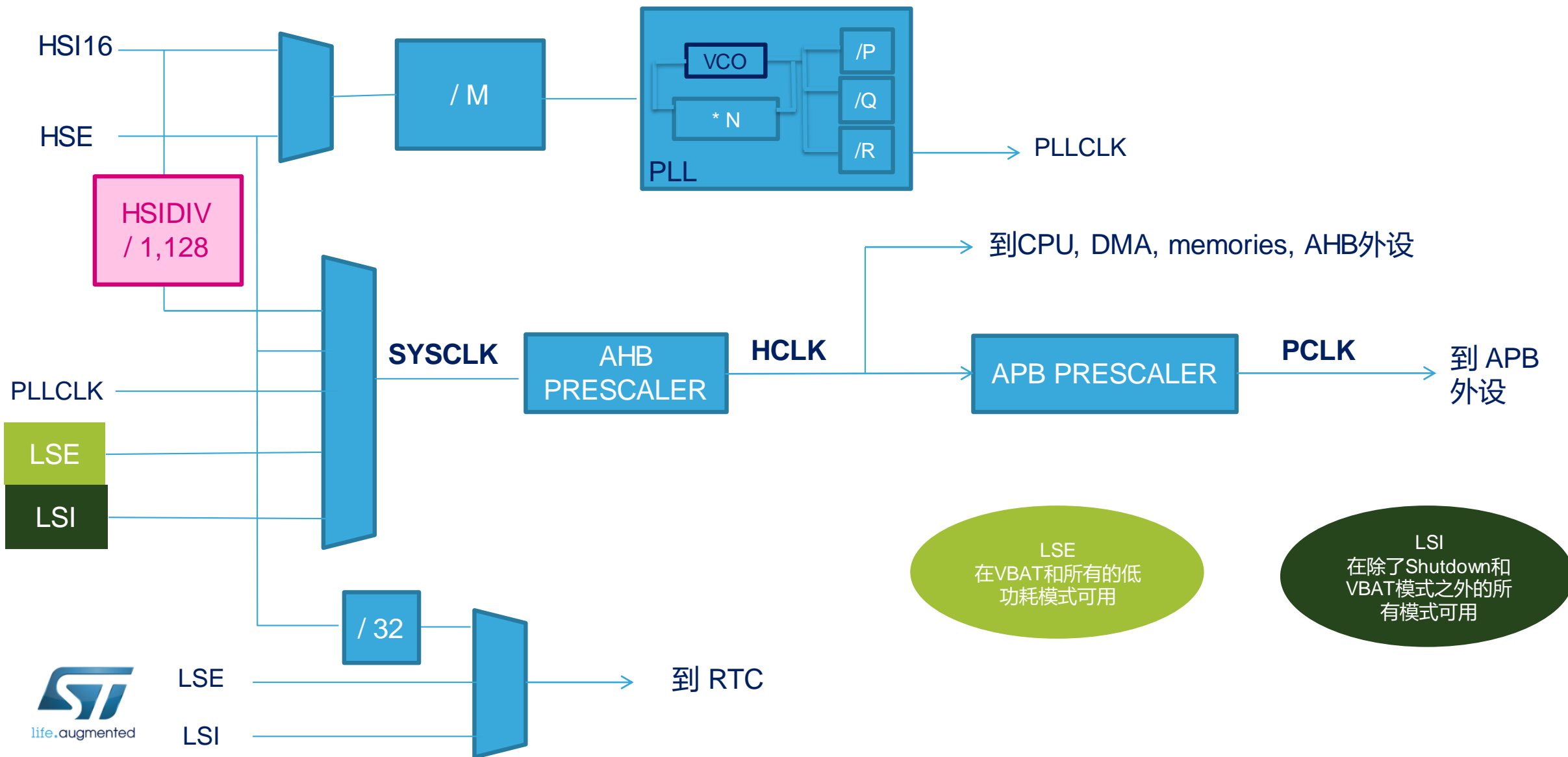
- 在一些I/O端口上使能/禁用I2C Fast Mode Plus
- 在地址0x0000 0000 映射所需的内存(Main Flash、 System Flash、 SRAM)
- 标记某些中断的挂起状态(WWDG, RTC。。。)
- 管理健壮性和功能锁定
 - RAM校验检验
 - ECC
 - PVD
 - LOCKUP状态

STM32G0 - RCC



简单的时钟树

16



与STM32F0主要的区别

17

- G0的RCC模块与F0的相似却有一些增强

	STM32F0	STM32G0
NRST	输入和输出	GPIO , 输入和输出
复位保持器	No	Yes
PLL	一个输出	3个输出
LSE带CSS + LSCO	No	Yes
HSI直接分频至SYSCLK	No	Yes
Timer 1/15 工作在2xSYSCLK	No	Yes

- STM32G0的RCC模块管理系统和外设时钟
 - 2 个内部振荡器(HSI,LSI)
 - 2 个外部振荡器
 - 1 个PLL锁相环
 - 给很多外设提供独立的时钟(权衡外设的功耗与精度)
- RCC管理着各种系统和外设复位.

运用优势

- 在选择时钟源时具有高度的灵活性,可满足功耗和精度的要求.
- 许多独立的外设时钟允许在不影响通信波特率的情况下调整功耗,并在低功耗模式下保持一些外设有效.
- 安全且灵活的复位管理

安全且灵活的复位管理

- 管理着3类复位:
 - 系统复位
 - 电源复位
 - 备份域复位
- 外设具有独立的复位控制位

- 系统复位
 - 复位后效果：除了某些RCC寄存器, PWR 寄存器和备份域之外的所有寄存器都将复位
 - 复位源有：
 - NRST引脚上的低电平(外部复位)
 - WWDG事件
 - IWDG事件
 - 软件复位 (通过NVIC)
 - 低功耗模式安全复位
 - 选项字节装载复位
 - 欠压或者上电复位
- 复位源的标志在RCC_CSR寄存器中被标记

- NRST引脚的新设计=> PF2-NRST
 - 复位电路的设计通过选项字节NRST_MODE[1:0]和IRHEN完成(Option Byte).

模式	配置		行为
	NRST_MODE	IRHEN	
Input/Output (传统)	11	0	内部复位时会在NRST引脚上输出20 us的脉冲
		1	保持输出脉冲直到NRST引脚的电压达到 V_{il} 阈值 (~0.3VDD)
仅输入	01	x	内部复位不会被传播到器件外部(PU时钟为ON)
GPIO	10	x	仅PF2 ,没有复位功能

- 1% 精度和快速唤醒时间

- HSI16 16 MHz, 工厂+用户修正保证精度
- HSISYS可用于(从HSI16衍生):
 - 从Stop 0和Stop 1模式唤醒后被选为时钟源
 - 作为备份时钟源(当CSS检测到HSE失效)
- I2C, U(S)ART, LPUART 在Stop模式下如果探测到了从Stop模式下唤醒的序列则能够自动使能HSI16时钟。
 - HSI16时钟在Stop模式下保持关闭的状态, 除非探测到了外设唤醒序列

HSI16 特征

27

	HSI16 (16 MHz)
精度 (typ.)	Over [0-85 C]: +/- 1 %
	Over [1.62 - 3.6 V]: +0.1/-0.05 %
功耗 (typ.)	155 μ A
启动时间(typ.)	0.8 μ s

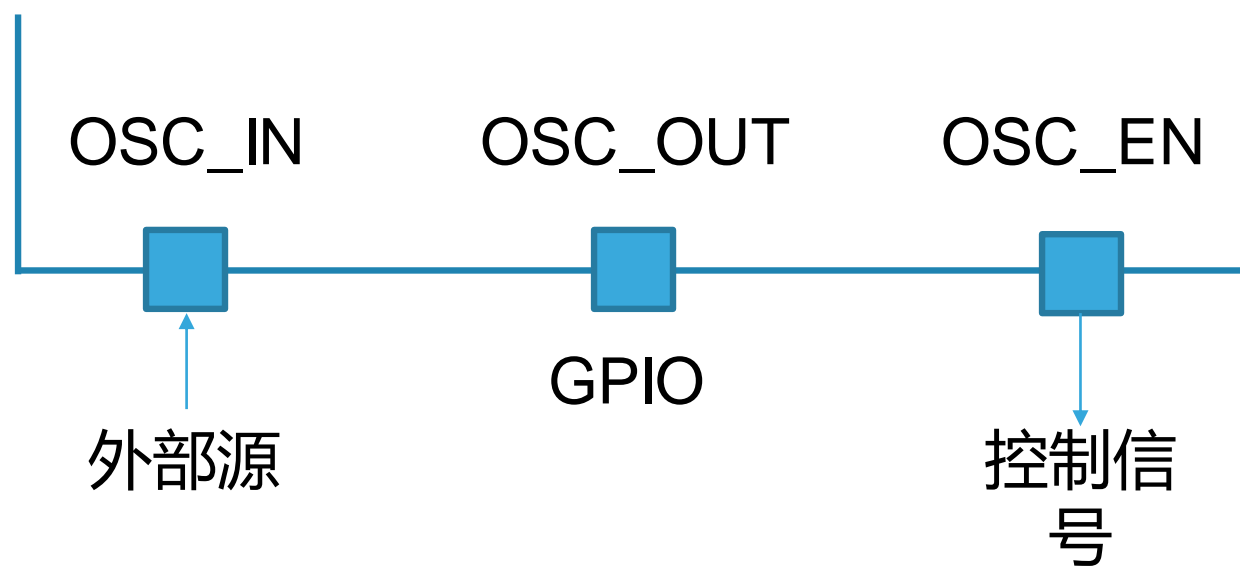
- 安全的晶体系统时钟

- HSE 4-48MHz
 - 外部时钟源(Bypass 模式) 高达48 MHz
 - 外部晶体/陶瓷谐振器 (4 - 48 MHz)
- 时钟安全系统(CSS)
 - 自动检测HSE失效时切换到HSI16 (在HSIDIV之后)
 - 不可屏蔽的中断产生
 - 输入到TIM1/TIM15/TIM16/TIM17的刹车输入(break input) =>可用于电机控制这种要求比较严格的应用并将其置于安全状态.

高速外部(HSE) 时钟

29

- 新的复用功能可用在HSE系统上.
 - 当外部时钟用于旁路模式时，新增了一个引脚 OSC_EN 可用于作为外部时钟的使能 ENABLE 信号,当进入低功耗模式时可控制关闭外部时钟



低速内部(LSI) 时钟

30

- 超低功耗内部32 kHz振荡器
- 可用于除Shutdown和VBAT模式之外的所有模式

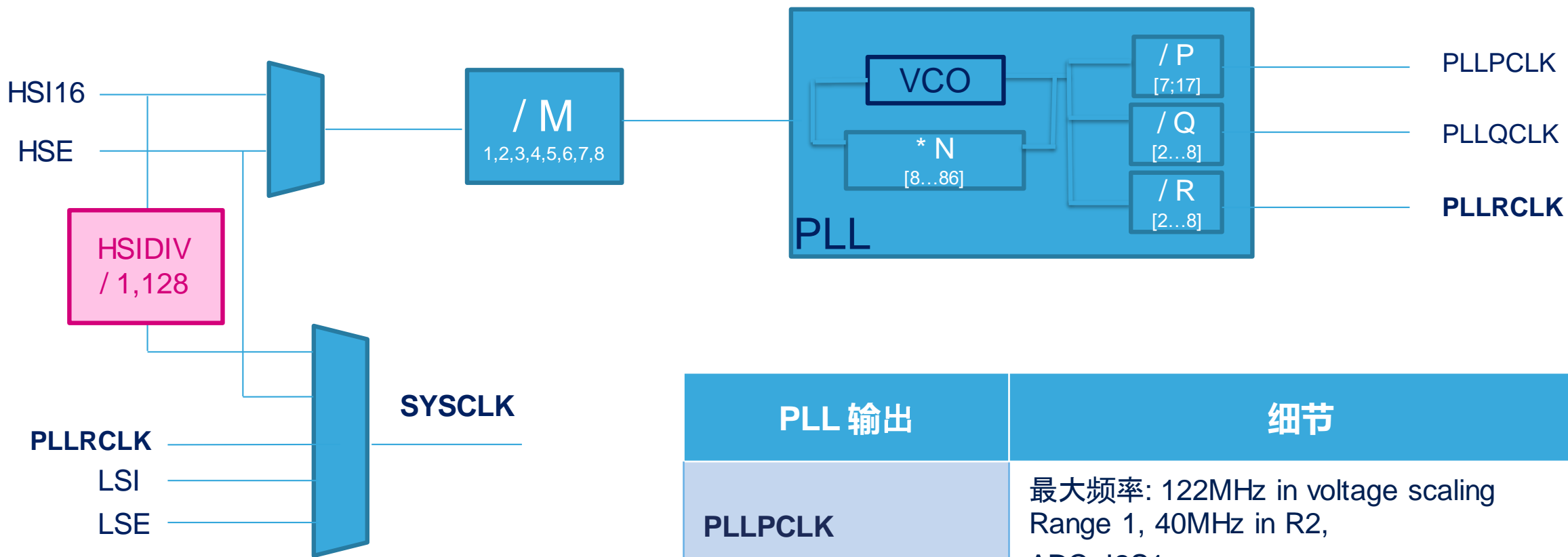
	LSI 32 kHz
精度 (typ.)	全温度: +/- 1.5 %
	全VDD范围: +0.1 / -0.2%
功耗 (typ.)	110 nA

低速外部(LSE)时钟

31

- 32.768 kHz 可配置为低功耗或高驱动
- 适用于所有模式除了VBAT模式
- LSE可以配置为使用外部石英或谐振器，或者使用旁路模式引入外部时钟源
- **LSE上的CSS**: 适用于除了Shutdown和VBAT模式之外的所有模式,在复位下仍然有效.
- LSE可用于RTC, U(S)ARTs, LPUART, LPTIMs.

驱动等级	最大临界晶振跨导值($\mu\text{A/V}$)	功耗 (nA)
Low 驱动等级	0.5	250
Medium-low 驱动等级	0.75	315
Medium-high 驱动等级	1.7	500
High 驱动等级	2.7	630



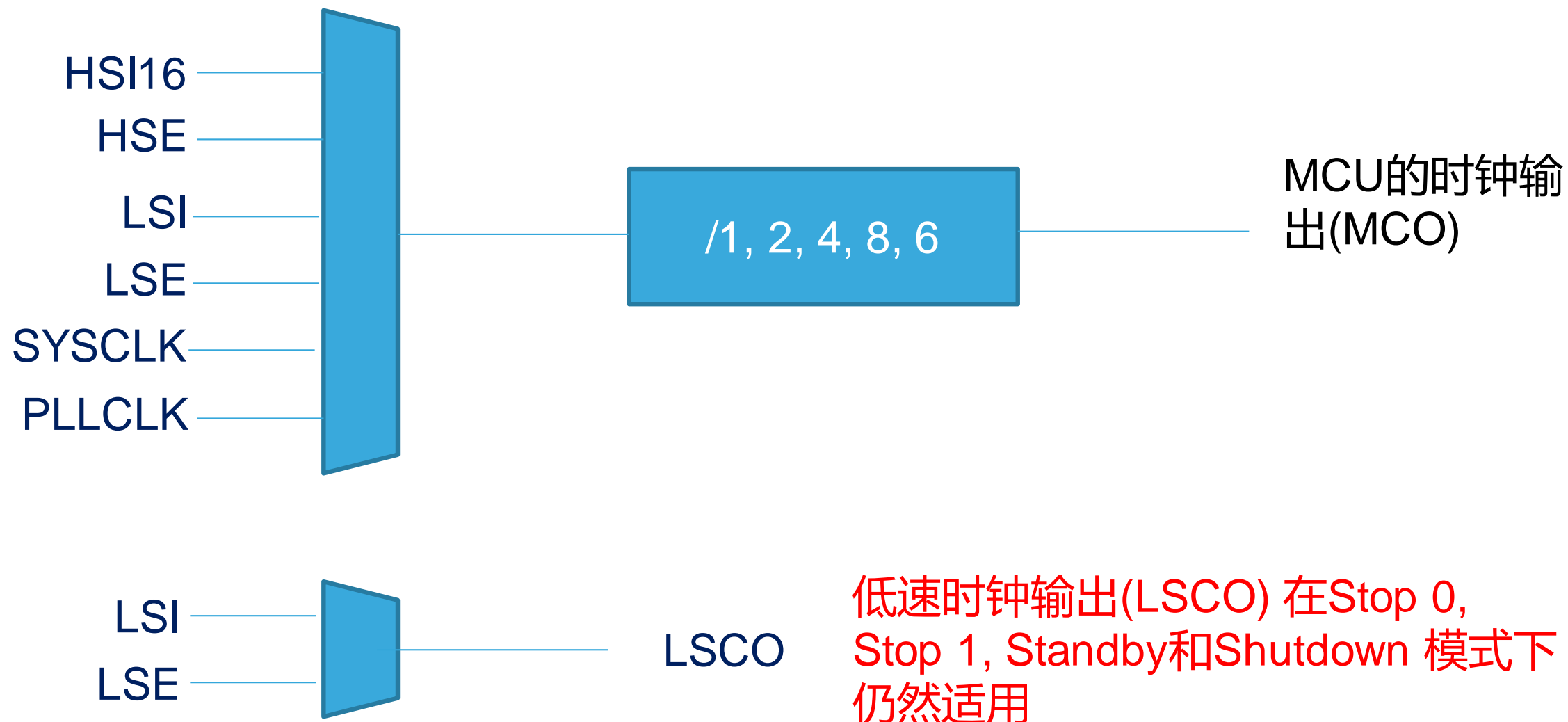
PLL 输出	细节
PLLPCLK	最大频率: 122MHz in voltage scaling Range 1, 40MHz in R2, ADC, I2S1
PLLQCLK	最大频率: 112MHz in R1, 32MHz in R2, RNG, TIM1,TIM15
PLLRCLK	最大频率: 56MHz in R1, 16MHz in R2 SYSCLK

- 可以在HSI16/HSE/PLL之中选择
- 系统时钟, AHB 和APB 最大时钟频率: 64MHz

电压范围	SYSCLK	HSI16	HSE	PLL
范围 R1	最大64 MHz.	16 MHz	48 MHz	VCO 最大= 344 MHz
范围R2	最大16 MHz.	16 MHz	26 MHz	VCO 最大 = 128 MHz
Low-power run/sleep	最大2 MHz.	允许	允许并分频	不允许

时钟输出能力

34



• LP Run 和 LP Sleep模式下的动态功耗优化

- 外设时钟使能寄存器

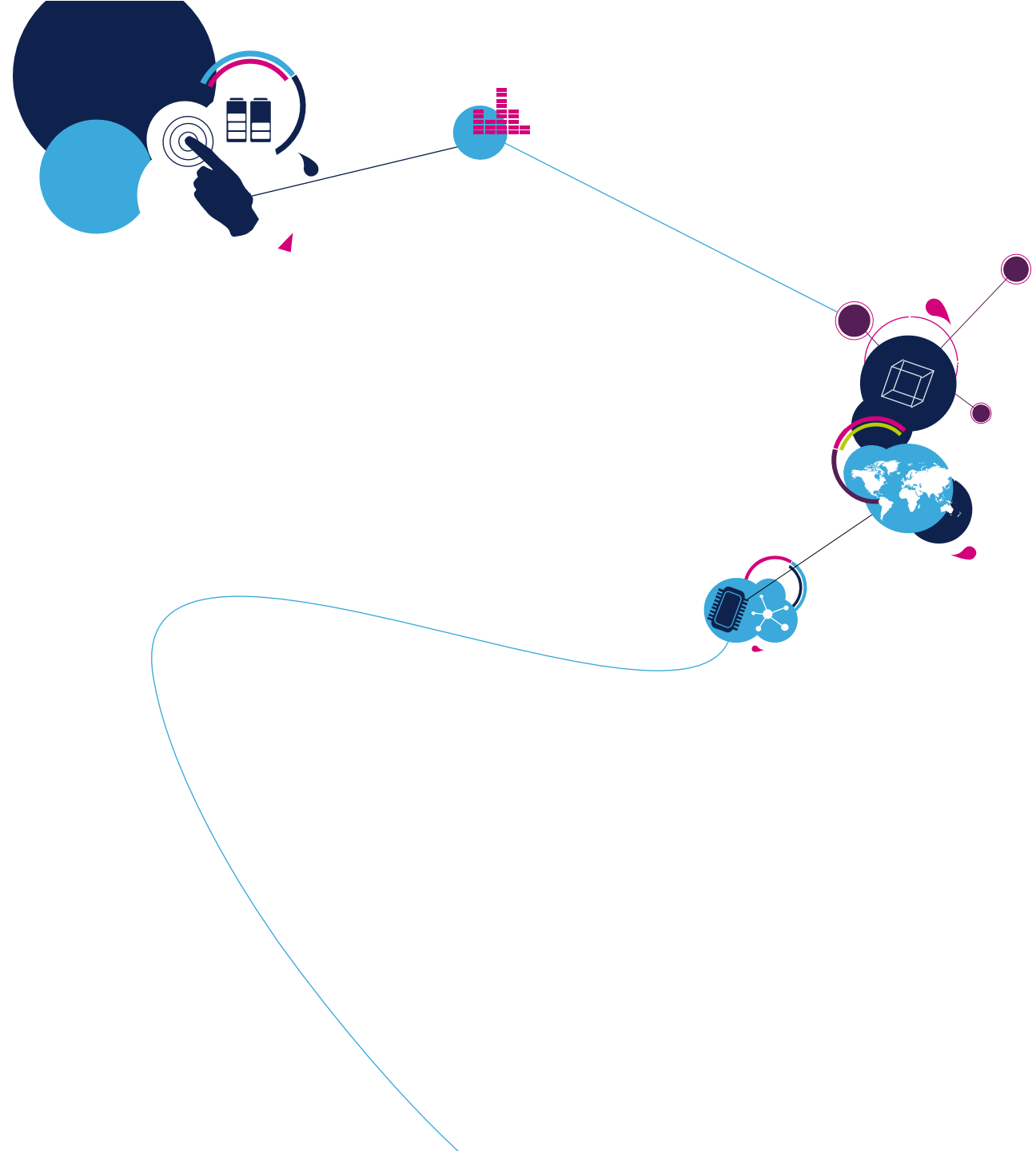
- 外设时钟默认关闭 (除了Flash的时钟)
- 时钟关闭的情况下, 不支持寄存器的读写操作.

注意: SRAM 在Run/LP Run 模式下始终使能

- Sleep和Stop模式下的外设时钟使能寄存器

- 在Sleep, LP Sleep, Stop 0/1 模式下可以使能或禁止外设时钟
 - 如果相应的外设时钟被 Disable 则这个外设不能使用
 - 同时控制总线和内核的时钟
 - 对 Sleep和Stop模式有影响(用于在Stop模式下激活独立时钟的外设)
- 注意: SRAM 时钟在Sleep/LP Sleep模式下默认是使能的

STM32G0 - Flash



与STM32F0的主要区别

69

- 与F0类似，主要的接口区别如下

	STM32F0	STM32G0
指令缓存	No	16 字节
OTP区	No	1K字节
快速烧录	No	Yes
PCROP + 安全存储区域	No	Yes
ECC 纠错	No	Yes

安全存储区域(Securable Memory Area) 目前只在H7和G0中存在.

- STM32G0一个bank就嵌入了高达128KB的FLASH.
- Flash接口管理所有访问(读, 写, 擦除), 存储保护, 安全 和选项字节编程.

运用优势

- 高性能低功耗
- 小的擦除粒度
- 短的烧录时间
- 安全和保护

- 单bank高达128 K字节.
- 2 K字节的页面粒度
- 快速擦除 (22 ms)和快速烧录时间(85 μ s 双字)
- 预取指和指令缓存
- 错误代码纠错 (ECC): 每64位双字就有8位纠错码对应
 - 单错误检测和纠错
 - 双错误检测会产生一个NMI 中断

FLASH的组织结构如下:

- 一个主内存块包含64个页面,每个页面2 K字节.
- 一个信息块包含:
 - **为ST bootloader保留的系统内存.**
 - **OTP** (一次性可编程) 1 K字节 (128 双字) 用于用户数据.
 - OTP区域中的数据无法擦除, 只能写入一次
 - **选项字节**用于用户配置.

Flash区域	Flash存储器地址	大小	名称
Main memory	0x0800 0000 – 0x0800 07FF	2 Kbytes	Page 0

	0x0801 F800 – 0x0801 FFFF	2 Kbytes	Page 63
Information block	0x1FFF 0000 – 0x1FFF 6FFF	28 Kbytes	System memory
	0x1FFF 7000 – 0x1FFF 73FF	1 Kbyte	OTP area
	0x1FFF 7800 – 0x1FFF 787F	128 bytes	Option bytes

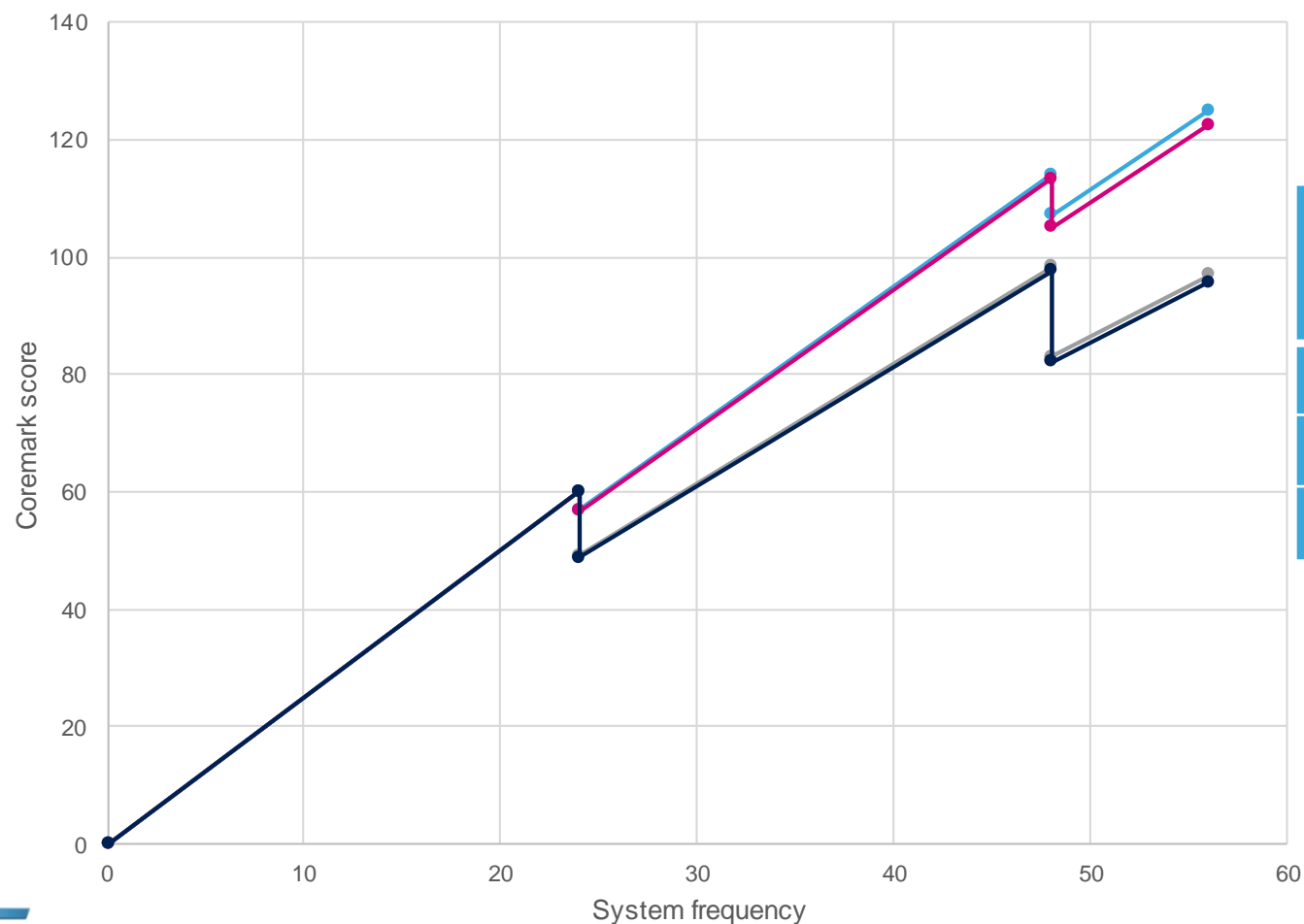
闪存保持(设计期望)

74

耐力	10 Kcycles 最小 @ -40 to +105°C
数据保持	30 年 10 Kcycles 在 55 °C 15 年 10 Kcycles 在 85 °C 10 年 10 Kcycles 在 105 °C 30 年 1 Kcycle 在 85 °C 15 年 1 Kcycle 在 105 °C 7 年 1 Kcycle 在 125 °C

FLASH加速器

76



具有 0, 1 和 2 等待周期的性能 (CorkMark /MHZ)

	预取指 + 缓存	预取指	缓存	没有加速 器
0WS	2.5064	-	-	-
1WS	2.3755	2.3629	2.048	2.0331
2WS	2.2325	2.1882	1.7314	1.71024

—●— Prefetch ON Cache ON

—●— Prefetch ON Cache OFF

—●— Prefetch OFF Cache ON

—●— Prefetch OFF Cache OFF

tbd Coremark / MHz

由于预取指和缓存的关系,FLASH性能几乎和频率呈线性关系.

2,23 CoreMark / MHz (缓存 ON, 预取指 ON) => 125 CoreMark at 56 MHz

		ART 加速器 ON (缓存 On, 预取指 On)
范围 1 @ 64 MHz (2 等待周期)	功耗 (uA/MHz)	94
	性能 (CoreMark/MHz)	2,23
	能效 (CoreMark/mA)	23,5
范围 2 @ 16 MHz (1 等待周期)	功耗 (uA/MHz)	90
	性能 (CoreMark/MHz)	2,37
	能效 (CoreMark/mA)	26,2

根据用户需求提供灵活的FLASH保护

- **读保护 (RDP)**

当从SRAM启动或者选择Bootloader时, 禁止通过调试接口(SWD)去访问Flash/SRAM/备份寄存器.

- **专有代码保护 (PCROP)**

- 2 个区域512字节粒度. 用于保护特定代码区域免受任何读取或写入访问. 代码只能被执行.

- **写保护(WRP)**

- 2个区域2K字节粒度. 用于保护特定代码区域免受不必要的写访问和擦除.

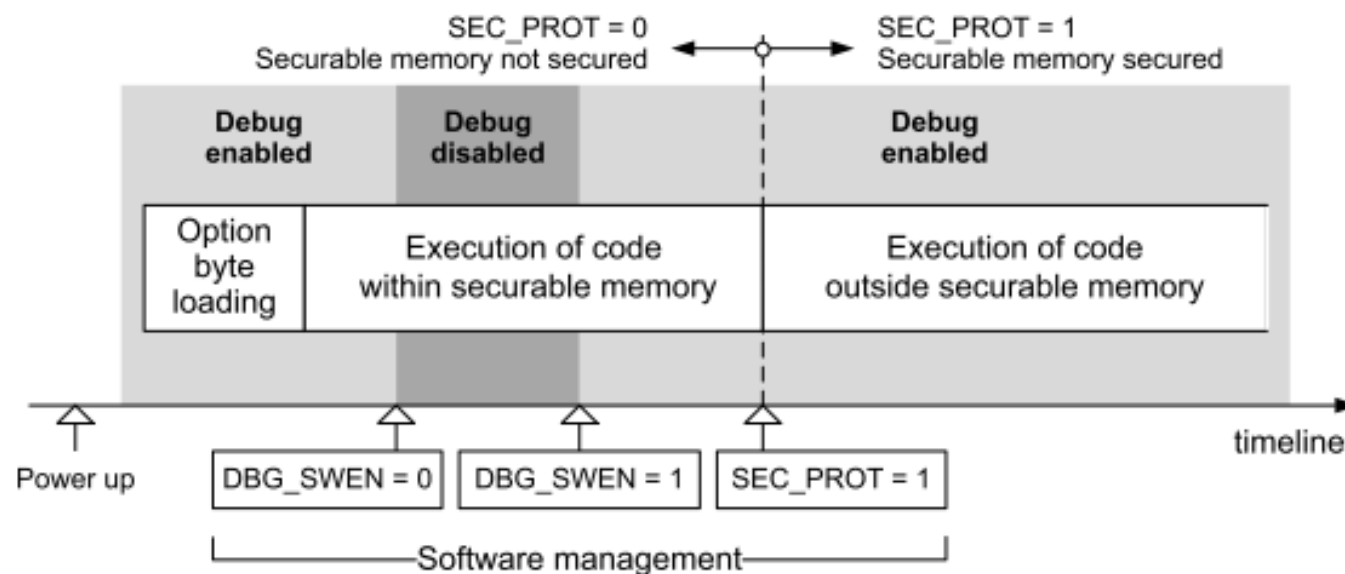
根据用户需求提供灵活的闪存保护

- 安全存储区域

- 激活后, 对安全存储区(预取, 读取, 烧录, 擦除) 的任何访问都将被拒绝, 从而产生总线错误.

- 禁止内核调试访问

- 在安全存储区中运行代码时, 暂时停止调试访问



SEC_PROT=1 使能安全存储区域
DBG_SWEN=0 禁止调试接口

用户选项字节加载:

- 电源复位后(POR/BOR 或从Standby/Shutdown模式退出后)
- 当OBL_LAUNCH位在Flash控制寄存器 (*FLASH_CR*)设置时.

选项	描述
BORR_LEV[1:0]; BORF_LEV[1:0]; BOR_EN	欠压复位上升沿和下降沿阈值电平和使能位
nRST_STOP; nRST_STDBY; nRST_SHDW	当进入Stop/Standby/Shutdown模式时产生复位
WWDG_SW; IDWG_SW IWDG_STOP; IWDG_STDBY	硬件/软件窗口看门口 / 独立看门狗 在Stop/Standby模式下,独立看门狗的计数会被冻结/不冻结
nBOOT0, nBOOT1 nBOOT_SEL	通过Boot0引脚或选项位进行引导配置
RAM_PARITY_CHECK	SRAM 奇偶校验控制使能
IRHEN, NRST_MODE	内部复位保持功能和复位焊盘配置

用户选项字节 (安全性)

82

选项	描述
RDP[7:0]	读保护保护等级
PCROPA_STRT[8:0] PCROPA_END[8:0] PCROPB_STRT[8:0] PCROPB_END[8:0]	PCROP 区域 A 起始偏移地址 PCROP 区域 A 结束偏移地址 PCROP 区域 B 起始偏移地址 PCROP 区域 B 结束偏移地址
PCROP_RDP	PCROP 区域保留 当RDP等级下降时
WRP1A_STRT[7:0] WRP1A_END[7:0] WRP1B_STRT[7:0] WRP1B_END[7:0]	写保护区域 A 起始偏移地址 写保护区域 A 结束偏移地址 写保护区域 B 起始偏移地址 写保护区域 B 结束偏移地址
SEC_SIZE	安全存储区域的大小
BOOT_LOCK	强制从用户区启动 – 仅大批量擦除

引导模式配置					选定的引导区域
BOOT_LOCK位	nBOOT1位	BOOT0 脚	nBOOT_SEL位	nBOOT0位	
0	x	0	0	x	Flash memory
0	1	1	0	x	System memory
0	0	1	0	x	嵌入的 SRAM
0	x	x	1	1	Main Flash memory
0	1	x	1	0	System memory
0	0	x	1	0	内嵌的 SRAM
1	x	x	x	x	强制从Main Flash memory

- BOOT_LOCK 强制从 Main Flash 启动
 - 无论启动选项如何配置都可以强制从 Main Flash 存启动

中断事件	描述
中断	
操作结束	当一个或多个闪存操作(烧录 /擦除)成功完成时由硬件置位
操作出错	当一个闪存操作 (烧录/擦除) 没有成功完成时由硬件置位.
读保护错误	当要读取的数据属于读保护的区域时 (PCROP保护)由硬件置位.
写保护错误	当要擦除/烧录的地址属于闪存的写保护区域时(通过WRP, PCROP或RDP Level 1 设置), 由硬件置位.
大小错误	当烧录或快速烧录序列中访问的大小时字节或半字时由硬件置位,只允许双字编程。
烧录序列错误	当要烧录的双字地址在烧录之前包含与'0xFFFF FFFF' 不同的值时, 由硬件置位, 除非要写入的数据为 '0x0000 0000'.

中断事件	描述
中断	
烧录对齐错误	在标准烧录的情况下,如果要烧录的数据不能包含在相同的双字 (64位t)闪存中,或者在快速烧录期间页面发生变化,则由硬件设置置位
快速烧录期间数据丢失错误	当新数据没有及时出现时,MISSERR位由硬件设置置位
快速烧录错误	当快速烧录序列(由FSTPG激活) 由于错误而被中断时由硬件设置置位
ECC 纠错	检测到并纠正1个ECC错误时由硬件设置置位
不可屏蔽中断(NMI)	
ECC 检测	检测到2个ECC错误时有硬件设置置位

从SRAM执行时的功耗优化

- FLASH接口**时钟**可以在Run/LP Run 和/或 Sleep/LP Sleep模式下关闭
 - FLASH时钟的配置在RCC寄存器
 - FLASH时钟默认是使能的
- 在LP Sleep, LP Run和Stop模式, FLASH可以配置为**Power-down**模式

各个低功耗模式下FLASH状态

87

模式	描述
Run	激活. 如果从SRAM执行代码则Flash时钟可以关闭
Sleep	激活. 外设中断可以使器件从Sleep模式中退出. Flash 时钟在Sleep模式时可以关闭.
LP Run	激活. 如果从SRAM执行代码并且Flash处于掉电模式, 则可以关闭Flash时钟
LP Sleep	激活. 外设中断可以使设备从低功耗sleep模式中退出. 在低功耗睡眠的模式下, 可以关闭闪存时钟, FLASH可以置于掉电模式
Stop 0/Stop 1	Flash时钟关闭. 外设寄存器的内容保持. FLASH可以置于掉电模式.
Standby	掉电. 从Standby模式退出后, FLASH接口必须重新初始化.
Shutdown	掉电. 从Shutdown模式退出后, FLASH接口必须重新初始化.



STM32G0 与 STM32F0 USART

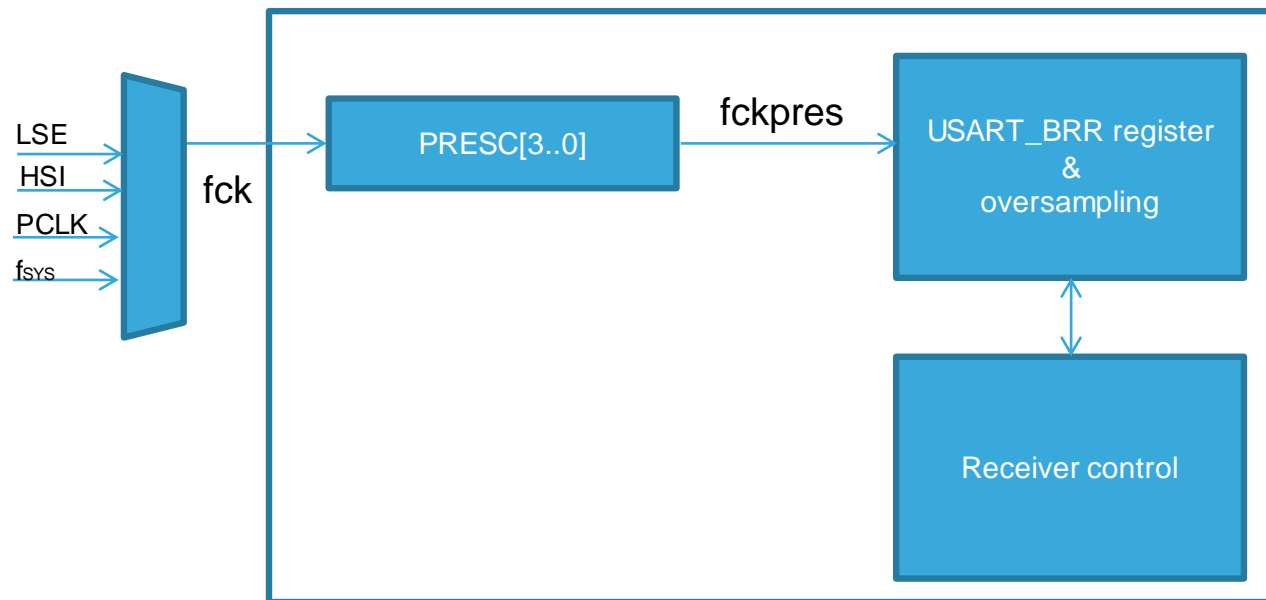
- STM32G0 USART 和STM32F0 USART类似,增加了一些新的特性.
- STM32G0 USART的更新
 - 时钟分频器
 - SPI从模式
 - 2 FIFO缓存: RXFIFO 和 TXFIFO



完全继承了L4+的更新!

时钟分频

- USART的时钟源fck可以除以USARTx_PRESC寄存器中的可编程因子
- 如果PRESC[3..0]= 0,那么fck = fckpres



PRESC[3:0]: clock prescaler

0000: input clock not divided

0001: input clock divided by 2

0010: input clock divided by 4

0011: input clock divided by 6

0100: input clock divided by 8

0101: input clock divided by 10

0110: input clock divided by 12

0111: input clock divided by 16

1000: input clock divided by 32

1001: input clock divided by 64

1010: input clock divided by 128

1011: input clock divided by 256

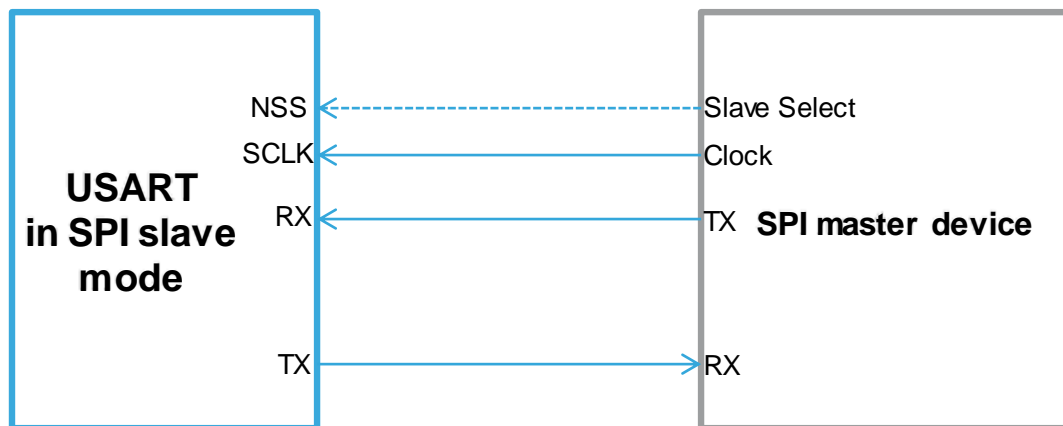
Other combinations: Reserved.

同步通信SPI从模式

- USART可用于控制从机模式下的同步串行通信.
 - 全双工或单纯的同步传输从机操作
 - NSS 管理 (仅在SPI从机模式).
 - 7- , 8- 或 9-位 传输帧格式选择
 - 可编程的时钟极性和相位
 - 可编程的数据顺序MSB优先或LSB优先
 - 具有中断功能的专用传输和接收标志
 - 状态标志
 - 具有DMA功能的发送和接收缓冲器: Tx和Rx请求
 - 发送欠载(underrun)标志 (仅在SPI从模式).

SPI 从模式

- SPI从机通讯需要:
 - SCLK :串行时钟输入
 - RX :SPI 从接收
 - TX :SPI 从发送
 - NSS :从选择 (和nCTS共用一个引脚)



- 从选择(NSS)引脚管理
 - 软件 NSS 管理:
 - 当DIS_NSS = 1时选中
 - 始终选择SPI从设备,NSS输入引脚状态将被忽略.并且可以自由的用于其他应用.
 - 硬件 NSS 管理:
 - 当DIS_NSS = 0时选中
 - SPI 从机选择取决于NSS输入引脚的电平:
 - 如果低: SPI 从是选中的
 - 如果高: SPI 是释放的.
- SPI 从机underrun错误

FIFO (1/5)

- 两个 FIFO 缓冲区,深度为8个字节: 发送缓冲(TXFIFO)和接收缓冲(RXFIFO)
- 缓冲不适用于IrDA和LIN 模式.所有其他模式都支持.
- 能够通过软件使能/禁止FIFO缓冲.
- 能够使用RXFRQ和TXFR来flush缓冲:
- FIFO阈值配置
- 双时钟域: TXFIFO和RXFIFO在USART内核时钟域中 → 支持停止模式下的发送/接收.

FIFO (2/5)

- 状态标志,及其相应的中断使能位.
 - RXFF - RXFIFO 满
 - RXFNE - RXFIFO 非空(RXNE 当 FIFO关闭)
 - TXFE - TXFIFO 空
 - TXFNF - TXFIFO 非满 (TXE 当 FIFO 关闭)
 - TXFT - TXFIFO 达到阈值
 - RXFT - RXFIFO 达到阈值

FIFO – 阈值 (3/5)

- FIFO阈值用于避免从STOP模式唤醒时出现欠载/溢出问题.
- RXFIFO/TXFIFO 阈值可使用USARTx_CR3 寄存器中的RXFTCFG和TXFTCFG 比特位配置.
 - TX/RXFTCFG = “000” => FIFO 达到1/8 深度. (默认)
 - TX/RXFTCFG = “001” => FIFO达到1/4 深度.
 - TX/RXFTCFG = “010” => FIFO达到1/2深度.
 - TX/RXFTCFG = “011” => FIFO达到3/4深度.
 - TX/RXFTCFG = “100” => FIFO达到7/8深度.
 - TX/RXFTCFG = “101” => FIFO达到100%深度.

FIFO –从stop模式下唤醒 (4/5)

- 使用从以下生成的异步中断可以从停止模式下唤醒:
 - RXFIFO 满 (RXFF)
 - TXFIFO 空 (TXFE)
 - RXFIFO达到编程阈值(RXFT)
 - TXFIFO 达到编程阈值(TXFT)

LPUART 新特性

- STM32G0 LPUART 具有与STM32L0/L4 LPUART相同的规格,并带有一些附加的功能特性.
- STM32G0 LPUART上的更新
 - 时钟分频
 - 2 个缓冲FIFO: RXFIFO 和 TXFIFO

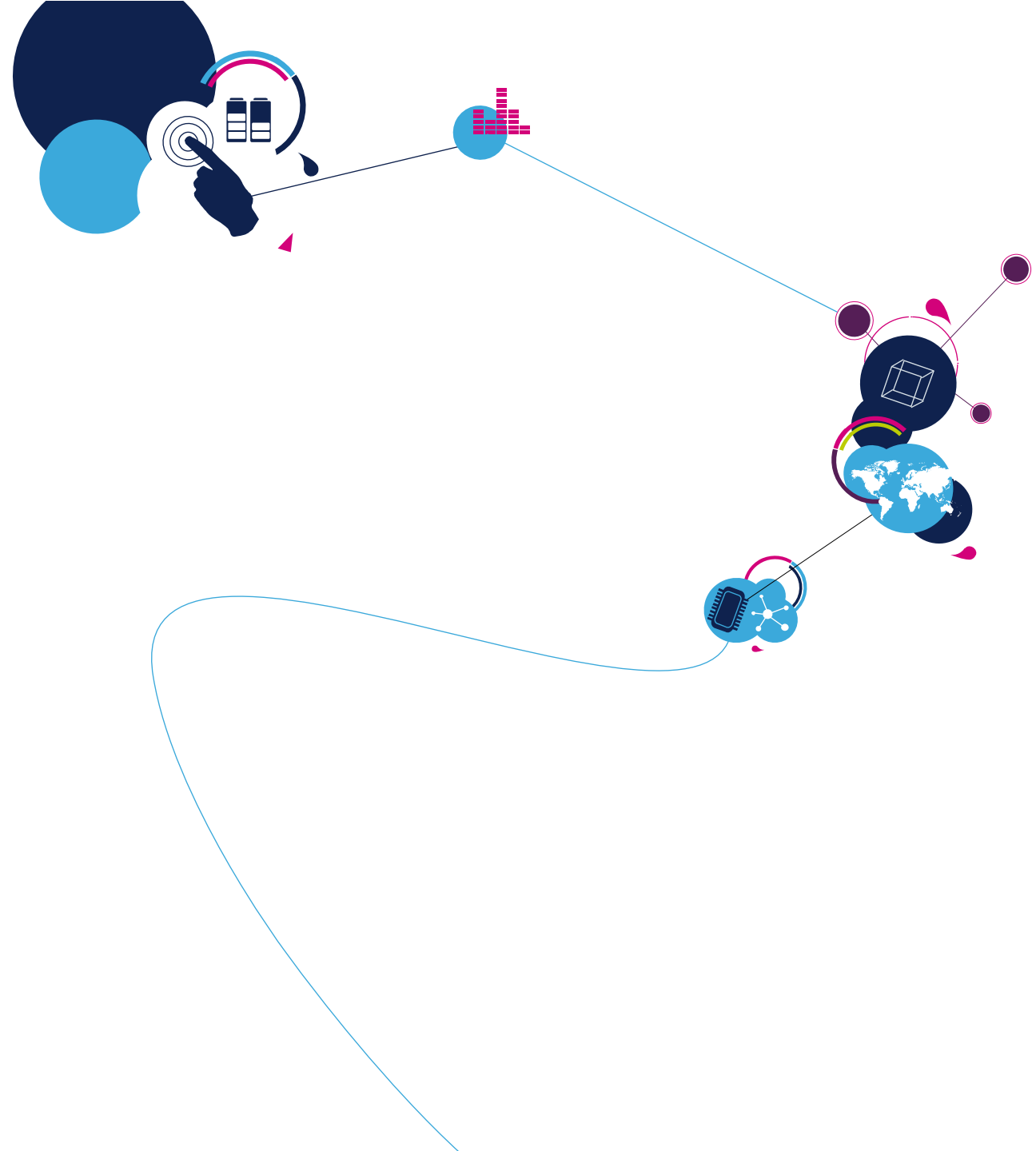
STM32G0 USART/LPUART 特性 (1/2)

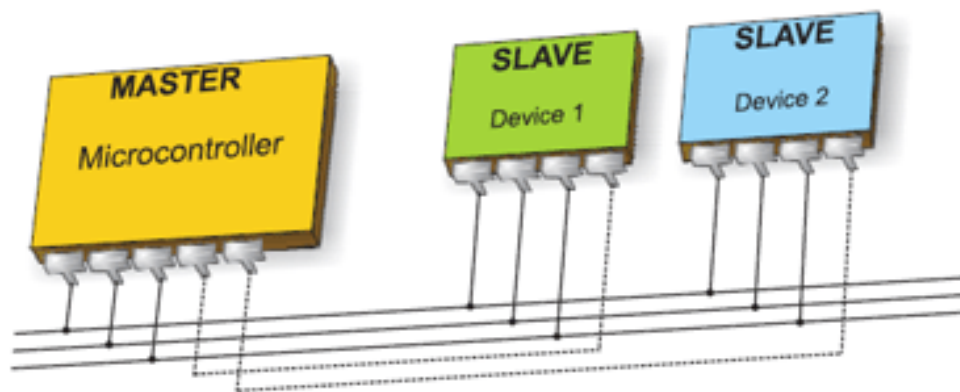
USART 特性	USART1/2	UART3/4	LPUART
调制解调器的硬件流控制	X	X	X
多处理器通信	X	X	X
同步模式(Slave /Master)	X	X	-
智能卡模式	X	-	-
单线半双工通信	X	X	X
IrDA SIR ENDEC	X	-	-
LIN 模式	X	-	-
双时钟域和从停止模式唤醒	X	-	X
接收器超时	X	-	-
自动比特率检测	X	-	-
驱动使能(RS485 Driver Enable)	X	X	X

STM32G0 USART/LPUART 特性 (2/2)

USART 特性	USART1/2	UART3/4	LPUART
数据长度	7, 8 和 9 位		
TX/RX FIFO	X	-	X
TX/RX FIFO 大小 (字节)	8	-	8

STM32G0 - SPI





- 对于SPI, STM32G0和STM32F07x, STM32F09x and STM32F04x一样. 还实现了一些小增强.

运用优势

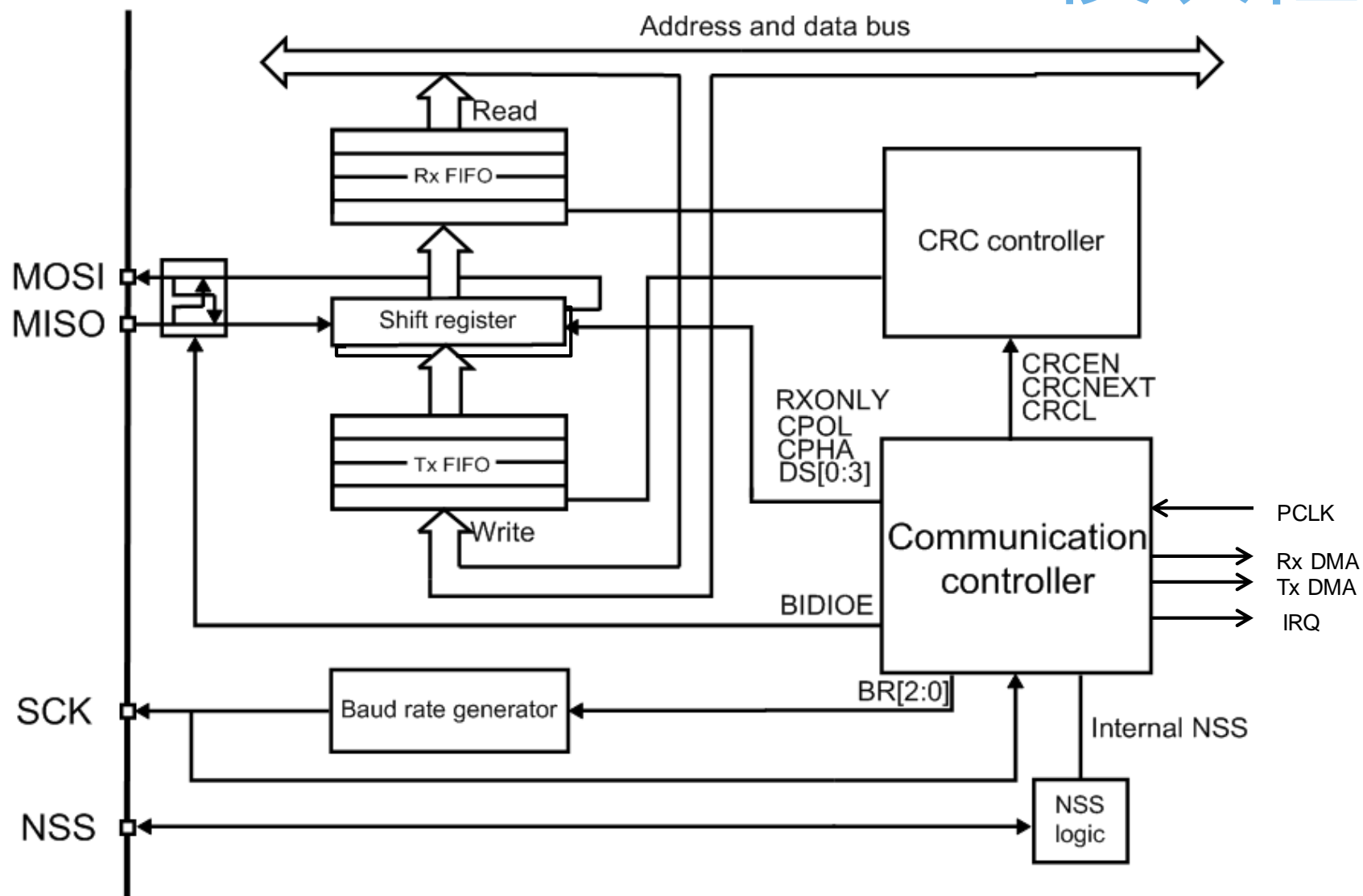
- 简单的串行通信接口
 - 高度可配置
 - 支持标准的同步协议

- 仅需要少数引脚
- 使外部组件和MCU连接简单

- 操作模式
 - 主或从(支持多主和多从)
 - 全双工, 单向或半双工
 - 支持Motorola和TI标准
- 操作时钟高达 $f_{PCLK}/2$
 - 最小接口需要2根线
 - 可配置数据和时钟格式
 - 额外的协议层支持 (Tx 和 Rx FIFOs, DMA, CRC)
 - 具有各种中断事件及标志

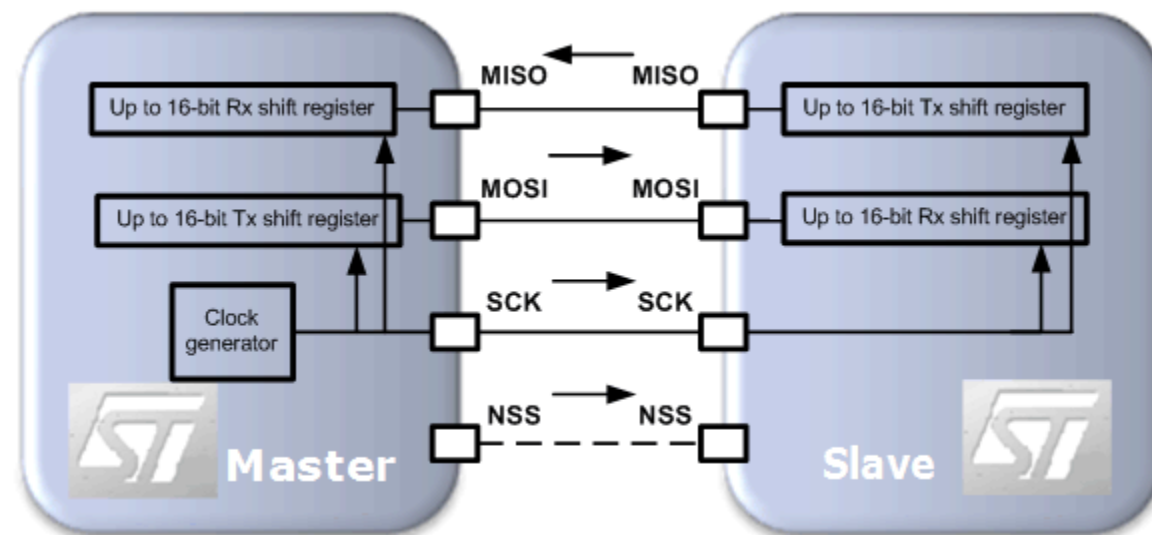
模块框图

131



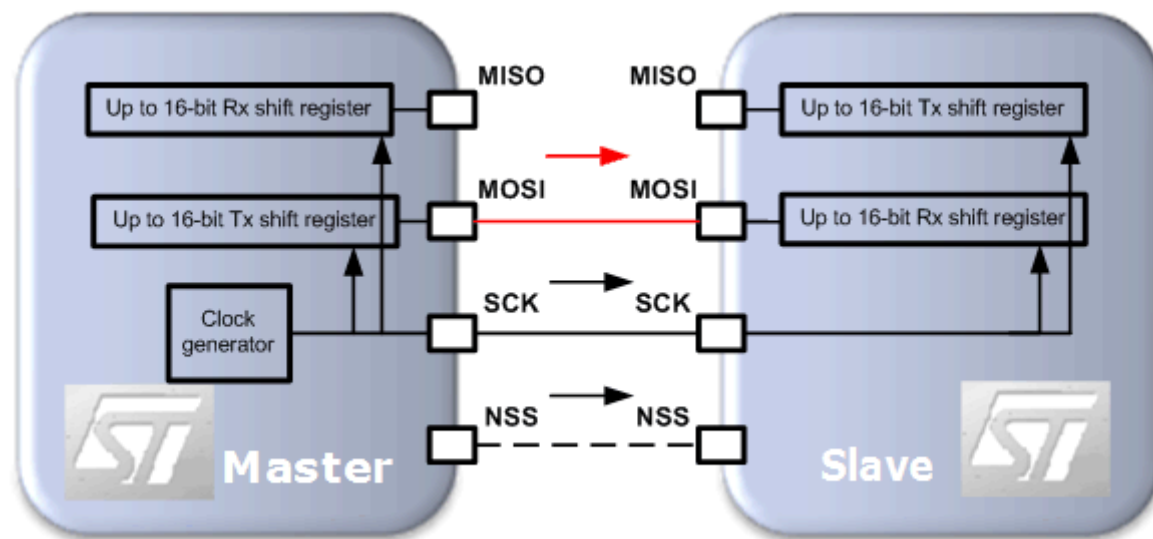
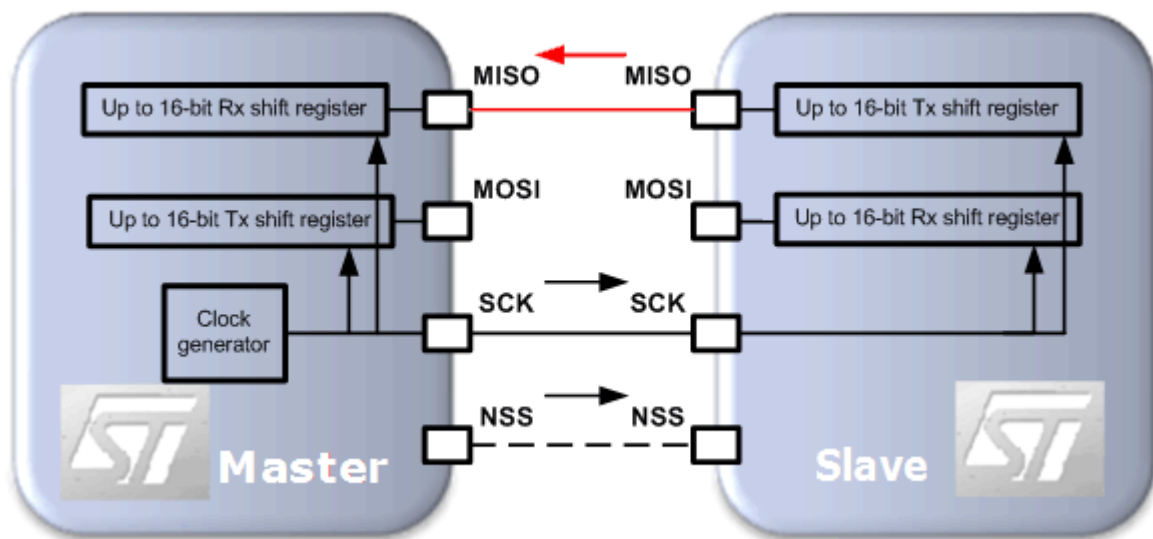
- 支持各种主-从互联

- 主控始终提供时钟
- 数据可以在两个方向上并行交换
- 全双工模式** (双向通信)
主和从发送器可以同时发送和接收数据。



- 支持各种主-从互联

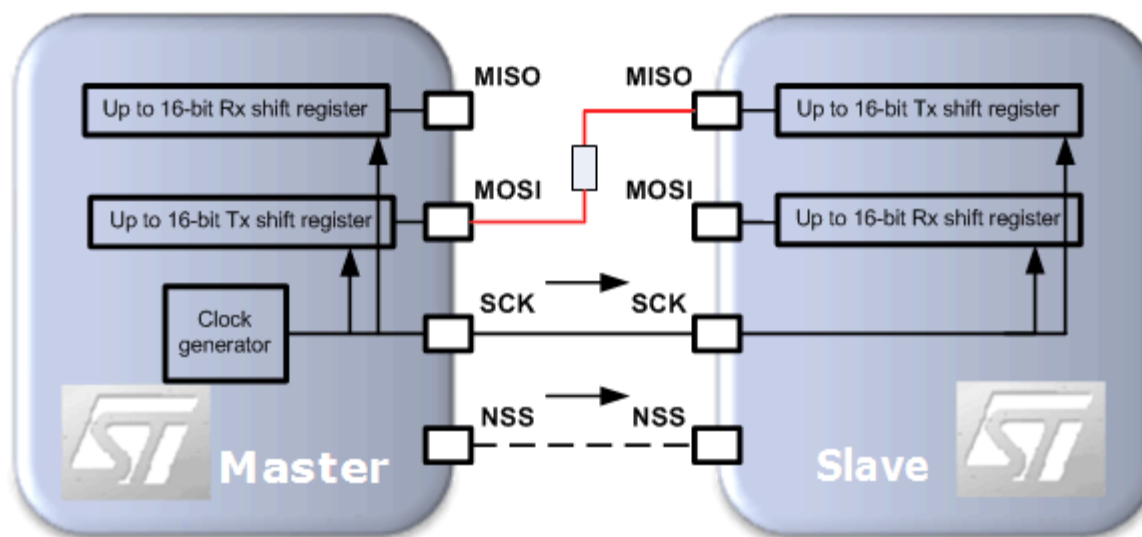
- 单向模式 (单向通信)**
一个节点是发送器而另一个节点是接收器



- 支持各种主-从互联

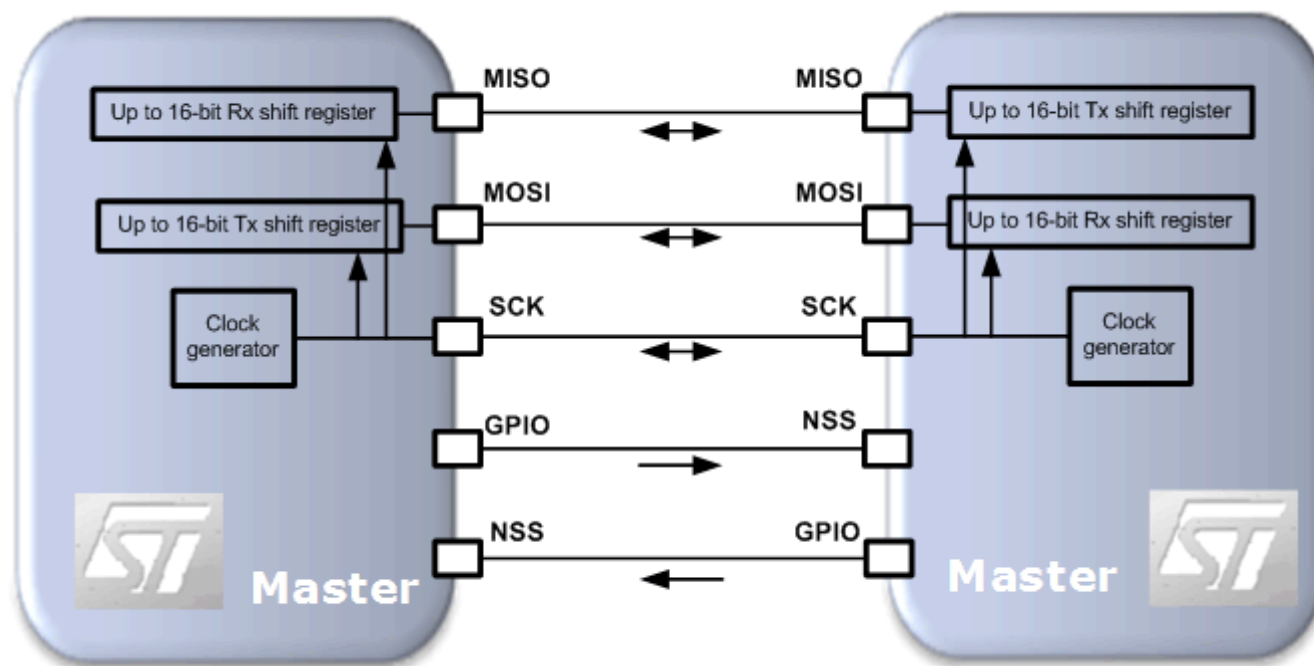
- 半双工模式(准双向通信)**

主设备和从设备同步交替进行数据发送和接收. 主从设备共用一条线进行数据传输.



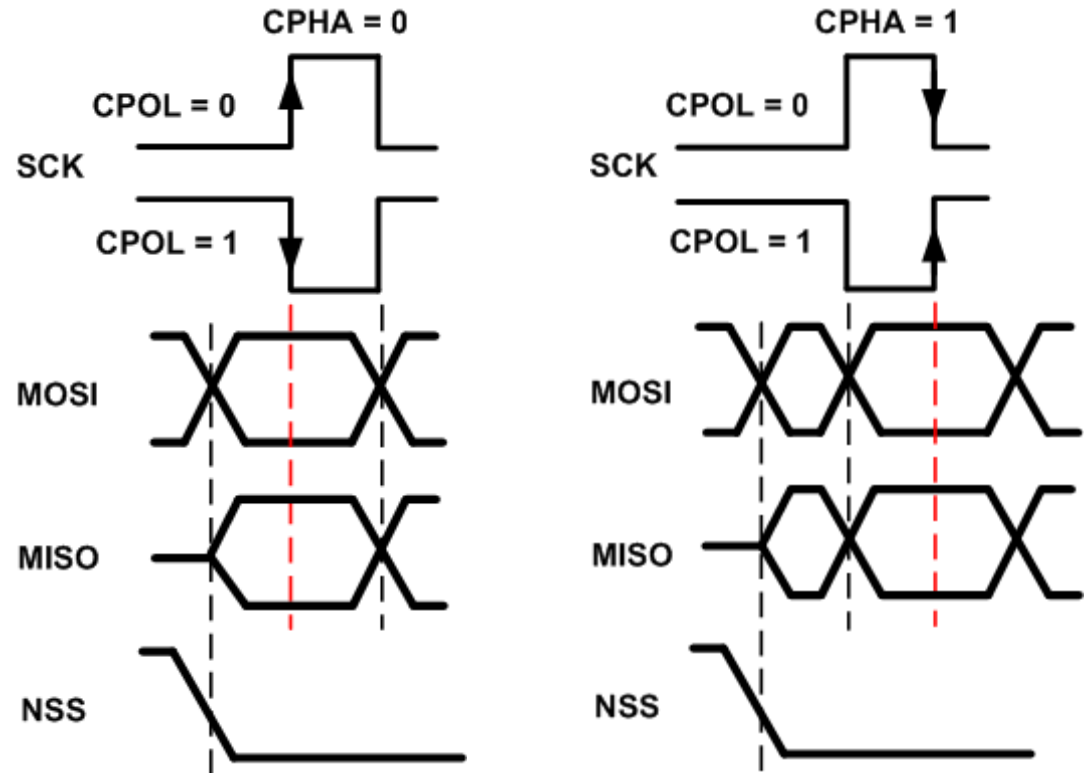
支持多主的拓扑结构

- 多主: 两个具有主控功能的节点
 - 当总线处于空闲状态时,节点默认处于从机模式.
 - 当处理通信会话时,节点将自身切换到活动主节点以临时获取总线的控制权
 - 从选择引脚用作输入以检测潜在的总线冲突



完全可编程和灵活的格式

- 数据帧的大小
 - 从4位到16位
- 位移的顺序
 - MSB 或 LSB 优先
- 时钟设定(模式 0-3)
 - 空闲时极性是高或低
 - 在奇数或偶数边沿的采样



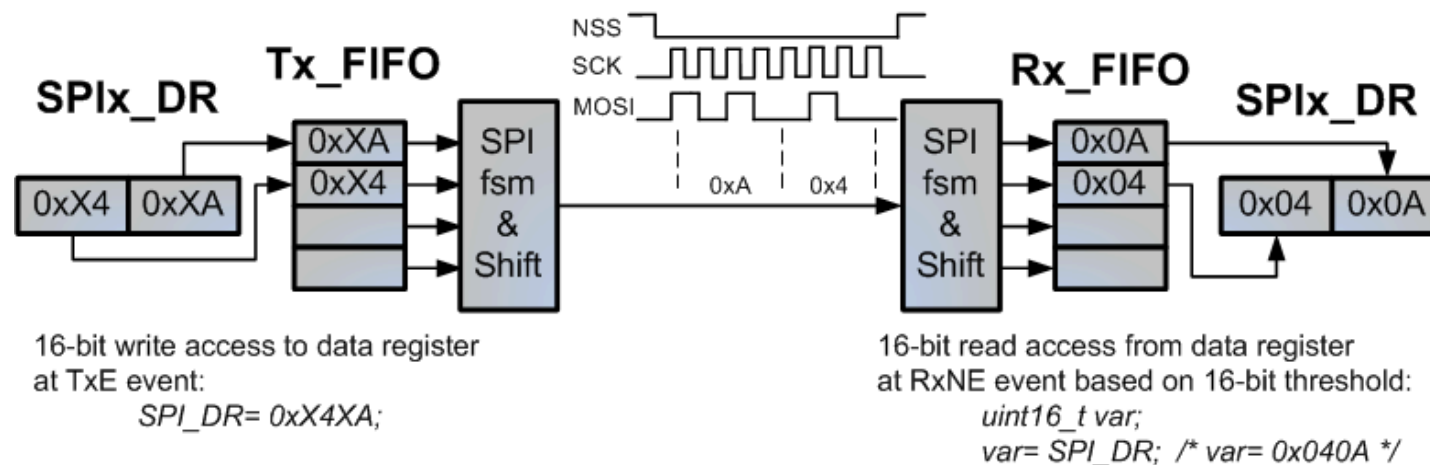
先进的CPU低负载控制

• 封包模式

- 可多个数据一起存入FIFO
- 可配置的FIFO阈值
- DMA访问

⇒ 事件数量和所需服务减少

⇒ 系统负载被降低



由于一次可将多个字节从FIFO写入/读取，配合一个合适的阈值设置，这样可以减少中断产生的次数，并有效降低CPU负载。

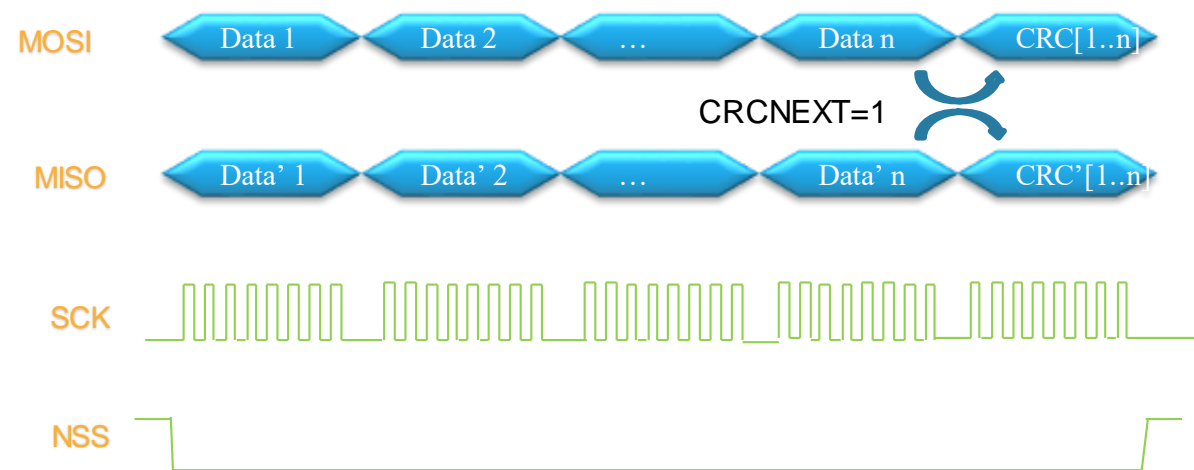
• 增强的DMA和CRC管理

• DMA 处理优势

- 确定数量的数据事务事件
- 传输结束后
 - CRC自动添加/检查
 - FIFO阈值控制

• CRC

- 用于独立计算接收和发送的数据流
- CRC样式在事务结束时发送:
 - 发送器将CRC结果直接发到数据移位寄存器中,
 - 接收方将CRC存储在Rx FIFO中,并将该值与内部计算进行比较



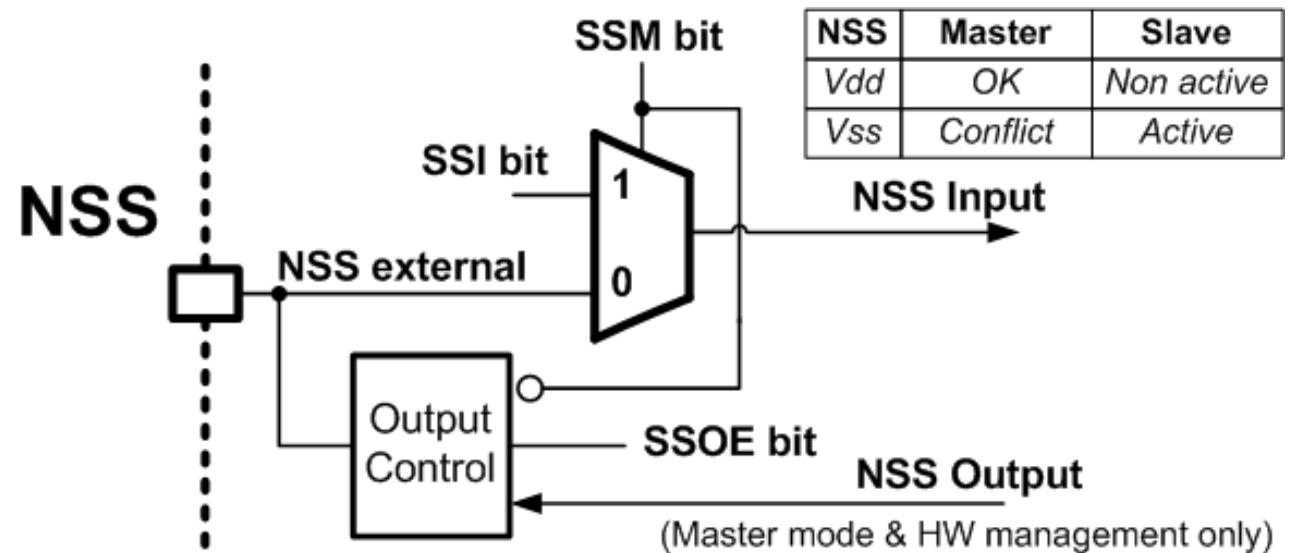
• 从选择信号(NSS)的增强管理

• NSS 输入

- 硬件或软件管理
- 从模式– 选择激活的从
- 主模式– 主主之间的冲突

• NSS 输出

- 主模式
 - 选择激活的从
 - 特定模式



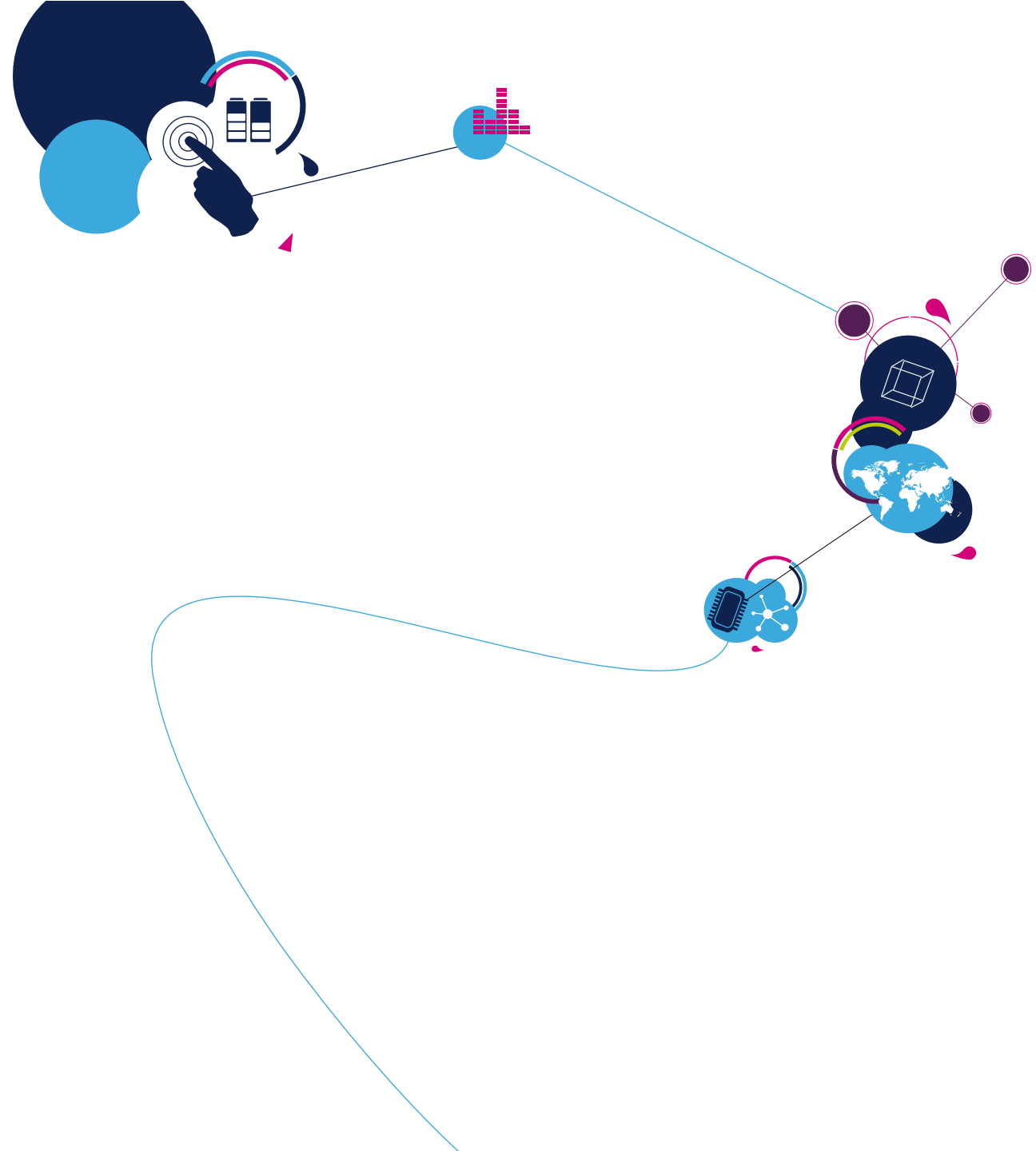
中断事件	描述
发送 FIFO 就绪	当TxFIFO就绪准备接收新数据时置位.
接收 FIFO 就绪	当数据被RxFIFO接收到了时置位.
主模式出错	当在多主总线配置下检测到总线冲突的时候置位.
数据溢出错误	接收方由于RxFIFO已满不能再接收下一个数据时置位.
TI 帧格式出错	NSS信号与数据格式不对应.

- 达到FIFO阈值时，可间接触发DMA请求.

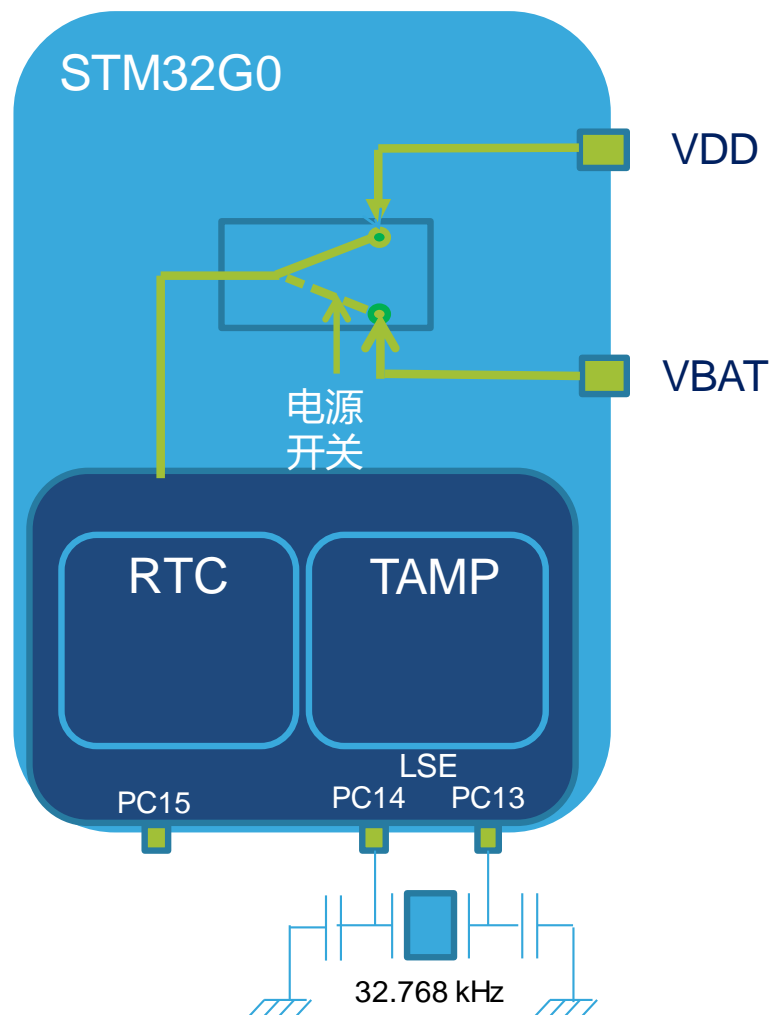
模式	描述
Run	激活.
Sleep	激活. 外设中断会让设备从Sleep模式退出
LP Run	激活.
LP Sleep	激活. 外设中断会让设备从低功耗Sleep模式退出
Stop 0	冻结. 外设寄存器内容被保持.
Stop 1	冻结. 外设寄存器内容被保持.
Standby	断电. 从Standby退出后外设必须重新初始化
Shutdown	断电. 从Shutdown退出后外设必须重新初始化

- 理论通信速率限制为PCLK/2
- 真实的通信速率取决于:
 - SPI 总线容性负载(设备的连接数目, 输入电容, 线缆的长度)
 - GPIO 内部参数, 其配置, VDD电平和环境温度
 - SPI 时钟信号占空比
 - 软件处理连续数据流的能力
- 真实性能
 - 主模式下最大速率– 40 MHz
 - 从模式下最大速率– 24 MHz

STM32G0 – RTC



- RTC的实现与STM32F0相同，有些轻微的改进:
- STM32G0 具有 2 个闹钟 A 和B, STM32F0只有闹钟 A
- STM32G0 将Tamper IP 与RTC分开,在STM32F0上Tamper仍然是RTC IP的一部分.



- RTC在所有低功耗模式下提供带有报警的超低功耗硬件日历.
- 属于电池备份域,因此主电源关闭时仍然保持功能
- TAMP外设具有备份寄存器和篡改检测功能.

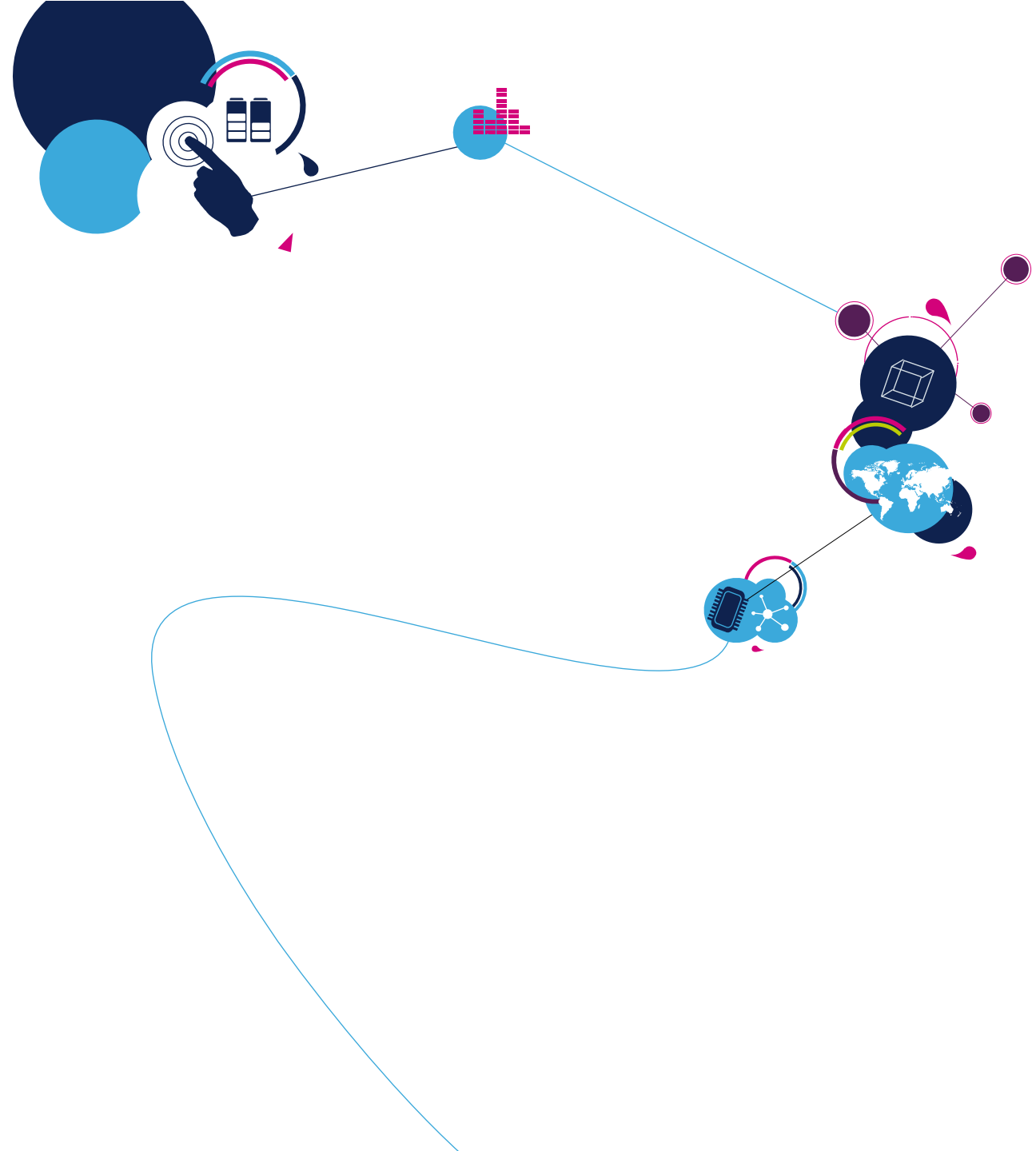
运用优势

- 超低功耗: 290 nA 在1.8 V
- 硬件 BCD日历可以降低软件负载

- BCD格式的亚秒,秒 ,分,时,工作日,日期, 月,年
- 运态可编程且夏令时补偿
- 2个可编程闹钟，具有唤醒中断功能
- 具有可编程时间间隔的周期性中断，可触发唤醒中断
- 参考时钟源 (50或60 Hz)可用于加强日历的精确度
- 数据校准电路可实现0.95 ppm的精度
- 用于事件保存的时间戳功能，具有亚秒级精度(1个事件)

STM32G0 – ADC

G0与F0 ADC对比



两种扫描排序方式:

- 序列器不完全配置: 序列顺序由通道号决定.
 - 序列长度可以高达19个通道
 - 序列方向: 扫描序列可以是正向(SCANDIR=0:从最低通道号到最高通道号)或反向(SCANDIR=1:从最高通道号到最低通道号)
 - 任何一个通道都可以放入到该序列中
- 序列器完全配置: (在ADC_CFGR1寄存器中必须置位CHSELRMOD 位)
 - 序列长度高达8个通道
 - 序列顺序与通道号无关. 任一顺序可以通过寄存器ADC_CHSELR 中的SQ1[3:0] 到SQ8[3:0]比特位编程.
 - 该序列中只有0~14号通道可被选择
 - 如果序列器检测到SQx[3:0] 的值为0'b1111时, 则序列器扫描的通道结束.
 - 如果序列器没有检测到SQx[3:0] 的值为0'b1111时, 则序列器会扫描全部8个的通道.

- 模拟看门狗1:
 - 可以监测一个选中的通道或者所有使能的通道
- 模拟看门狗2 和 3:
 - 可以监测在ADC_AWDxCR寄存器中选中的通道

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD2 CH18	AWD2 CH17	AWD2 CH16
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD2 CH15	AWD2 CH14	AWD2 CH13	AWD2 CH12	AWD2 CH11	AWD2 CH10	AWD2 CH9	AWD2 CH8	AWD2 CH7	AWD2 CH6	AWD2 CH5	AWD2 CH4	AWD2 CH3	AWD2 CH2	AWD2 CH1	AWD2 CH0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:19 Reserved, must be kept at reset value.

Bits 18:0 **AWD2CHx**: Analog watchdog channel selection

These bits are set and cleared by software. They enable and select the input channels to be guarded by analog watchdog 2 (AWD2).

0: ADC analog channel-x is not monitored by AWD2

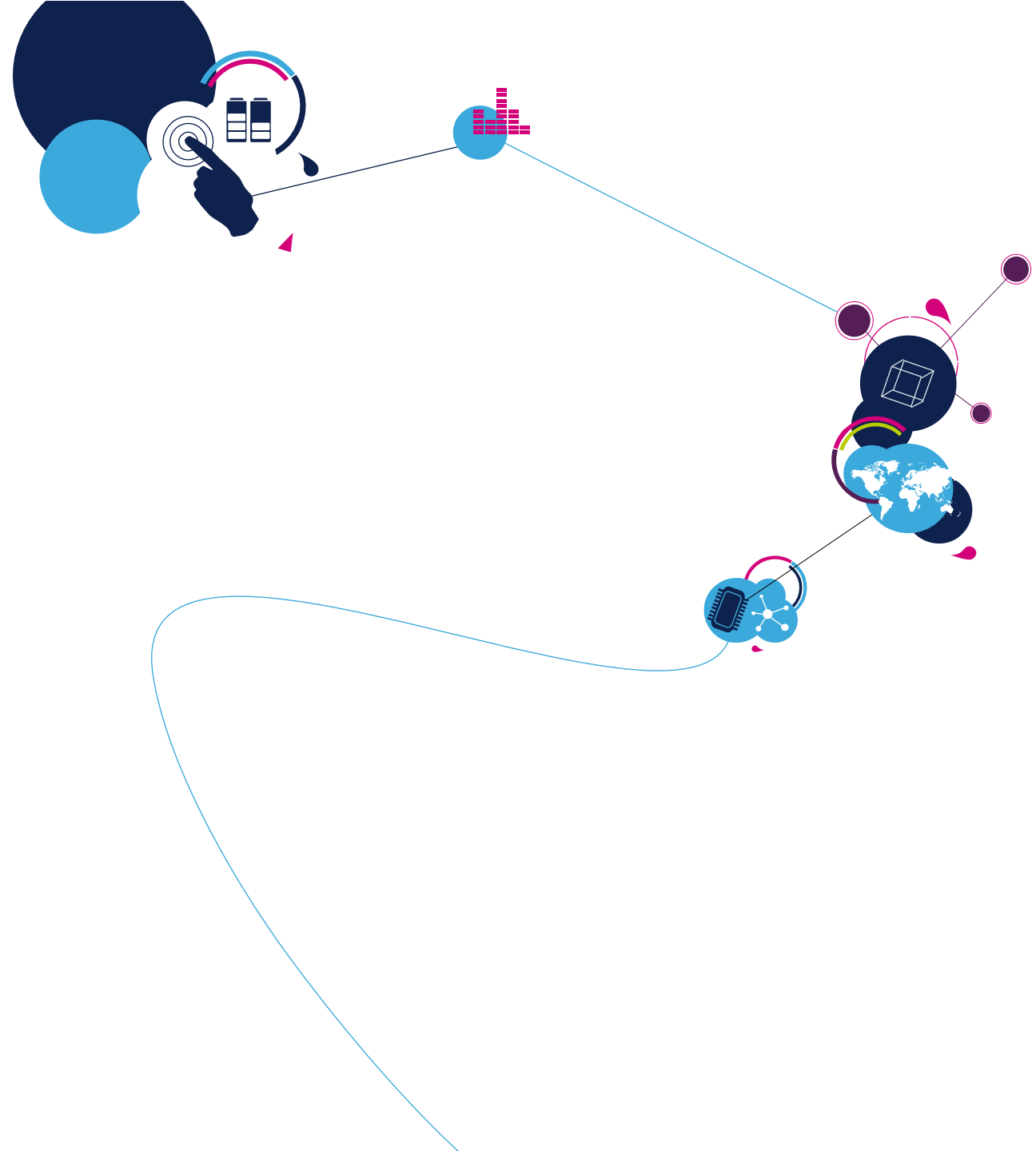
1: ADC analog channel-x is monitored by AWD2

Note: The channels selected through ADC_AWD2CR must be also configured into the ADC_CHSELR registers. Refer to SQ8[3:0] for a definition of channel selection. The software is allowed to write this bit only when ADSTART=0 (which ensures that no conversion is ongoing).

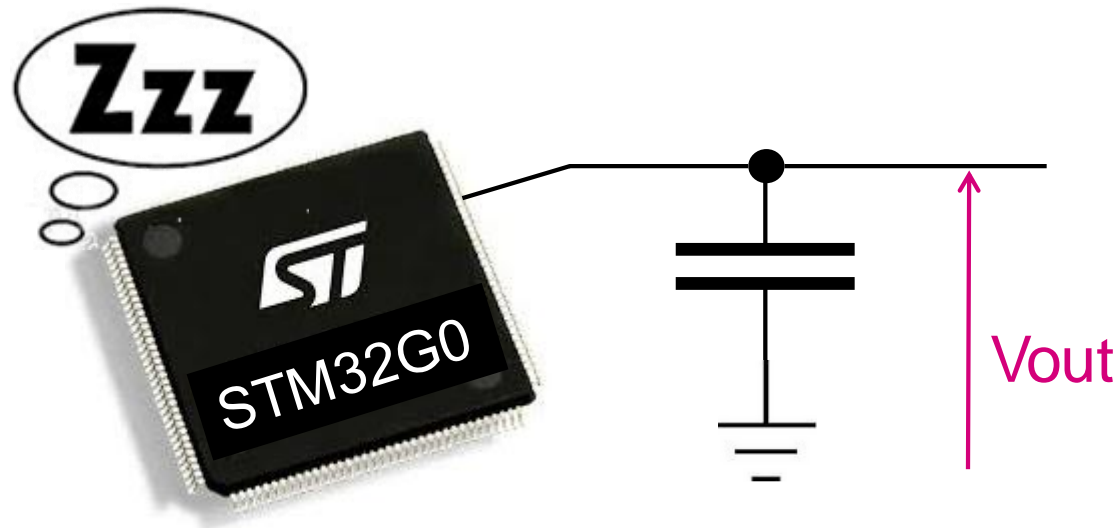
F0的ADC	G0的ADC
TSMC180nm工艺	TSMC090nm工艺
性能分辨率	与F0一样
转换时间1 us 12 bit分辨率	0.4 us 12 bit 分辨率 (2.5 MSPS)
校准, 采样时间数据对齐, DMA 支持	与F0一样
低功耗: 频率, 等待模式 & 转换阶段, 模拟输入通道	与F0一样
1 个模拟看门狗	3 个模拟看门狗
转换触发: Tim1/2/3/15	Tim1/2/3/6/15
转换模式, 中断	与F0一样
VDDA模拟供电: 2.4 – 3.6 V	VDDA模拟供电: 1.62 – 3.6V
没有硬件过采样	有硬件过采样
简易的序列发生器, 一组可编程采样时间SMP[2:0]	先进的序列发生器, 2组可编程采样时间SMPx[2:0]

STM32G0 – DAC

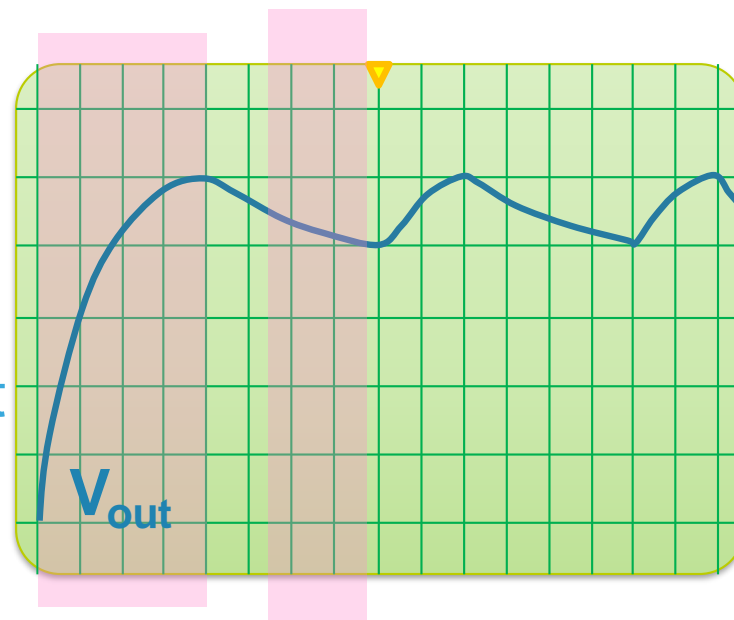
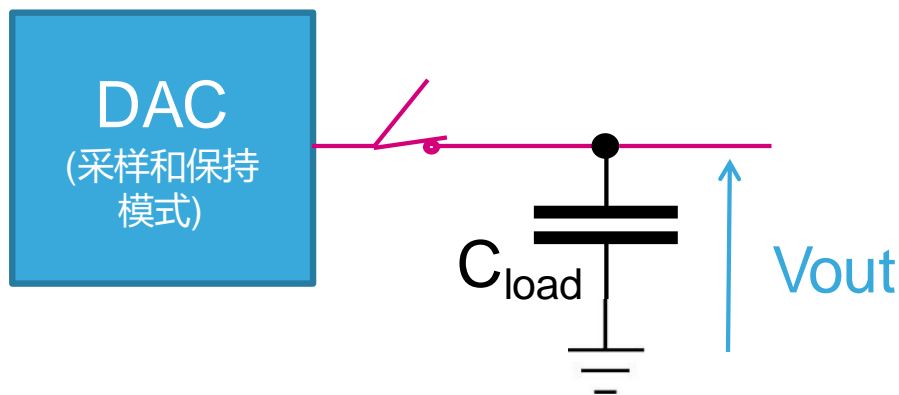
G0与F0 DAC对比



- “采样与保持”功能的主要目标是在MCU处于低功耗模式如Stop 1模式时保持DAC输出电压
- 当配置了“采样与保持”模式时，当所有与它相关的模拟和数字电路部分都“关闭”时，DAC能够在其输出生成转换的电压
- 内部或外部 保持电容可以连接到DAC输出



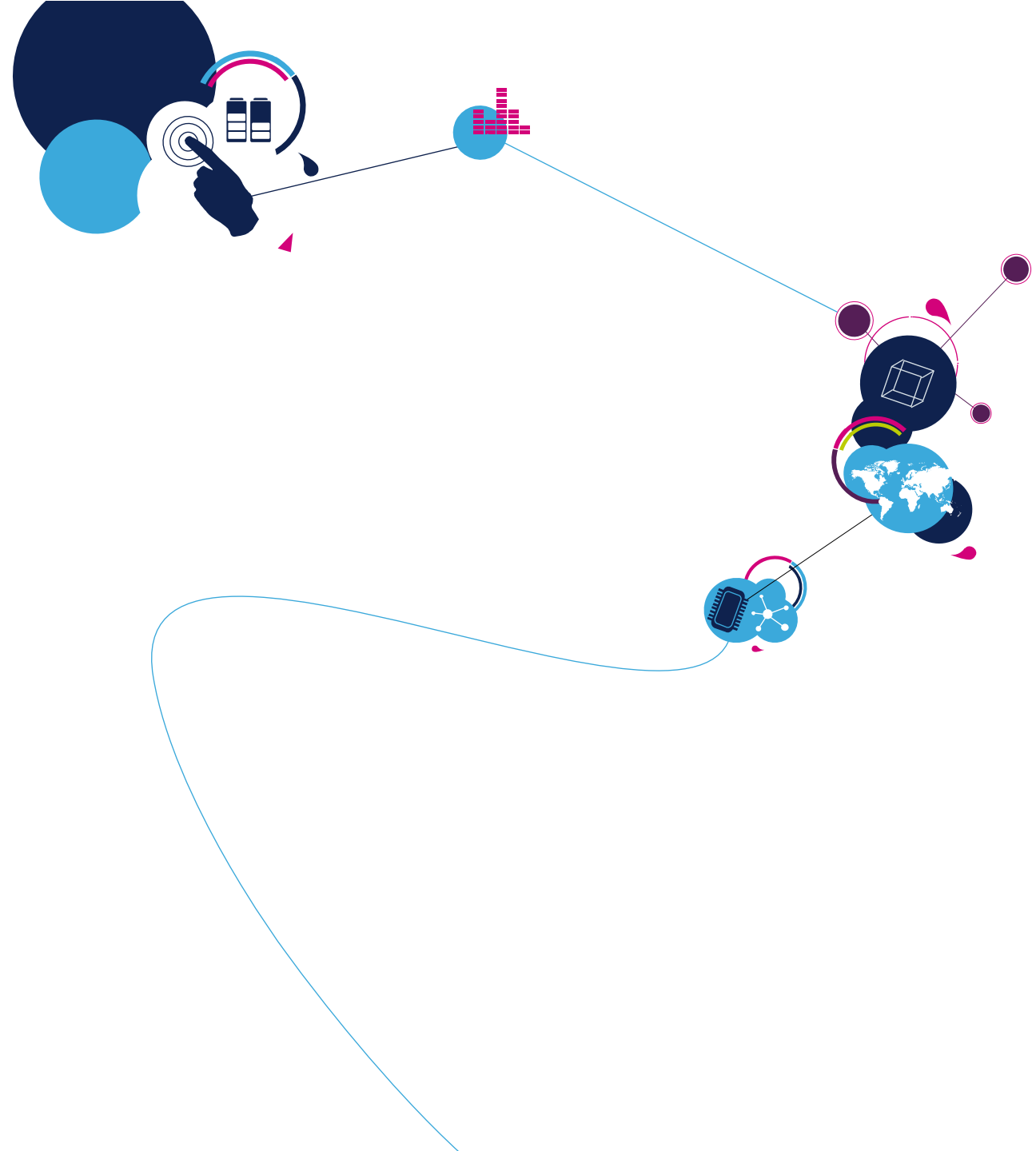
- 在“采样和保持”模式期间，DAC转换由以下三个阶段组成：
 - 采样阶段**: 在该阶段, 将“采样和保持”元件充电到所需的电压.
 - 保持阶段**: 在此期间DAC的输出三态为高阻High-Z,以维持“采样和保持”元件的存储电荷.
 - 刷新阶段**: 由于来自多个源的泄露, 刷新阶段对于将其输出电压保持在所需值 (\pm LSB)至关重要.



- “采样和保持”元件 (内部或外部)
 - 配置为外部时: 应在DAC的外部引脚上安装外部电容.
 - buffer可以被使能或禁能
 - DAC的输出可以选择是否连接到内部组件 (比如. 比较器)
 - 配置为内部时: 需要一个内嵌电容作为“采样与保持”元件. 在此配置中,DAC的输出仅路由至内部组件 (片上比较器等)
- 转换阶段时间
 - 采样时间,保持时间和刷新时间是可配置的
 - 上述时间是根据所需的DAC精度 和 “采样与保持” 的电容的值计算的.

STM32G0

Timers



定时器: STM32G0上的更新

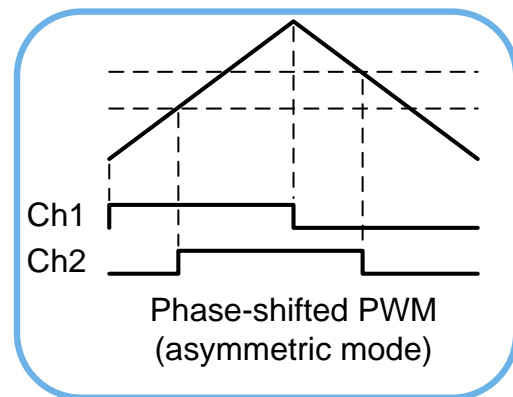
162

- TIM1和TIM15定时器的时钟频率为100+MHz, 以提供低于10ns的分辨率
 - BUCK转换器的更精细分辨率(10位精度 @ 100kHz PWM)
 - 用于可变频率谐振转换器的较低频率步长(例如. LLC), 例如. 在200kHz开关频率时最大0.4kHz频率步长(0.2%)
 - 用户示例
 - TIM1有3对互补: LLC 初级和次级侧(同步整流), 边界导通模式PFC, 降压
 - TIM15仅只有一对 (降压, LLC 初级侧)

新的PWM modes (与STM32F0相比)

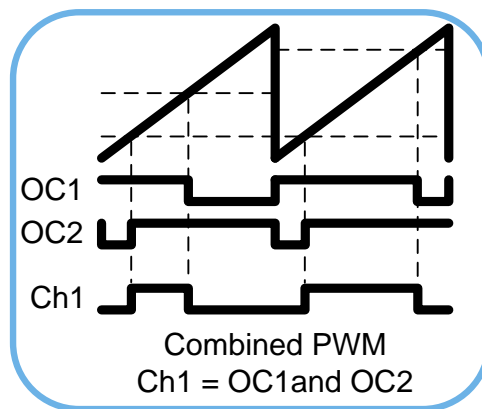
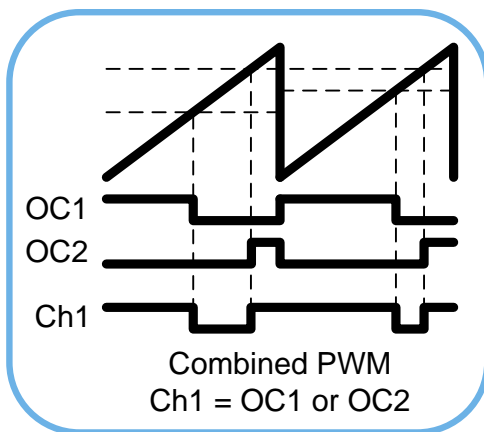
163

- 非对称中心对齐



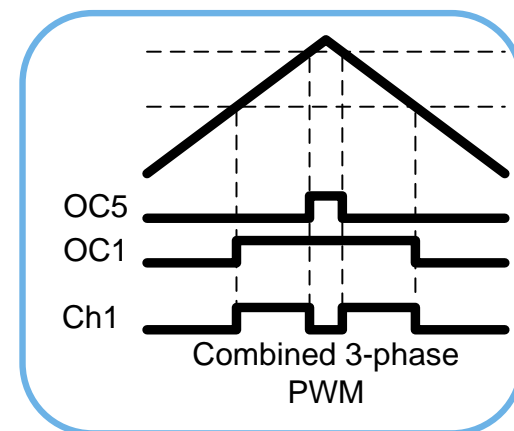
- 组合 PWM模式

- 将两个通道进行与或功能组合，以实现更复杂的波形

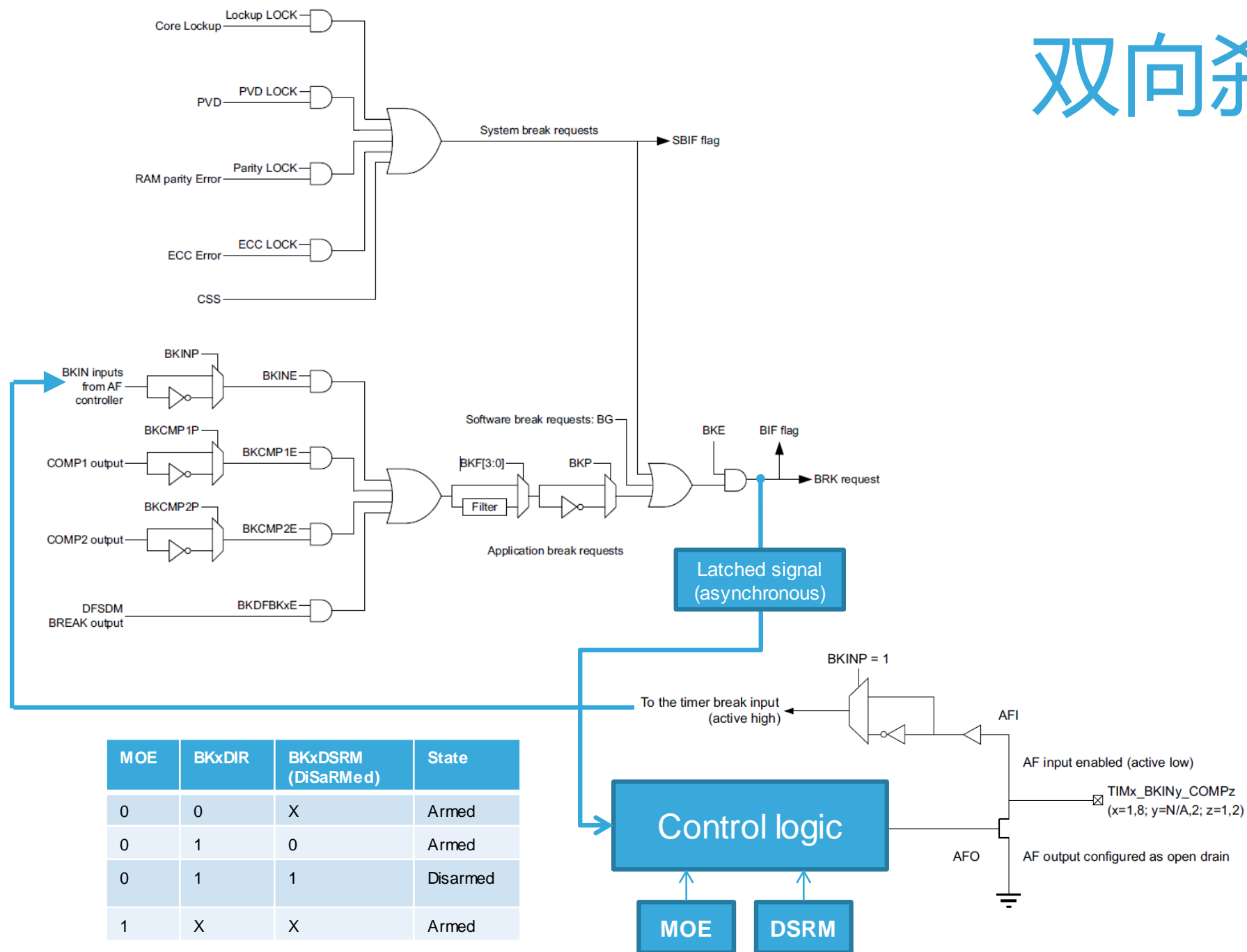


- 组合三相模式

- 允许第4个PWM与常规3相PWM组合，实现零矢量插入



- 刹车输入是双向的,以接收外部故障事件和/或发出MCU的内部故障事件
- 此功能允许:
 - 全局的刹车信息可通过单引脚实现,可用于外部MUC或栅极驱动器的全局中断信号.
 - 当必须合并多个内部和外部中断输入时,内部比较器和多个外部开漏比较器将输出Ored到一起,并触发中断事件
- 所有内部故障源(系统,比较器)都合并为一个信号
- 特定的撤防逻辑可防止在安全时锁定(在故障存在或启用PWM时无法撤销)



定时器特性比较

166

定时器类型	Timer	精度	计数类型	预分频因子	DMA 请求发生	捕获/比较通道	互补输出
高级控制	TIM1 Up to 100+MHz	16位	上, 下, 上/下	1 到 65536	Yes	4 (6 内部)	3
通用控制	TIM2	32位	上, 下, 上/下	1 到 65536	Yes	4	-
	TIM3	16位	上, 下, 上/下	1 到 65536	Yes	4	-
	TIM14	16位	上	1 到 65536	No	1	-
	TIM15 Up to 100+MHz	16位	上	1 到 65536	Yes	2	1
	TIM16 TIM17	16位	上	1 到 65536	Yes	1	1
基本	TIM6 TIM7	16位	上	1 到 65536	Yes	-	-
低功耗定 时器	LPTIM1 LPTIM2	16位	上	2^n , n=0 to 7	No	N/A	-

- 输入捕获重映射连接:
 - **IC1** : COMP1_OUT
 - **IC2** : COMP2_OUT
- 输出比较清除 (OCREF_CLR) 重映射连接:
 - COMP1_OUT, COMP2_OUT
- 外部触发输入(ETR) 重映射连接:
 - COMP1_OUT, COMP2_OUT, ADC 模拟看门狗 (AWD1, AWD2, AWD3)
- 内部触发输入 (ITR)连接:
 - TIM15_TGO, TIM2_TGO, TIM3_TGO, TIM17_OC1
- 刹车输入 :
 - **BK1** : COMP1_OUT, COMP2_OUT
 - **BK2** : COMP1_OUT, COMP2_OUT

- 输入捕获重映射连接:
 - **IC1** : COMP1_OUT
 - **IC2** : COMP2_OUT
- 输出比较清除 (OCREF_CLR)重映射连接:
 - COMP1_OUT, COMP2_OUT
- 外部触发输入 (ETR) 重映射连接:
 - COMP1_OUT, COMP2_OUT, LSE
- 内部触发输入(ITR)连接:
 - TIM1_TGO, TIM15_TGO, TIM3_TGO, TIM14_OC1

- 输入捕获重映射连接:
 - **IC1** : COMP1_OUT
 - **IC2** : COMP2_OUT
- 输出比较清除 (OCREF_CLR)重映射连接:
 - COMP1_OUT, COMP2_OUT
- 外部触发输入(ETR)重映射连接:
 - COMP1_OUT, COMP2_OUT
- 内部触发输入 (ITR)连接:
 - TIM1_TGO, TIM2_TGO, TIM15_TGO, TIM14_OC1

- 输入捕获重映射连接:
 - **IC1** : RTCCLK, HSE/32, MCO

- 输入捕获重映射连接:
 - **IC1** : TIM2_IC1, TIM3_IC1
 - **IC2** : TIM2_IC2, TIM3_IC2
- 内部触发输入 (ITR)连接:
 - TIM2_TGO, TIM3_TGO, TIM16_OC1, TIM17_OC1
- 刹车输入 :
 - **BK1** : COMP1_OUT, COMP2_OUT

- 输入捕获重映射连接:
 - **IC1** : LSI, LSE, RTC唤醒中断
- 刹车输入:
 - **BK1** : COMP1_OUT, COMP2_OUT

- 输入捕获重映射连接:
 - **IC1** : HSE/32, MCO
- 刹车输入:
 - **BK1** : COMP1_OUT, COMP2_OUT

添加了新的TIMx AF 映射

174

PA1	TIM15_CH1N	PC1	TIM15_CH1
PA11	TIM1_BK2	PC2	TIM15_CH2
		PC4	TIM2_CH1_ETR
PB3	TIM1_CH2	PC5	TIM2_CH2
PB4	TIM17_BK	PC6	TIM2_CH3
PB6	TIM1_CH3	PC7	TIM2_CH4
PB8	TIM15_BK	PC8	TIM1_CH1
PB12	TIM15_BK	PC9	TIM1_CH2
PB13	TIM15_CH1N	PC10	TIM1_CH3
		PC11	TIM1_CH4
PD0	TIM16_CH1	PC12	TIM14_CH1
PD1	TIM17_CH1	PC13	TIM1_BK
PD2	TIM1_CH1N	PC14 - OSC32_IN	TIM1_BK2
PD3	TIM1_CH2N	PC15 - OSC32_OUT	TIM15_BK
PD4	TIM1_CH3N		
PD5	TIM1_BK	PF0 - OSC_IN	TIM14_CH1
PD9	TIM1_BK2	PF1 - OSC_OUT	TIM15_CH1N

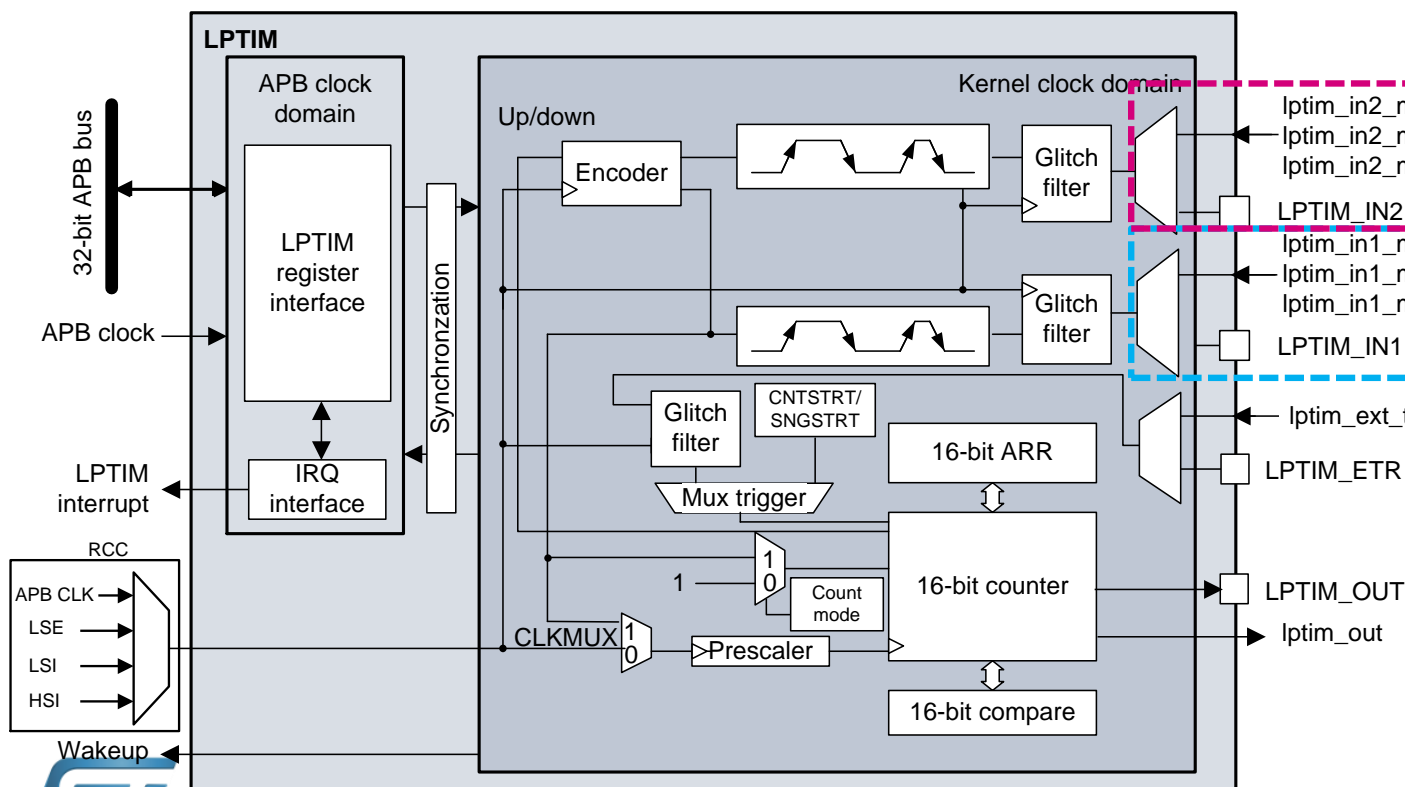
STM32G0 与 STM32L4 LPTIM

Low-power timer 低功耗定时器



- 定时器计时复位特性: 允许复位LPTIM_CNT寄存器中的内容为0
 - 同步计数复位机制: 设置COUNTRST比特位复位LPTIM_CNT
 - 异步计数复位机制: 设置 RSTARE比特位, 然后来自APB总线的对LPTIM_CNT寄存器的读操作会复位该寄存器内容.

- 为 LPTIM_IN1 和 LPTIM_IN2输入上的其他内部连接添加2个 mux
 - 新的LPTIM_CFGR2寄存器用于配置 LPTIM_IN1和 LPTIM_IN2内部连接



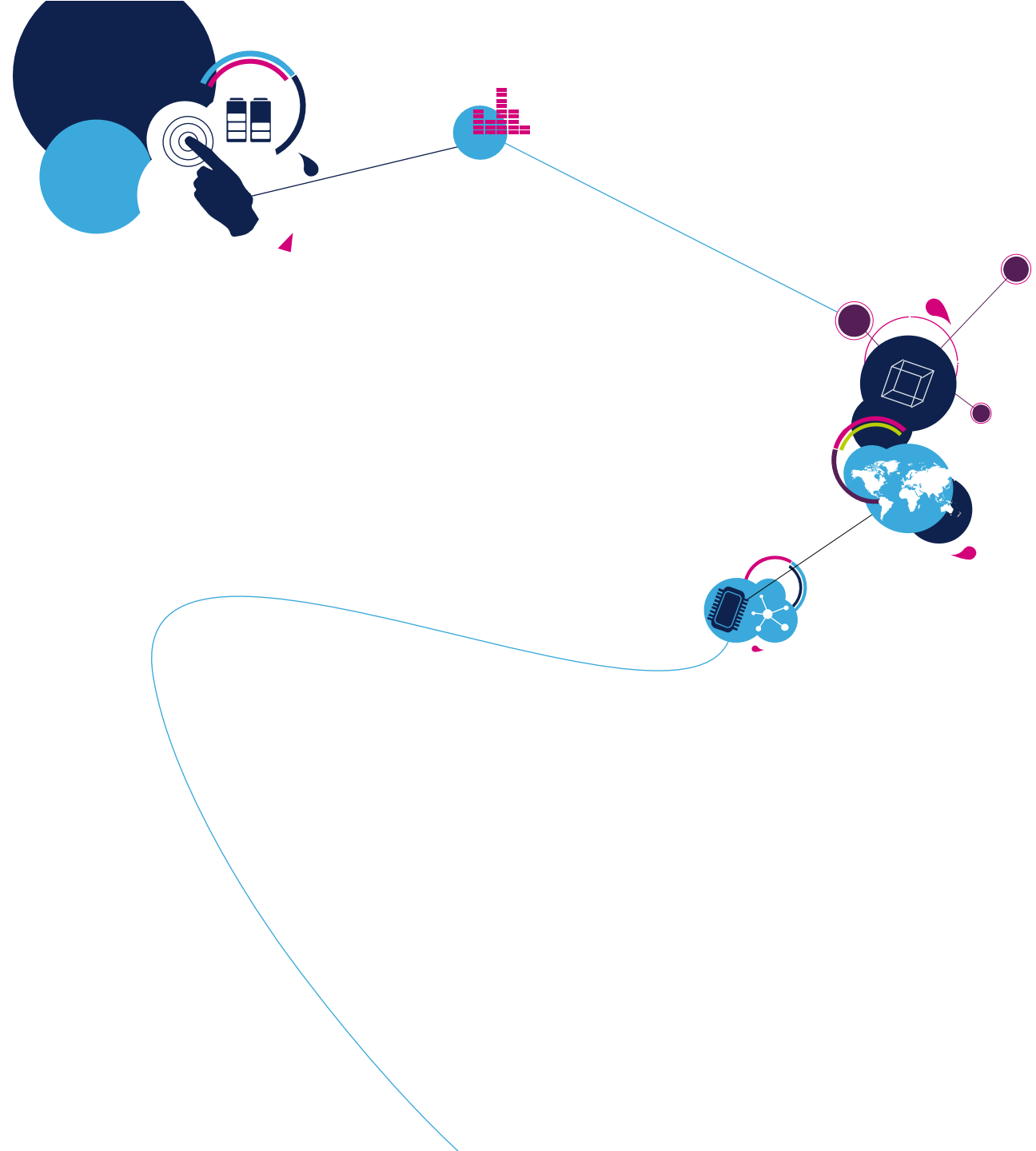
LPTIM1 Input 2 连接

lptim_in2_mux	
lptim_in2_mux0	GPIO pin as LPTIM1_IN2 alternate function
lptim_in2_mux1	COMP2_OUT
lptim_in2_mux2	Not connected
lptim_in2_mux3	Not connected

LPTIM1 Input 1 连接

lptim_in1_mux	
lptim_in1_mux0	GPIO pin as LPTIM1_IN1 alternate function
lptim_in1_mux1	COMP1_OUT
lptim_in1_mux2	Not connected
lptim_in1_mux3	Not connected

STM32G0 - PWR

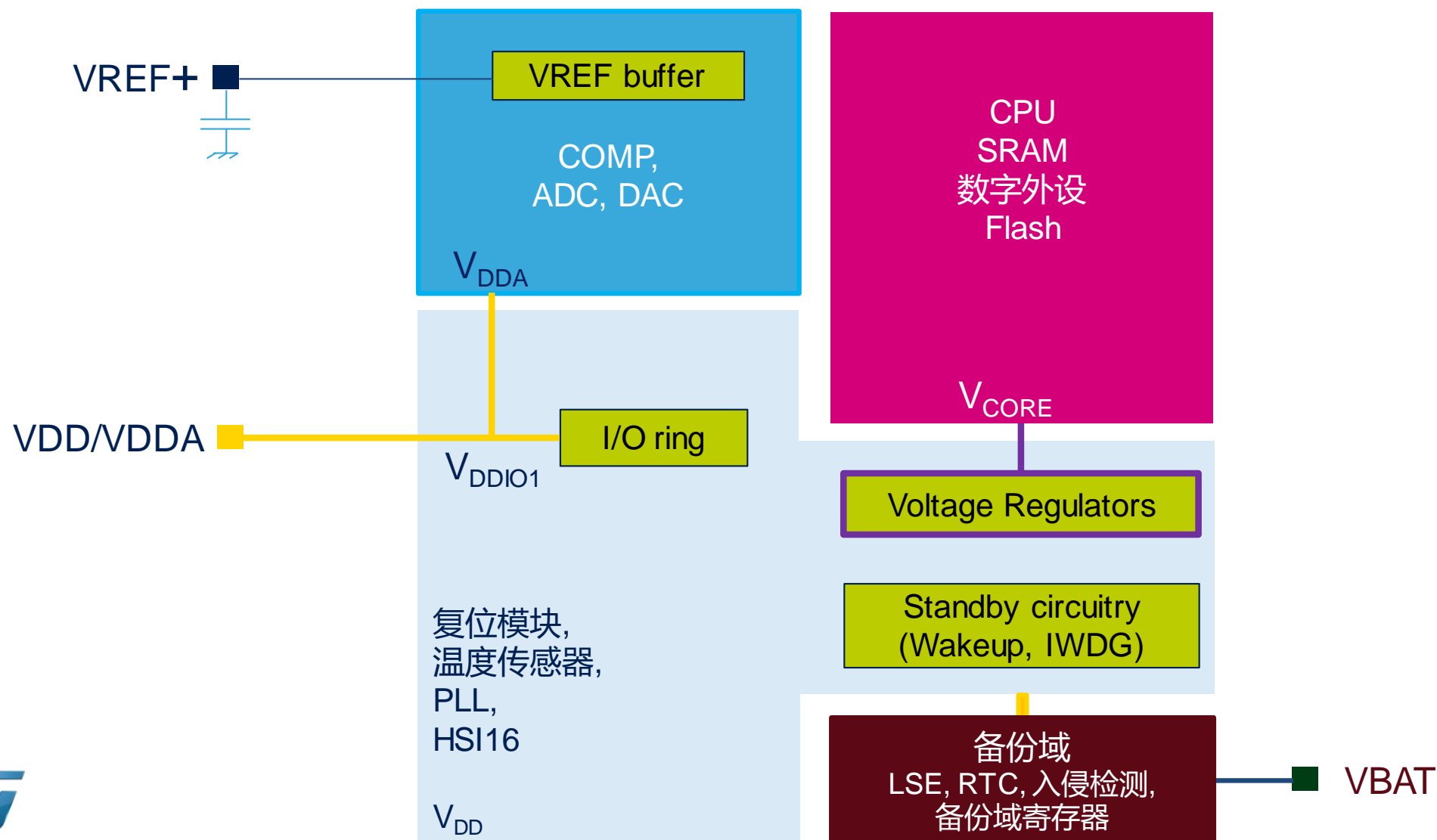


与STM32L4的区别

179

- G0部分的电源控制和L4类似，有一些简化,也有些轻微增强

	STM32L4	STM32G0
低功耗模式	..., Stop 2, ...	没有 Stop 2
SRAM数据保持在standby	SRAM2	所有的SRAM
PVD和BOR	下降和上升阈值一起配置(PLS)	下降和上升阈值可各自配置(PVDRT, PVDFT)
BOR 和PDR 周期采样(ULPEN)	No	Yes



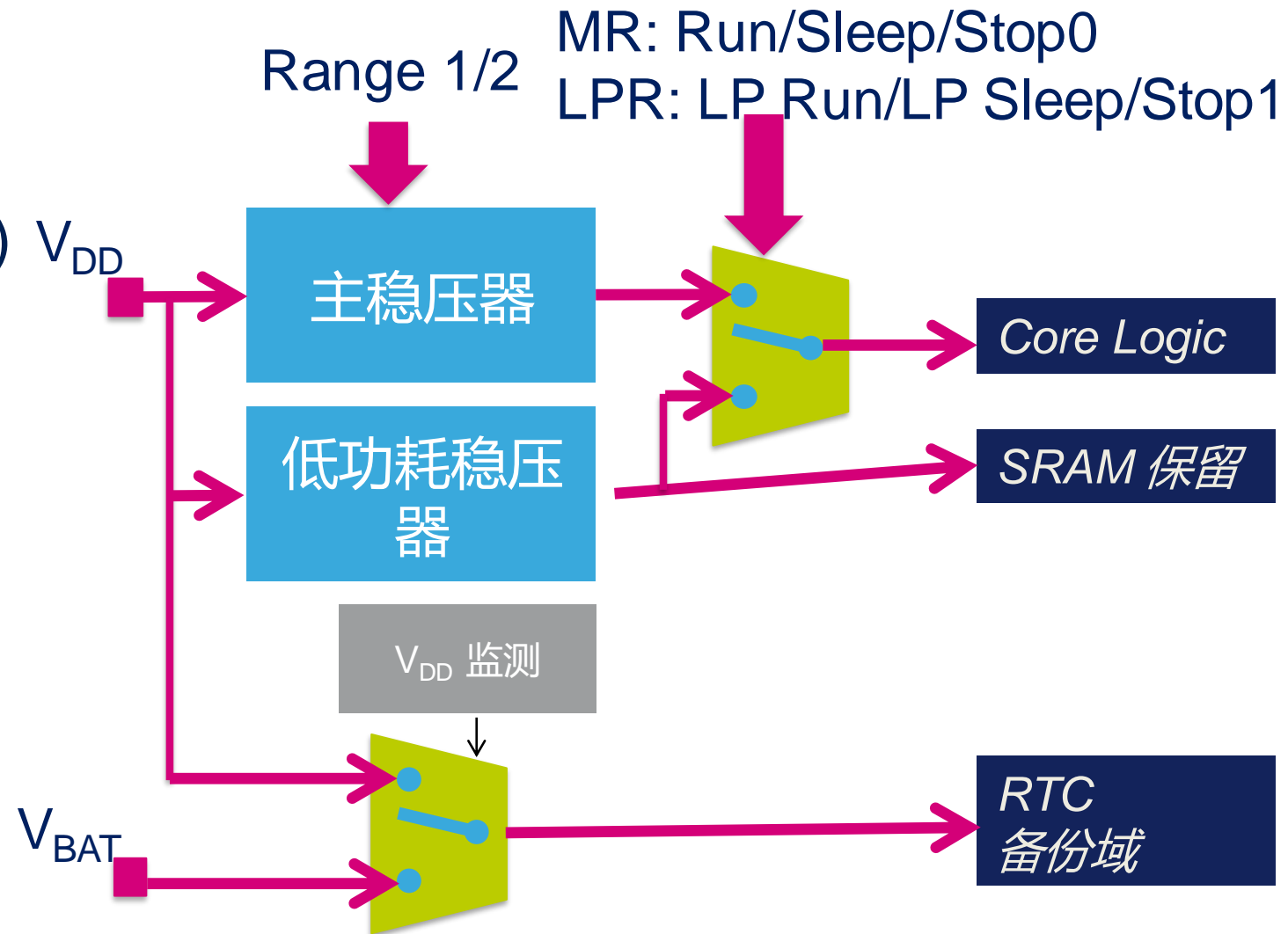
• 通过独立电源供电优化电源和性能

- V_{DD} 供电范围1.7到3.6 V (最低可1.6 V, 低于该值则会产生Power-down)
 - 在存在其它独立电源供电时, V_{DD} 必须提供
- V_{DDA} 供电范围1.62 到3.6 V = V_{DD}
 - 当使用ADC或COMP时, V_{DDA} 的最小供电电压为1.62V
 - 当使用DAC时, V_{DDA} 的最小供电电压为1.8V
 - 当使用VREFBUF时, V_{DDA} 的最小供电电压为2.4V
- 当 $V_{DDA} < 2$ V时, $V_{REF+} = V_{DDA}$; 当 $V_{DDA} > 2$ V时, $2V < V_{REF+} < V_{DDA}$
- V_{BAT} 电压范围从 1.55到3.6V, 供电范围包括RTC和128字节备份寄存器

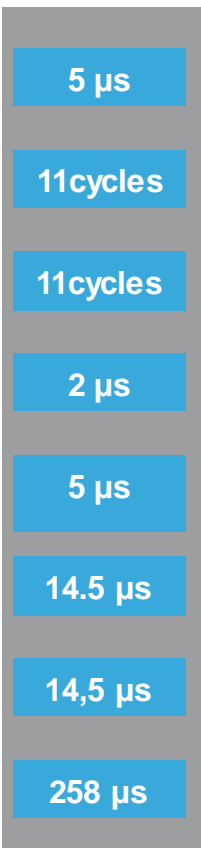
- 通过独立电源供电优化模拟性能

- VREF+: ADC和DAC的参考电压
 - 该电压可以由外部参考电压或者内部的电压参考buffer(VREFBUF)提供.
 - 在低引脚数量的封装上不提供VREF+引脚和内部参考电压(VREFBUF). 此时VREF+与VDDA内部连接到VDD,内部电压参考buffer(VREFBUF)保持禁用状态.

- 2个电源稳压器
- 一个主稳压器，有2个电压范围 (Range 1: 1.2V, Range 2: 1.0V) V_{DD} 用于动态电压调整; 用在Run, Sleep 和Stop 0 模式下
- 一个低功耗稳压器用于LP Run, LP Sleep 和带SRAM内容保留的Stop 1模式



唤醒时间



RUN (Range1) at 56 MHz

98.3 μ A / MHz

RUN (Range2) at 16 MHz

87.5 μ A / MHz

LPRUN at 2 MHz

100 μ A / MHz

SLEEP at 16 MHz

25 μ A / MHz

LPSLEEP at 2 MHz

30 μ A / MHz

STOP 0 (full retention)

100 μ A / 280 μ A*

STOP 1 (no retention)

3.4 μ A / 4.0 μ A*

STANDBY + 32 KB RAM

870 nA / 1.4 μ A*

STANDBY

200 nA / 660 nA*

SHUTDOWN

33 nA / 420 nA*

VBAT

2 μ A / 365 nA*

Typ @ VDD = 3V @ 25 °C

* : 带RTC

FlexPowerControl技术

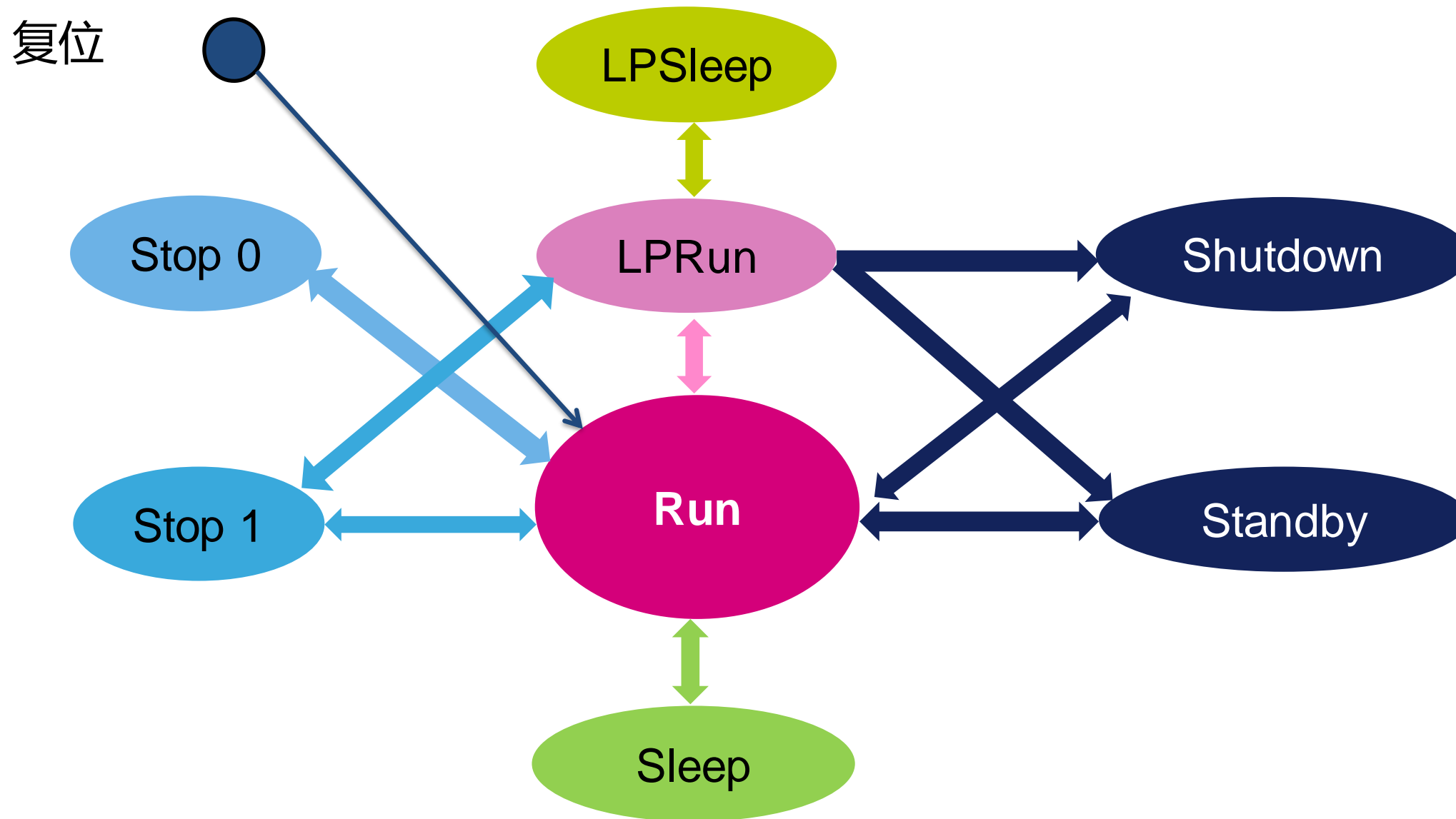
- 高效率的运行
- 7种低功耗模式, 多种子模式
- 高度的灵活性

运用优势

- 高性能
 - ➔ CoreMark 评分: 125
- 杰出的电源效率

低功耗模式状态机

185



- 7 种低功耗模式带快速唤醒
 - 低至33 nA (Shutdown) 仍可用 I/O 唤醒
 - 低至870 nA (standby)仍可有 36 KB RAM 保留能力
 - 很多种外设可以从低功耗模式下唤醒MCU
- 在运行模式下低至98.3 μ A / MHz
- VBAT模式依旧可以保持RTC和备份寄存器的内容

运用优势

- 高度灵活度使用户可以选择多个低功耗模式，这取决于需要激活哪些外设，性能要求以唤醒源
- 增加了电池使用寿命
- 由于只有一对VDD/VSS电源对，从而降低了BOM成本

- 每一个外设的时钟可以配置为开启ON或关闭OFF
 - 复位后,除了Flash所有的外设时钟都是关闭的
 - 在Run模式下, SRAM 时钟总是ON开启的
- 当从SRAM启动 (在Run或LP Run模式下):
 - Flash闪存可以处于Power-down 模式 (仅限Low-Power run)
 - Flash闪存时钟可以关闭
 - 中断向量必须被重映射到SRAM!

所有的外设可用并带快速唤醒时间

- 内核停止,每个外设的时钟可以被打开或关闭
- 通过执行**WFI** (等待中断) 或 **WFE** (等待事件)进入该模式
- 2种机制进入该模式:
 - **Sleep Now**: 一旦执行了WFI/WFE事件后, MCU 就立刻进入Sleep模式
 - **Sleep on Exit**: 一旦退出最低优先级ISR, MCU 就立刻进入Sleep模式
 - 在进入Sleep模式前, 栈没有被弹出, 在下个中断产生时也不会被压栈, 节省运行时间.
- 由内核 **Cortex-M0+** 系统控制寄存器 **[SLEEPONEXIT]**

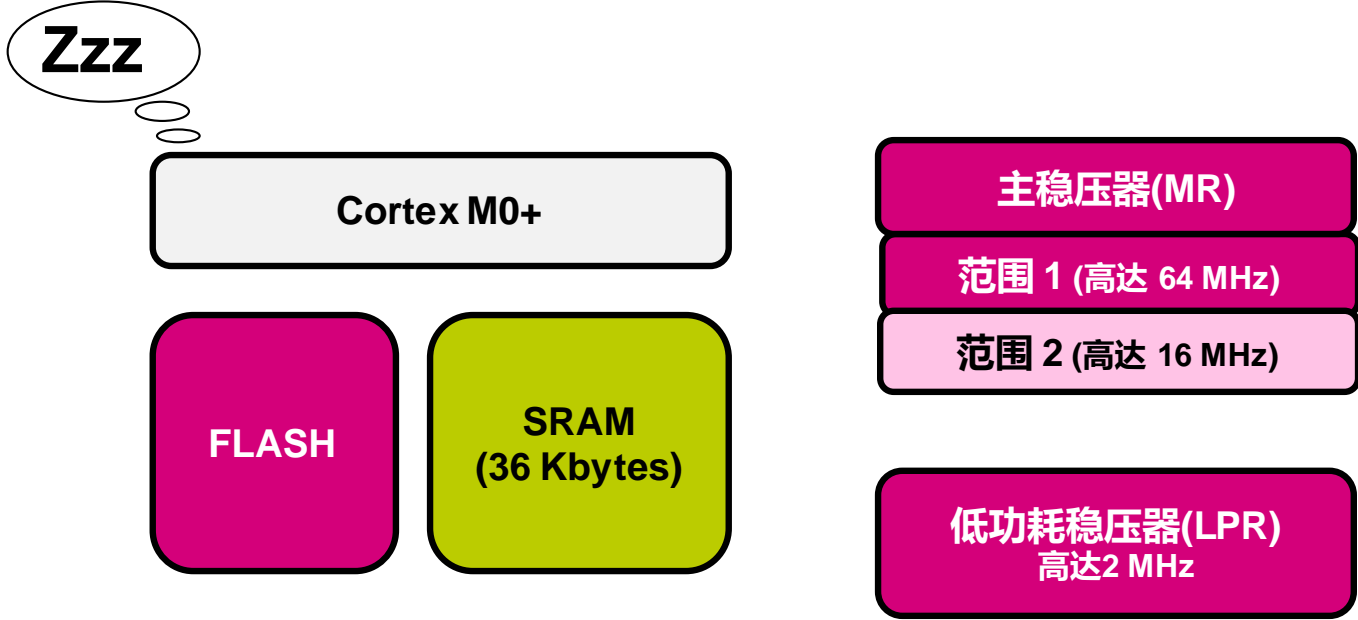
Sleep 模式: Range 1

189

可用的外设

GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
Temp Sensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

比如: FLASH ON



有用的时钟

HSI16
HSE
LSI
LSE

Active cell

Clocked-off
cell

Cell in power-
down

可用的外设和时钟

Sleep 模式: Range 2

190

可用的外设

GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
TempSensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

比如: FLASH ON但是不能被写或擦除

Zzz

Cortex M0+

FLASH

SRAM
(36 Kbytes)

主稳压器 (MR)

范围 1 (高达 64 MHz)

范围 2 (高达16 MHz)

低功耗稳压器(LPR)
高达2 MHz

有用的时钟

HSI16
HSE
LSI
LSE

Active cell

Clocked-off
cell

Cell in power-
down

可用的时钟和外设

可用的外设

GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
TempSensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

比如: FLASH OFF

Zzz

Cortex M0+

FLASH

SRAM
(36 Kbytes)

主稳压器(MR)

范围 1 (高达64 MHz)

范围 2 (高达16 MHz)

低功耗稳压器(LPR)
高达 2 MHz

有用的时钟

HSI16

HSE

LSI

LSE

Active cell

Clocked-off
cell

Cell in power-
down

可用的外设和时钟

带SRAM内容全保留的最低功耗模式,主频从唤醒到16 MHz时间为5.6 μ s

- SRAM 和所有的外设寄存器保留
- 所有的高速时钟停止
- LSE (32.768 kHz 外部时钟) 和LSI (32 kHz 内部时钟) 可以使能
- 一些外设能够被激活并且用于从Stop模式唤醒
- 系统时钟唤醒后是**HSI16 (2 μ s 唤醒时钟从SRAM启动, 5.6 μ s 从 FLASH启动)**
- Stop 1 和 Stop 0 在主稳压器关闭的情况下是等同的, 会有一个更小的功耗但是更长的唤醒时间.

可用的外设

GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
TempSensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

I/Os 保持, 可配置

100 μ A @ 3.0 V

Zzz

Cortex M0+

FLASH

SRAM
(36 Kbytes)

可用的时钟

HSI16
HSE
LSI
LSE

主稳压器(MR)

范围 1 (高达64 MHz)

范围 2 (高达16 MHz)

低功耗稳压器 (LPR)
高达2 MHz

备份域

备份寄存器

RTC & TAMPER

唤醒事件

NRST
BOR
PVD
RTC + Tamper
USART
LP UART
I2C 1
CEC
COMP
LPTIM 1
LPTIM 2
IWDG
GPIOs

唤醒时钟16 MHz:

从SRAM启动: 2 μ s

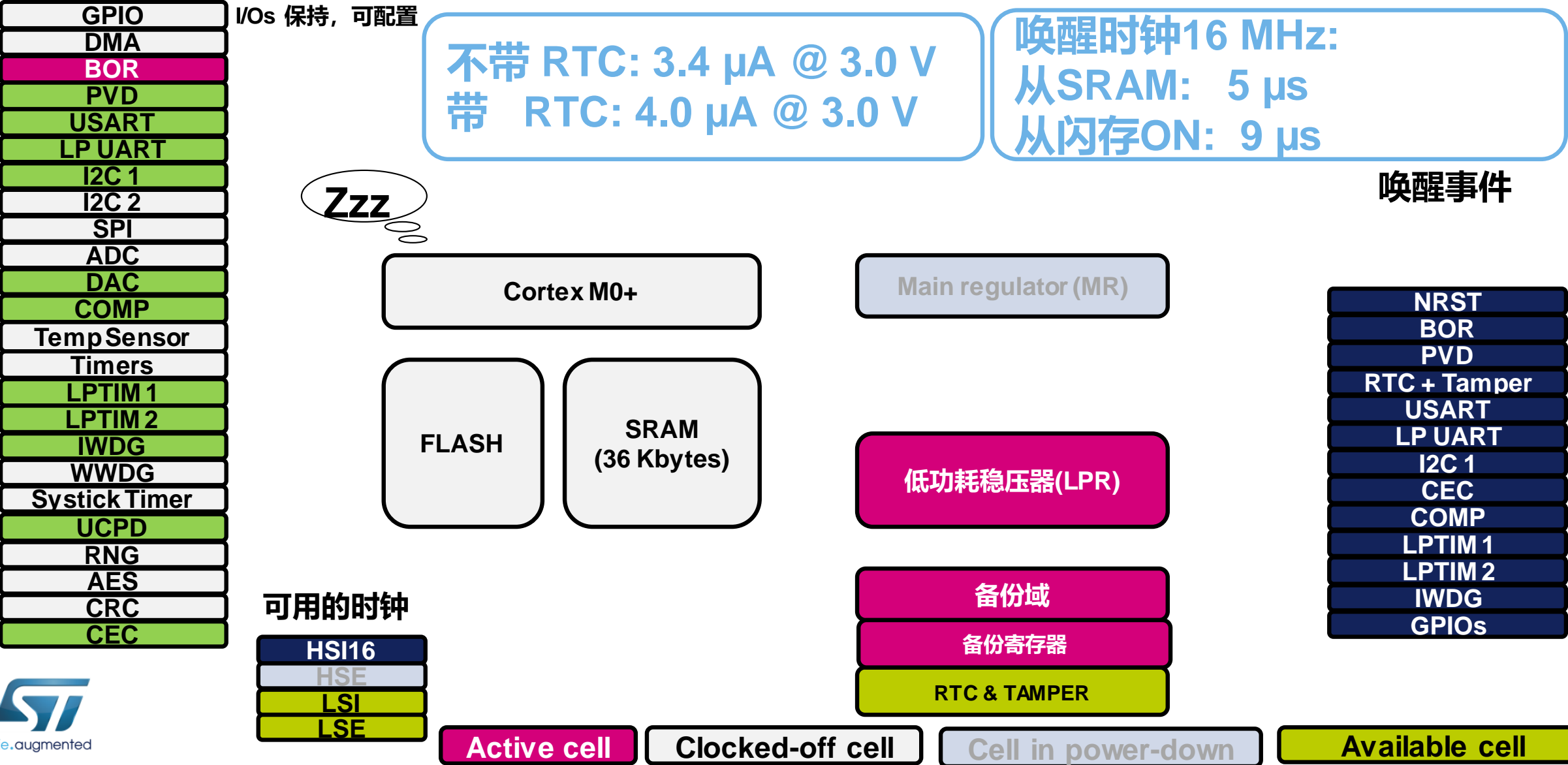
从FLASH启动: 5.6 μ s

Active cell

Clocked-off cell

Cell in power-down

Available cell



Stop 模式对比

195

	STOP 0	STOP 1
功耗	25 °C, 3 V	
	100 µA	3.4 µA w/o RTC
唤醒时间	5.6 µs 从Flash 2 µs 从RAM	9 µs 从Flash 5 µs 从 RAM
唤醒时钟	HSI16 at 16 MHz	
稳压器	主稳压器	低功耗稳压器
外设	RTC, I/Os, BOR, PVD, COMPs, IWDG	
	2 LP Timers 1 LP UART (起始, 地址匹配 或 字节接收) 2 U(S)ARTx (起始, 地址匹配 或 字节接收) 1 I2C (地址匹配)	

最低功耗模式，带SRAM保持功能，切换到VBAT和I/O控制

- SRAM和寄存器内容默认不会保存(电源稳压器为关闭).
但**20字节备份寄存器总是保存的**.
- 可以设置为保存**36K字节SRAM的内容**(默认不保留SRAM的内容，但可配置)
- 超低功耗**BOR/PDR** 配置:忽略下降VDD斜率, 采用ULP模式**周期性**监控VDD电压从而降低功耗.
- 每个I/O口可配置为**上拉/下拉**
利用PWR_PUCRx / PWR_PDCRx 寄存器 (x = A,B,...H), 当PWR_CR3 寄存器中的**APC=1**时
=> 允许去控制外部器件的输入状态
- **5 唤醒引脚**: 每个唤醒引脚的极性可配置
- 唤醒时钟是**HSI16 为16 MHz**.

Standby模式下带SRAM

197

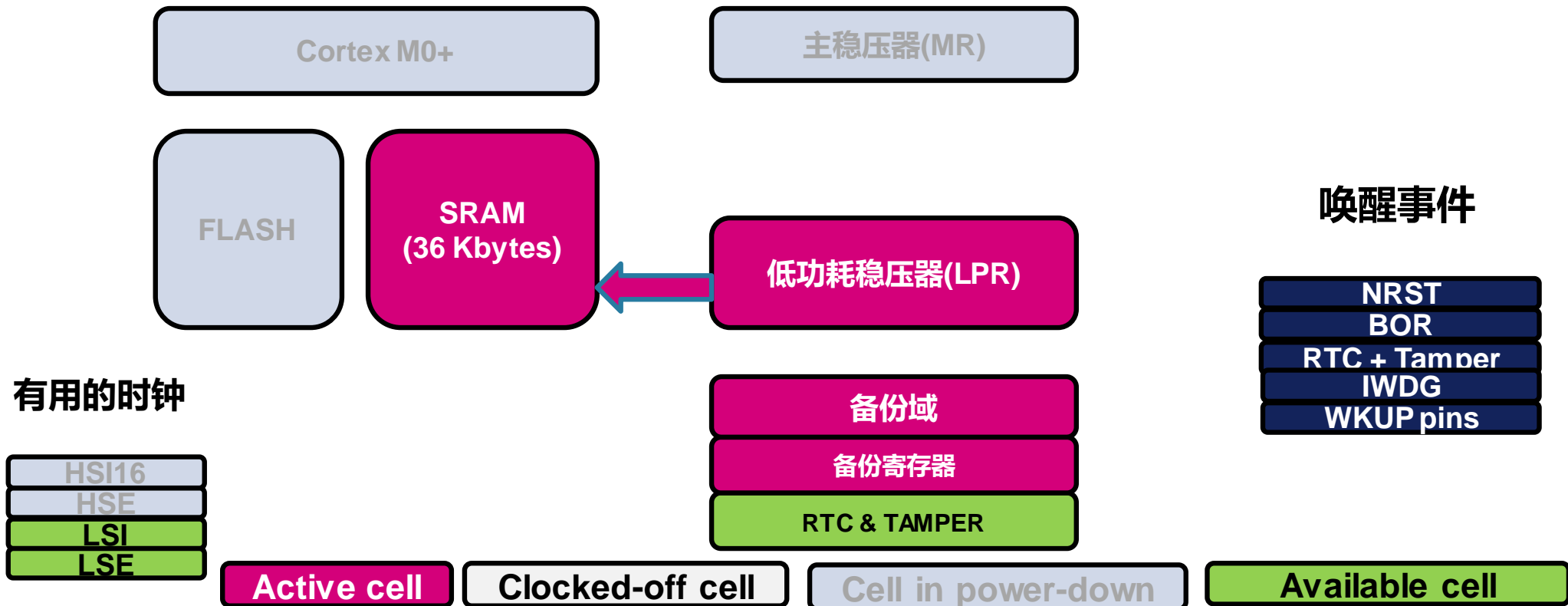
可用的外设

I/Os 可配置
带 或 不带 上拉
带 或 不带 下拉

GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
Temp Sensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

不带 RTC: 870 nA @ 3.0 V
带 RTC: 1.4 μ A @ 3.0 V

唤醒时间16 MHz:
从闪存启动: 14.5 μ s



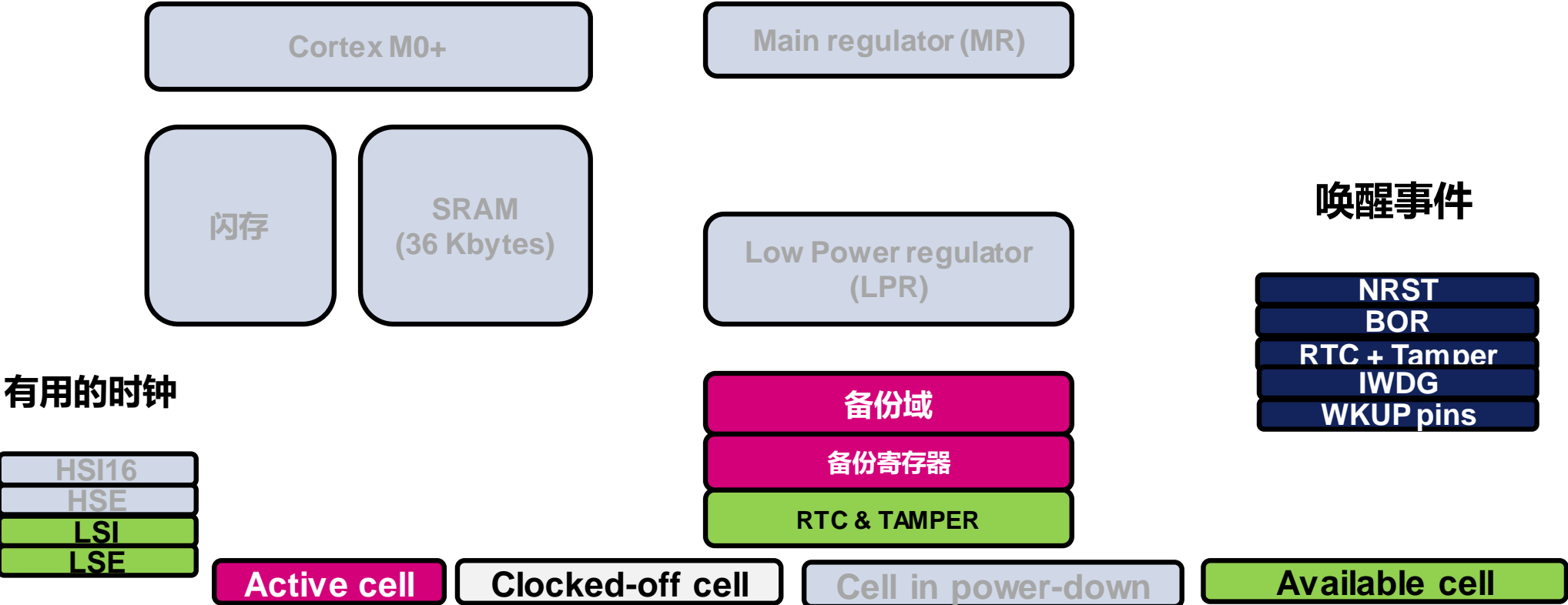
GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
Temp Sensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

I/Os 可配置
带 或 不带 上拉
带 或 不带 下拉

Standby 模式不带SRAM

不带 RTC: 130 nA @ 3.0 V
带 RTC: 480 nA @ 3.0 V

唤醒时钟16 MHz:
从闪存启动: 14.5 μs



最低功耗模式: 33 nA !!

- 和Standby模式类似，但是：
 - **没有电源监控**: 没有 BOR和PDR, 供电不能切换到VBAT
→如果电压的供电低于1.6V产品的状态不能得到保证,并不能自动切换到VBAT
 - **没有 LSI**, 没有 IWDG
 - 当从Shutdown模式跳出来将产生BOR复位
→除了那些在备份域之外的所有的寄存器被复位.
→ 产生复位信号
- 20字节的**备份寄存器**
- 唤醒源: **5 个唤醒引脚, RTC**
- 唤醒时钟为16 MHz的HSI.

有用的外设

GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
Temp Sensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

I/Os 可配置

带 或 不带 上拉

带 或 不带 下拉

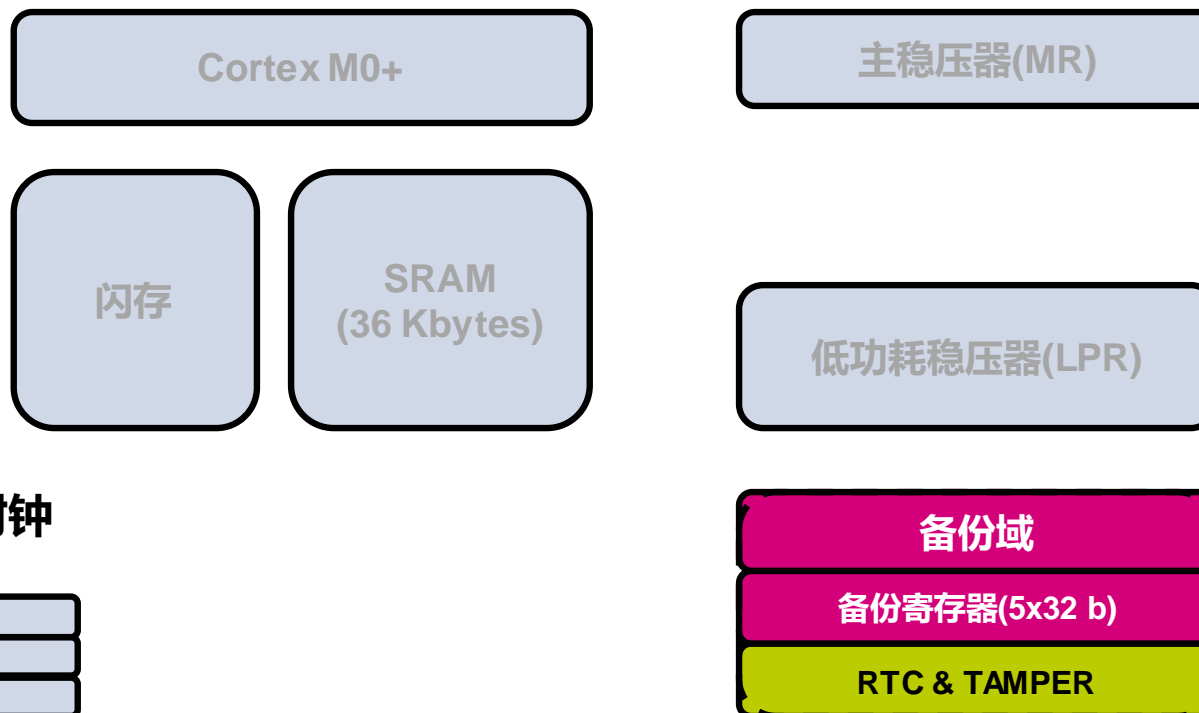
但是从Shutdown出来后为floating悬空状态

不带 RTC: 33 nA @ 3.0 V
带 RTC: 420 nA @ 3.0 V

唤醒时间在16 MHz:
从闪存启动: 258 μ s

有用的时钟

HSI16
HSE
LSI
LSE



唤醒事件

NRST

RTC + Tamper

WKUP pins

低功耗模式总结

201

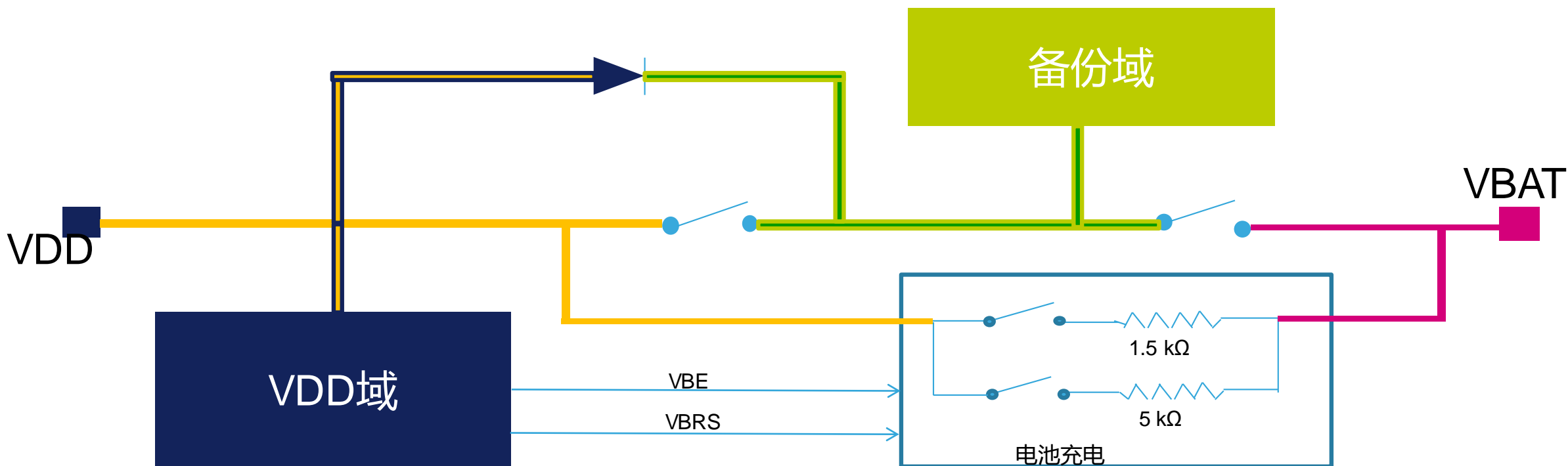
模式	MR	LPR	CPU	Flash	SRAM	时钟	外设	唤醒时间
Run	R1	ON	Yes	ON ⁽¹⁾	ON	任意	All	N/A
	R2						All	
LPRun	OFF	ON	Yes	ON ⁽¹⁾	ON	任意 除了 PLL	All	
Sleep	R1	ON	No	ON ⁽¹⁾	ON ⁽²⁾	任意	All 任意 IT 或事件event	11 cycles
	R2							
LPSleep	OFF	ON	No	ON ⁽¹⁾	ON ⁽²⁾	任意 除了 PLL	All except OTG, RNG Any IT or event	11 cycles
Stop 0	R1	ON	No	OFF	ON	LSE/LSI	复位引脚, 所有IOs BOR,PVD,PVM,RTC,LCD,IWDG, COMPx,DACx,OPAMPx,USARTx , LPUART,I2Cx,LPTIMx,OTG_FS, SWPMI	2 μ s RAM 5.6 μ s Flash memory
Stop 1	OFF							5 μ s RAM 9 μ s Flash memory
Standby	OFF	ON	DOWN	OFF	SRAM ON	LSE/LSI	复位引脚, 5 WKUPx 引脚 BOR, RTC, IWDG	14.5 μ s
	OFF				DOWN			
Shutdown	OFF	OFF	DOWN	OFF	DOWN	LSE	复位引脚, 5 WKUPx 引脚 RTC	258 μ s

1. 可以被置为power-down并且时钟也可以被关闭
2. SRAM可以被关闭

V_{DD} 断开时RTC 仍运行且备份寄存器内容保存

- 备份域包含:
 - RTC 由32.768 kHz LSE 提供, 包含 2 入侵引脚 (tamper pins)
 - 20 字节备份寄存器
 - RCC_BDCR 寄存器
- 当 V_{DD} 电源关闭和开启时, 内部会在 V_{BAT} 和 V_{DD} 之间自动切换
- 内部连接到ADC通道用于检测电压 ($V_{BAT}/3$)
- VBAT 充电

- VBAT 充电: 当 V_{DD} 存在时, 允许通过内部电阻对VBAT上的超级电容充电



VBE=1 开启电池充电, VBR选择电阻

VBAT 模式

204

可用的外设

GPIO
DMA
BOR
PVD
USART
LP UART
I2C 1
I2C 2
SPI
ADC
DAC
COMP
Temp Sensor
Timers
LPTIM 1
LPTIM 2
IWDG
WWDG
Systick Timer
UCPD
RNG
AES
CRC
CEC

不帶 RTC: 2 nA @ 3.0 V
帶 RTC: 470 nA @ 3.0 V

Cortex M0+

主稳压器(MR)

闪存

SRAM
(36 Kbytes)

低功耗稳压器(LPR)

有用的时钟

HSI16
HSE
LSI
LSE

备份域

备份寄存器(5x32 bits)

RTC & TAMPER

Active cell

Clocked-off cell

Cell in power-down

Available cell

- 可以在Flash选项字节中配置3个选项位，不能进入给定的低功耗模式：
 - nRST_SHDWN: 清零后，进入Shutdown模式时会产生复位
 - nRST_STDBY: 清零后，进入Standby模式时会产生复位
 - nRST_STOP: 清零后，进入Stop模式时会产生复位

安全和超低功耗复位管理

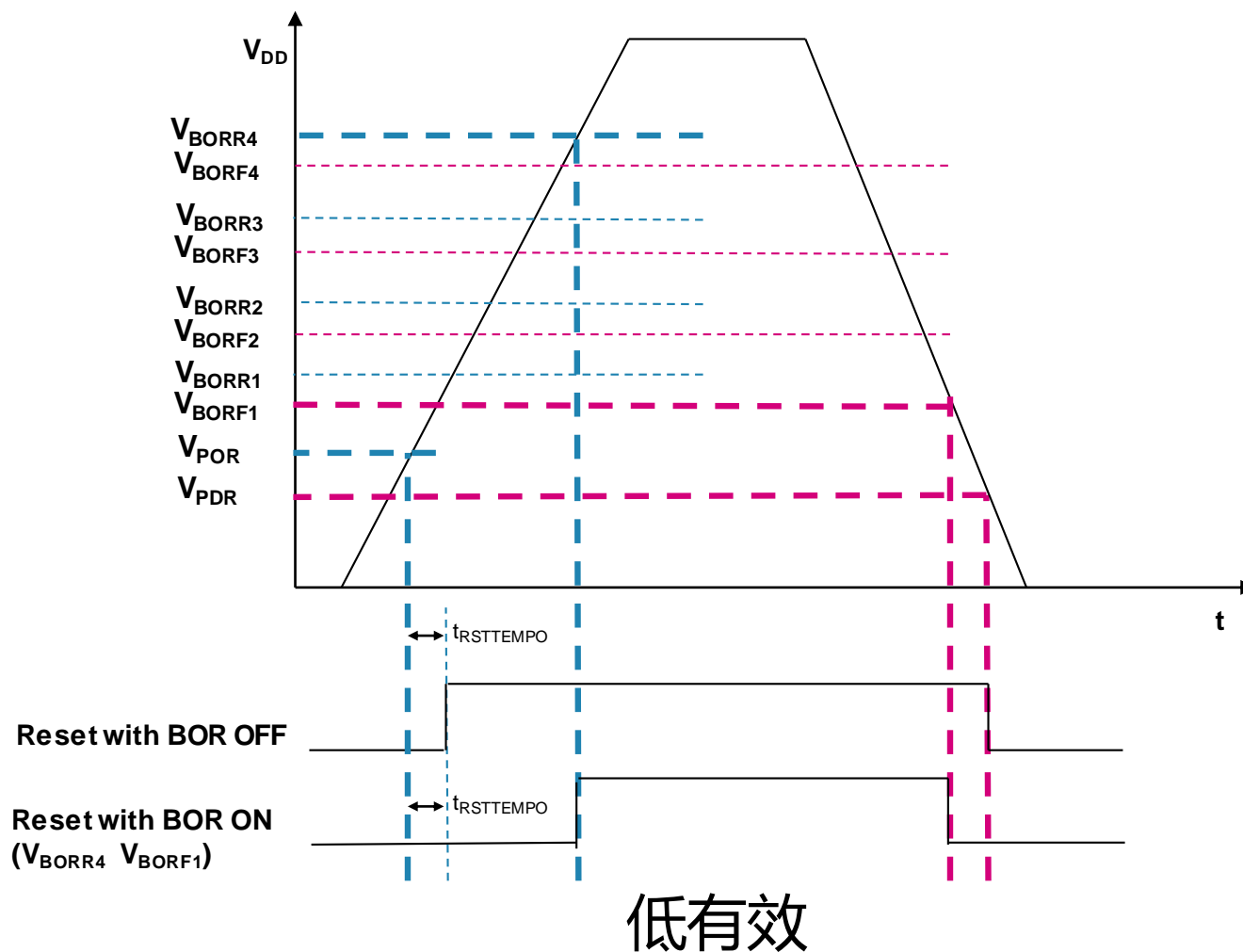
- 除了Shutdown模式,在所有的模式下POR和PDR 总是使能的
 - 在Stop 0/1 和Standby模式下, 它只能在ULPEN比特位设置后周期性的工作
- 当BOR_EN选项位使能后, 除了Shutdown模式,在所有的模式下BOR总是使能的.
 - 无论VDD斜率如何, 只要MCU供电电压降到所选的阈值以下就能复位.
 - 可以通过选项字节**BORR_LEV[1:0]**和**BORF_LEV[1:0]** 分别对上升沿和下降沿选择4种阈值.
- 除了Standby和Shutdown模式,在所有的模式下PVD总是使能的
 - 7个阈值 + **PVD_IN(Vrefint)**, 对于上升沿或下降沿可独立配置

欠压BOR复位

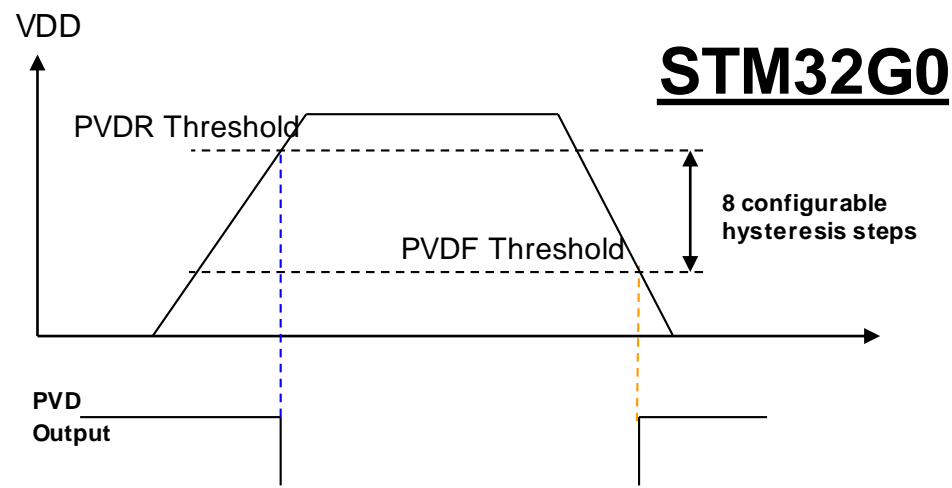
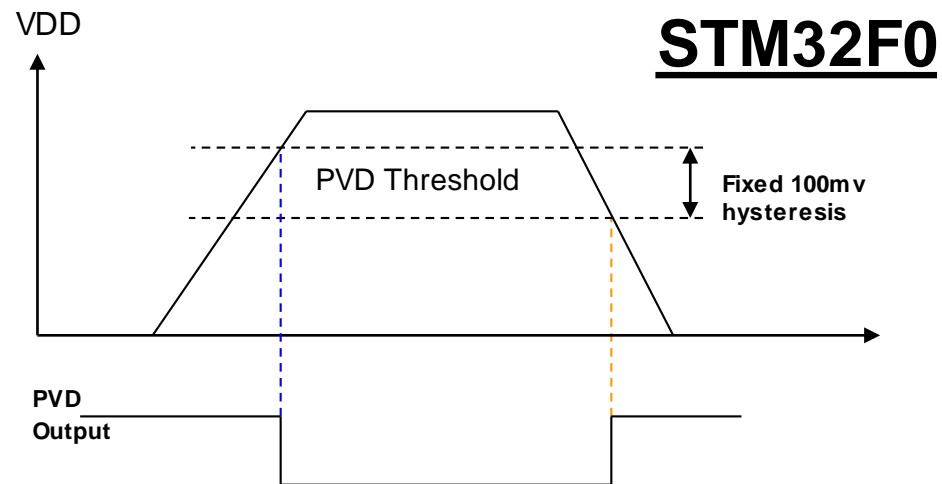
207

- 与STM32F0相比, G0的POR/PDR之外还存在着一个BOR.
- BOR将器件保持在复位状态, 直到达到所需的电源电压.
- 4个BOR阈值, 可以独立的配置上升沿和下降沿, 为用户提供滞后的灵活性.

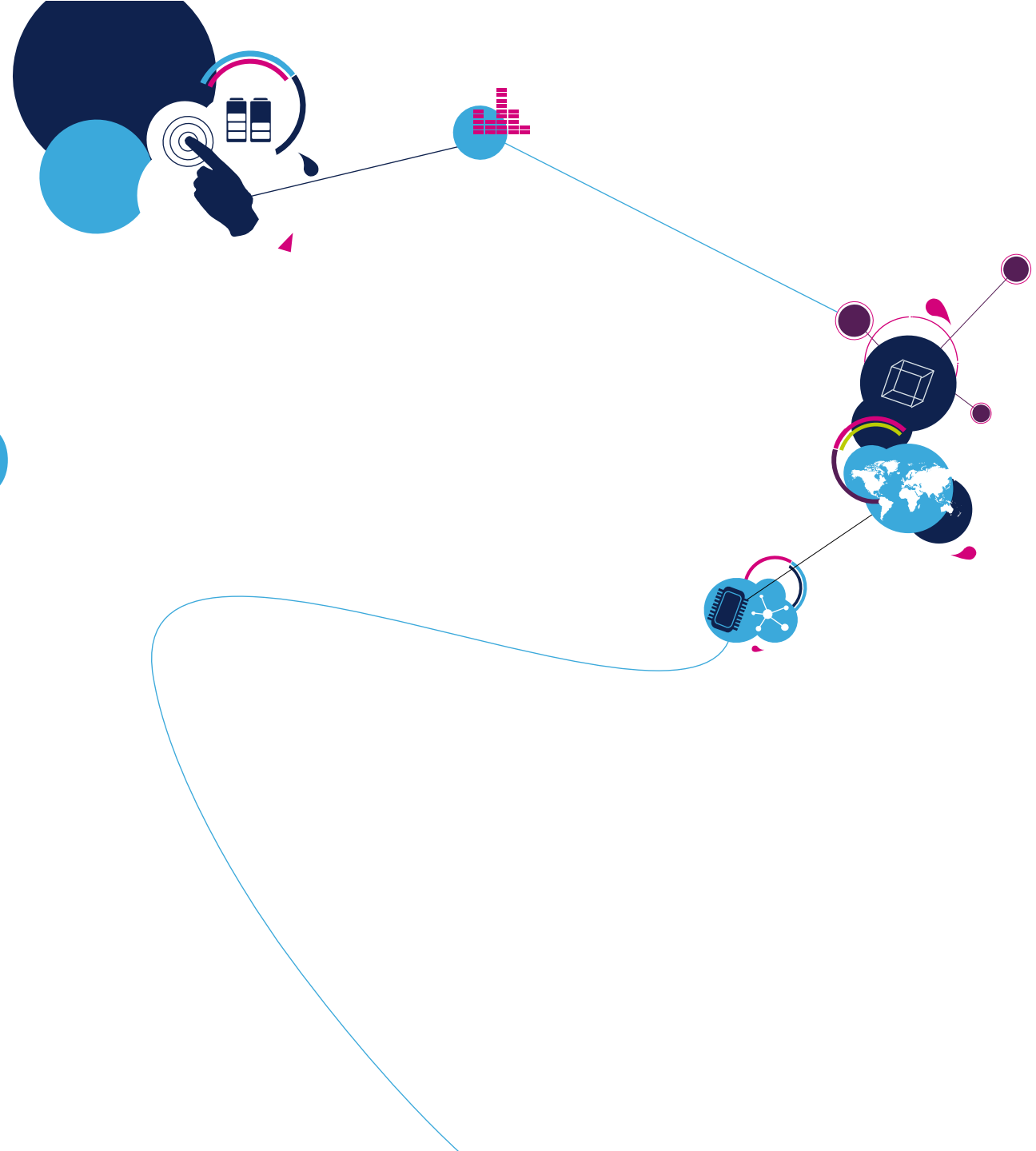
	上升沿 阈值 (V)	下降沿 阈值 (V)
POR/PDR	1.71	1.6
BOR1	2.1	2.0
BOR2	2.31	2.21
BOR3	2.62	2.52
BOR4	2.91	2.82



- 与STM32F0相比，G0的PVD允许用户分别设置上升沿和下降沿的电压阈值。
 - PVD仍然连接到极性可配的EXTI Line，以便执行安全关闭任务(如刹车输入).



STM32G0 - GPIO



与STM32F0的主要区别

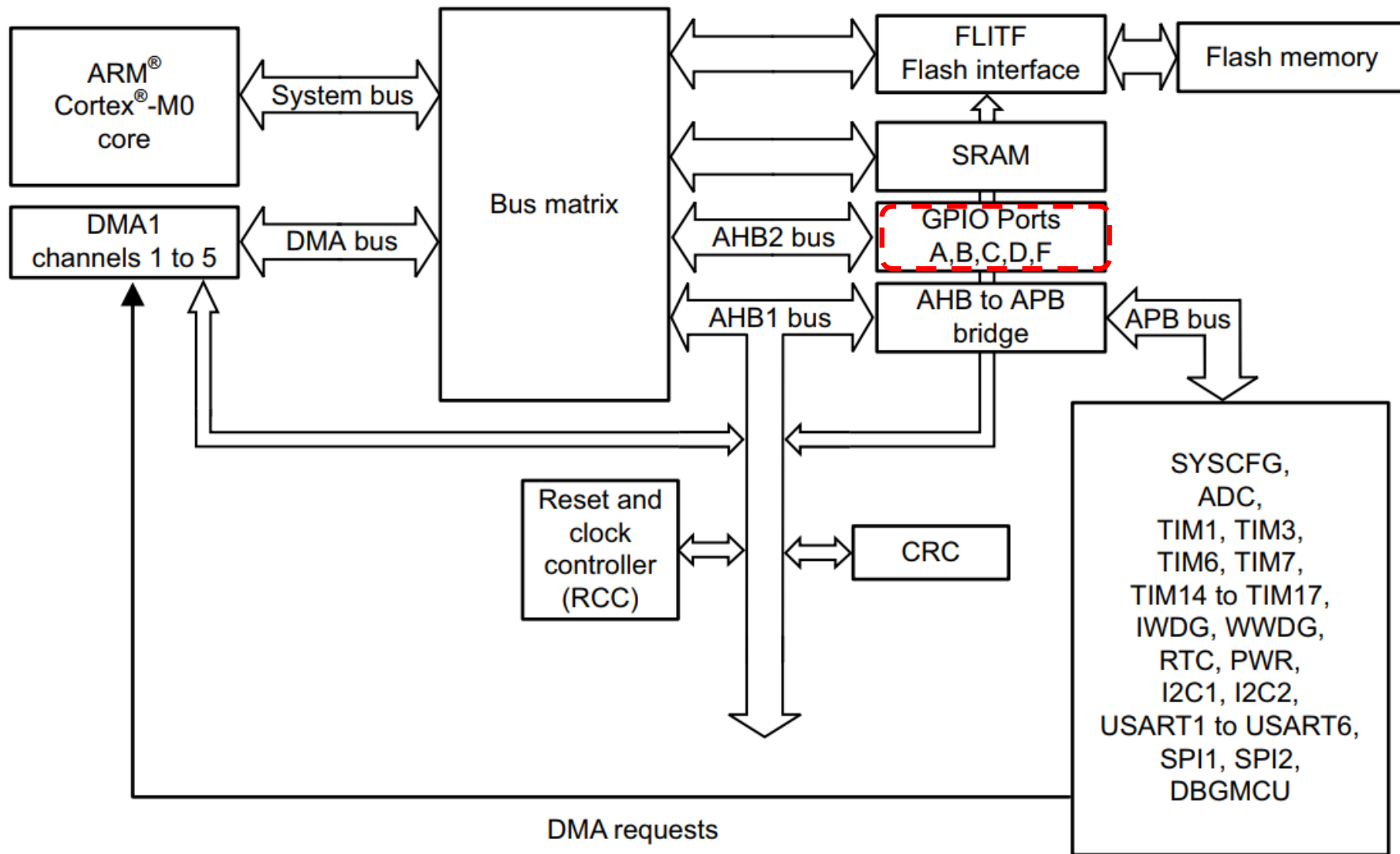
211

- G0的GPIO模块与F0的类似，主要有以下的区别

	STM32F0	STM32G0
复位状态	输入模式	模拟模式
连接到内核	AHB 总线	IOPORT
Pull up/down in LP 模式	No	Yes (在PWR 控制器里配置)

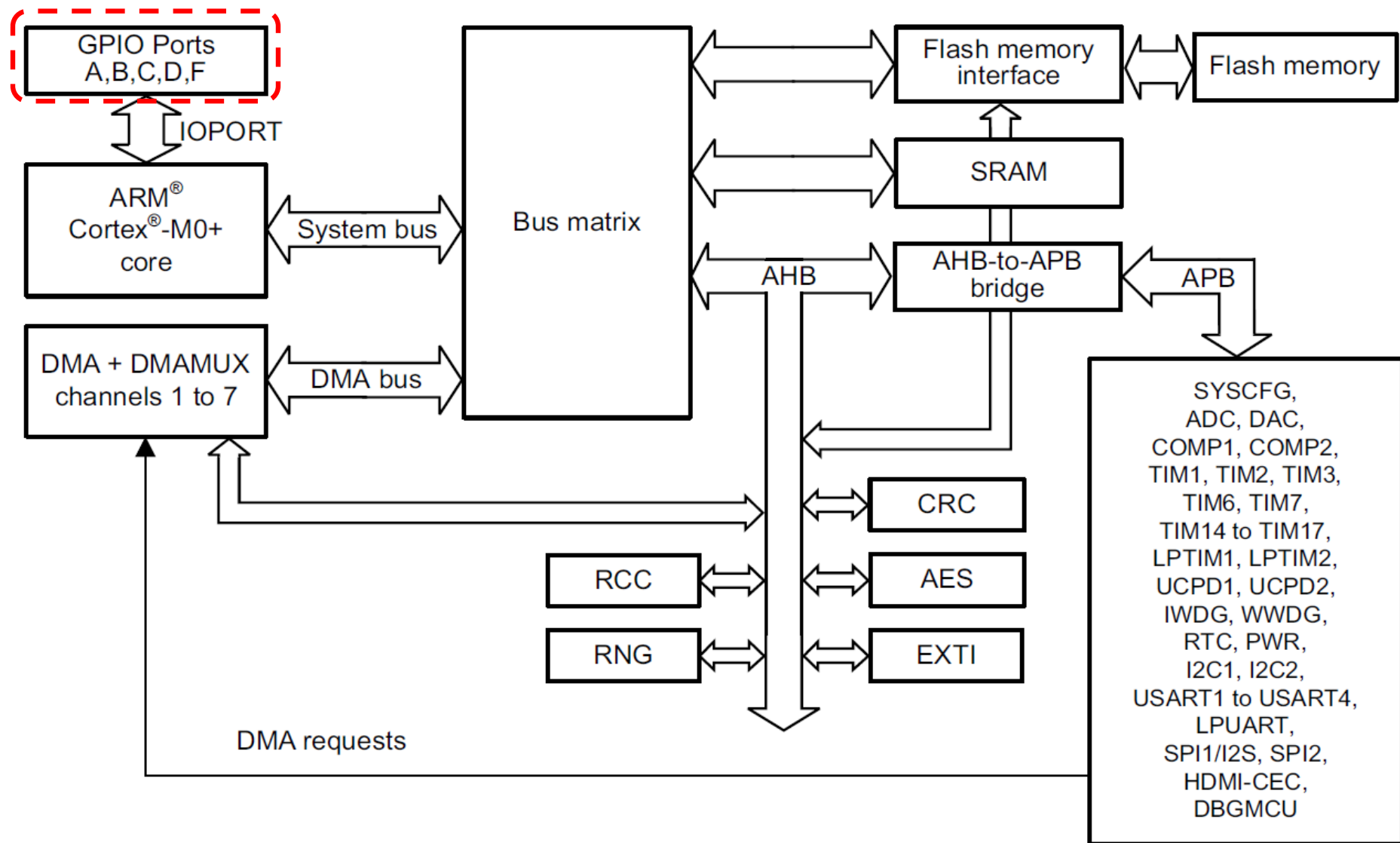
STM32F0系统架构

212



STM32G0系统架构

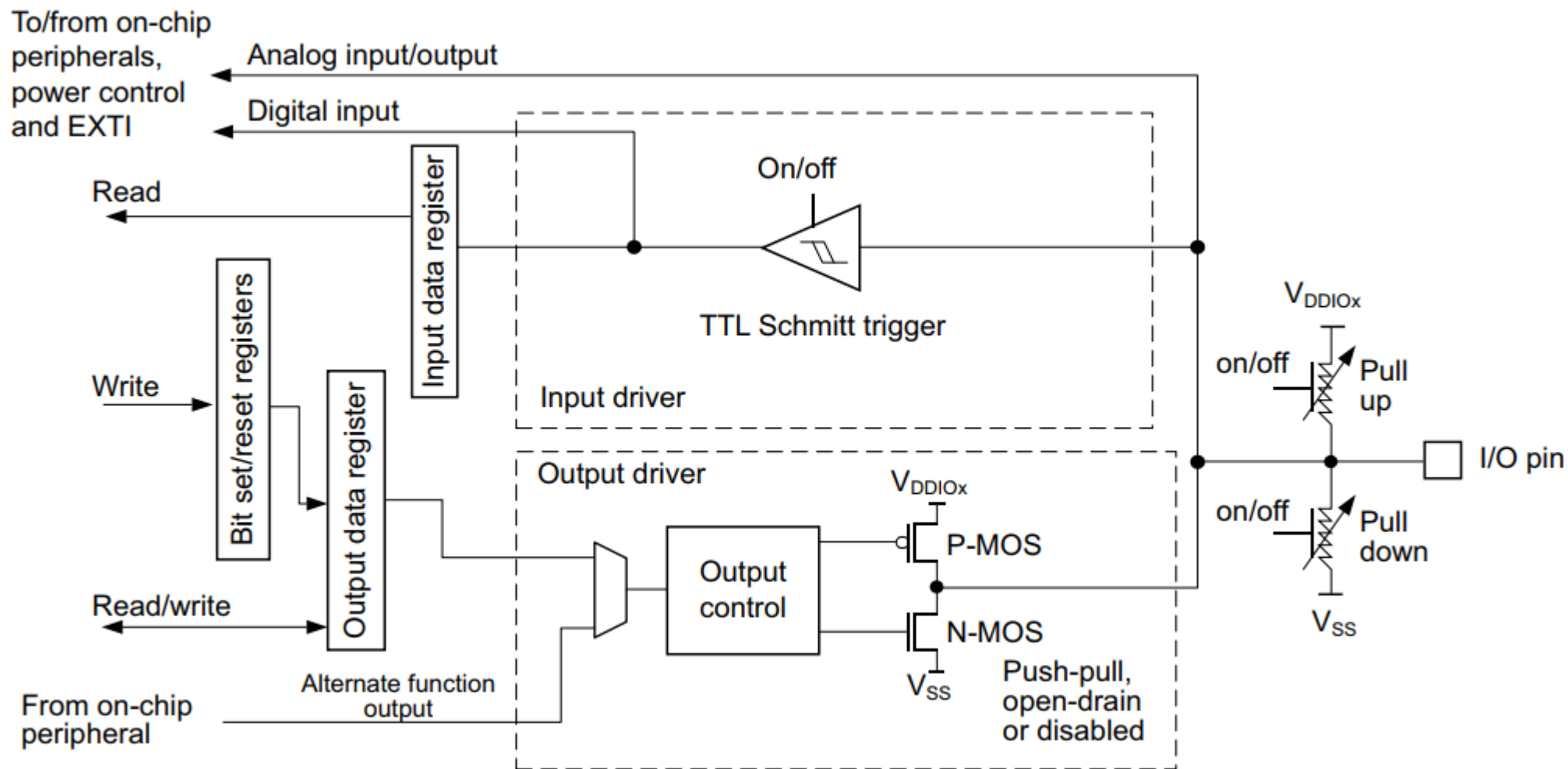
213



- 双向操作多达60*个 I/O 引脚
 - 从GPIOA至GPIOF共5个端口, 每个端口最多16个I/O引脚
 - 全部具有外部中断和唤醒功能
 - 使用BSRR和BRR寄存器进行原子操作(置位和复位)
 - 每个端口独立配置
- GPIOx 直接挂在IOPORT 总线上
- 大多数 I/O引脚能够支持5 V容忍

引脚的基本结构

215

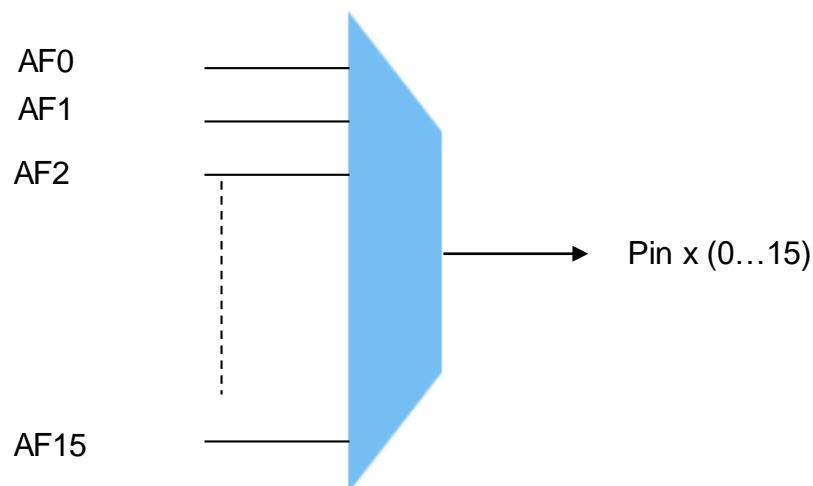


- 灵活的操作模式满足应用需求

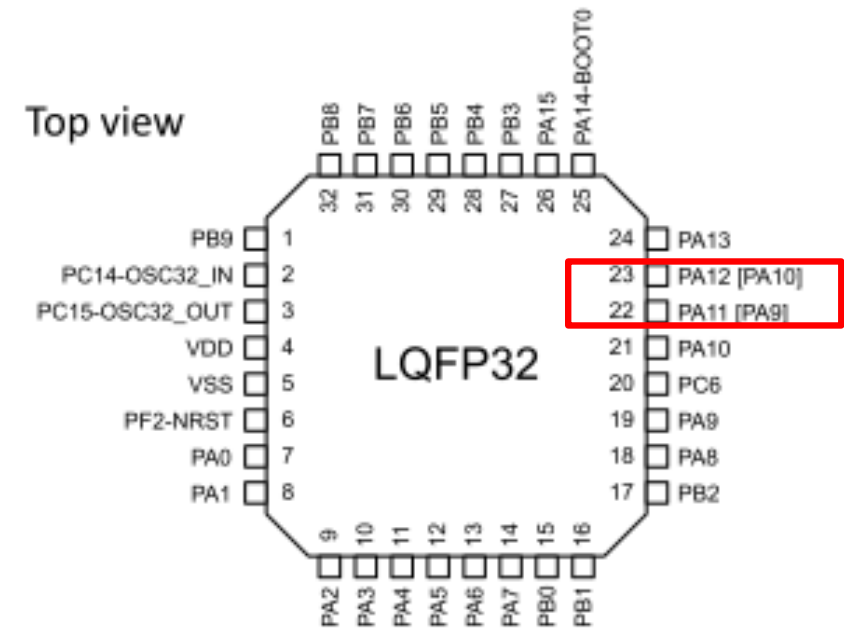
- 输入模式
 - 悬浮 (无上下拉电阻), 输入上拉/下拉, 模拟输入模式
- 输出模式
 - 推挽, 带有可选上拉/下拉的开漏
- 可配置的输出斜率, 速度可达80 MHz
- 复用功能模式
- 用于冻结I/O端口配置的锁定机制(GPIOx_LCKR)

- I/O引脚结构用作其他嵌入式外设的接口

- 多个集成外设共享相同的I/O引脚
 - 包含USARTx_TX, TIMx_CHx, SPIx_MISO, EVENTOUT, ...
- 复用功能多路选择器选择连接到I/O引脚的外设
 - 一次只有一个复用功能连接到特定的I/O引脚
 - 通过GPIOx_AFRL和GPIOx_AFRH寄存器配置



- PA10和PA9分别可以重映射PA12和PA11这两个GPIO口，为那些在封装上没有提供这些引脚但又想访问它们的引脚功能提供了可能。
 - 通过SYS_CFG寄存器重映射



- 只有调试引脚在复位时保持AF模式

- 在复位期间和复位后,复用功能是未激活状态
 - I/O 引脚默认为模拟状态(Analog)
 - 在复位期间和复位后关闭施密特触发器以降低功耗
- 只有SWD调试引脚保持为AF 上拉/下拉的配置模式
 - PA13: SWDIO
 - PA14: SWCLK (**BOOT0**)

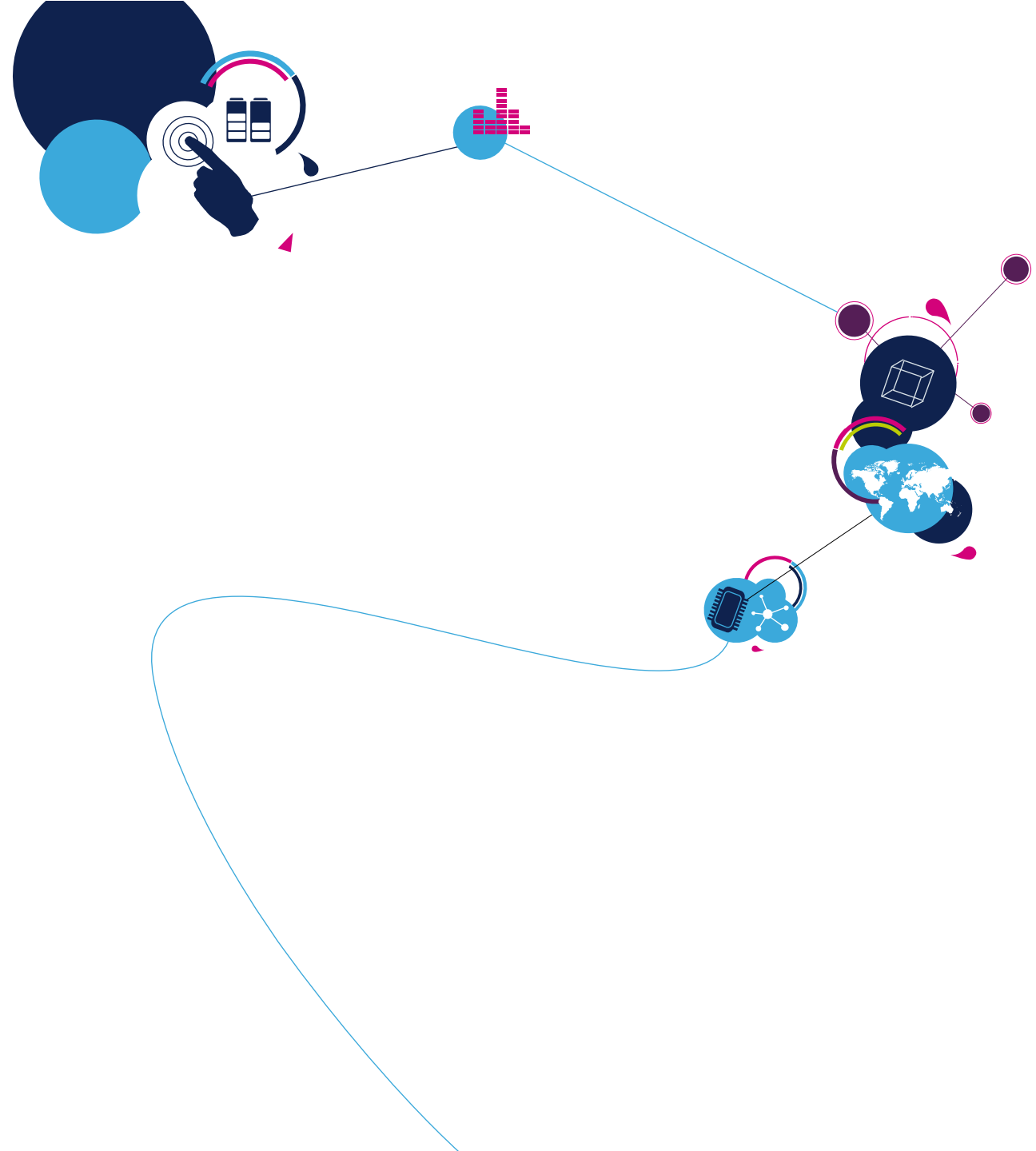


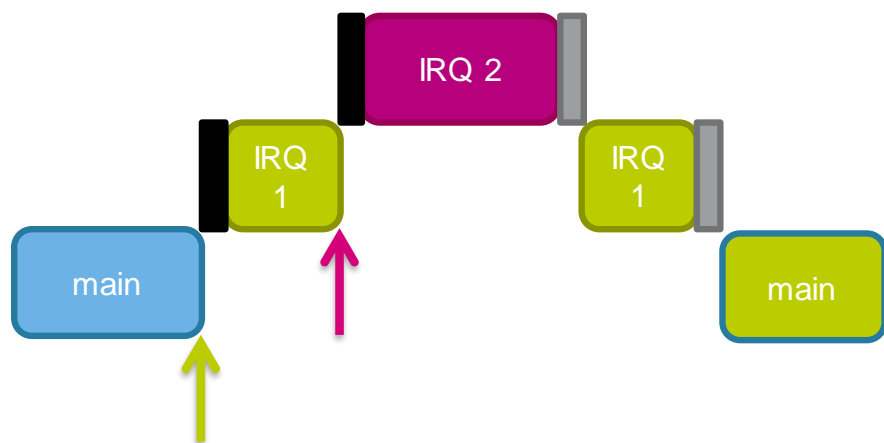
IO管脚在低功耗模式下的状态

220

模式	I/O 描述
Run	激活.
Sleep	激活.
LP Run	激活.
LP Sleep	激活.
Stop 0	激活.
Stop 1	激活.
Standby	仅作为内部上拉,下拉或者浮空输入.从待机模式退出时配置丢失.
Shutdown	IO配置丢失
Reset	当MCU处于复位状态时强制为模拟输入

STM32G0- EXTI





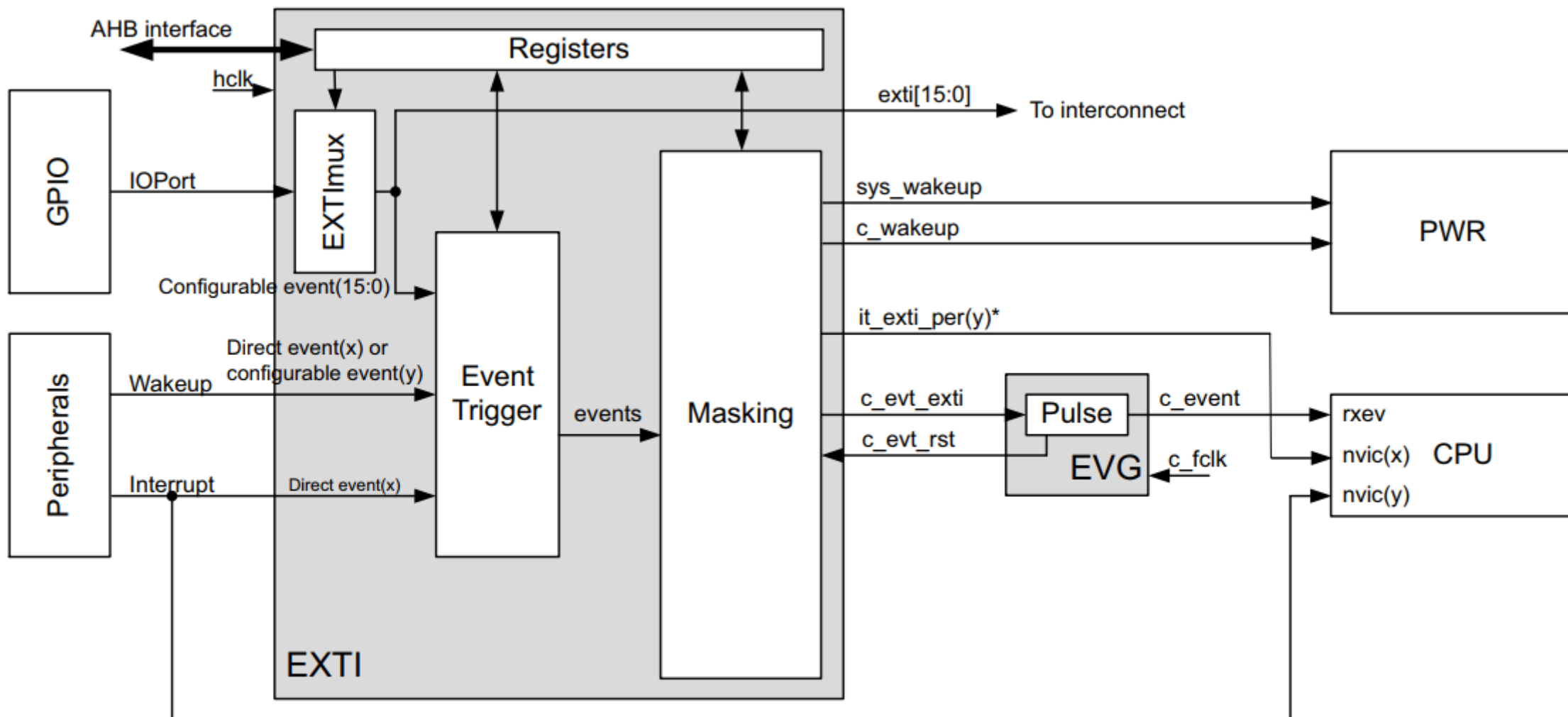
- 事件 / 中断线
 - X 可配置事件
 - Y 直接事件
- 独立的屏蔽和配置

运用优势

- 管理外部和内部唤醒事件和中断
- 为可配置事件挂起提供标志

EXTI原理图

224



* it_exti_per(y) are only available for configurable events (y)

EVG(Event Generation block):事件生成模块, 将异步事件同步后传递到CPU.

- 从Stop模式唤醒,生成中断和事件

- 独立的中断和事件屏蔽

- 用可配置事件

- 边沿选择
- 专门的挂起标志
- 可由软件触发
- 连接到:
 - GPIO, PVD, COMPx

- 直接事件

- 状态标志由相关外设提供
- 连接到:
 - I2Cx, USARTx, UARTx, LPUARTx, SPIx.

GPIO MUX 从SYSCFG移到EXTI

226

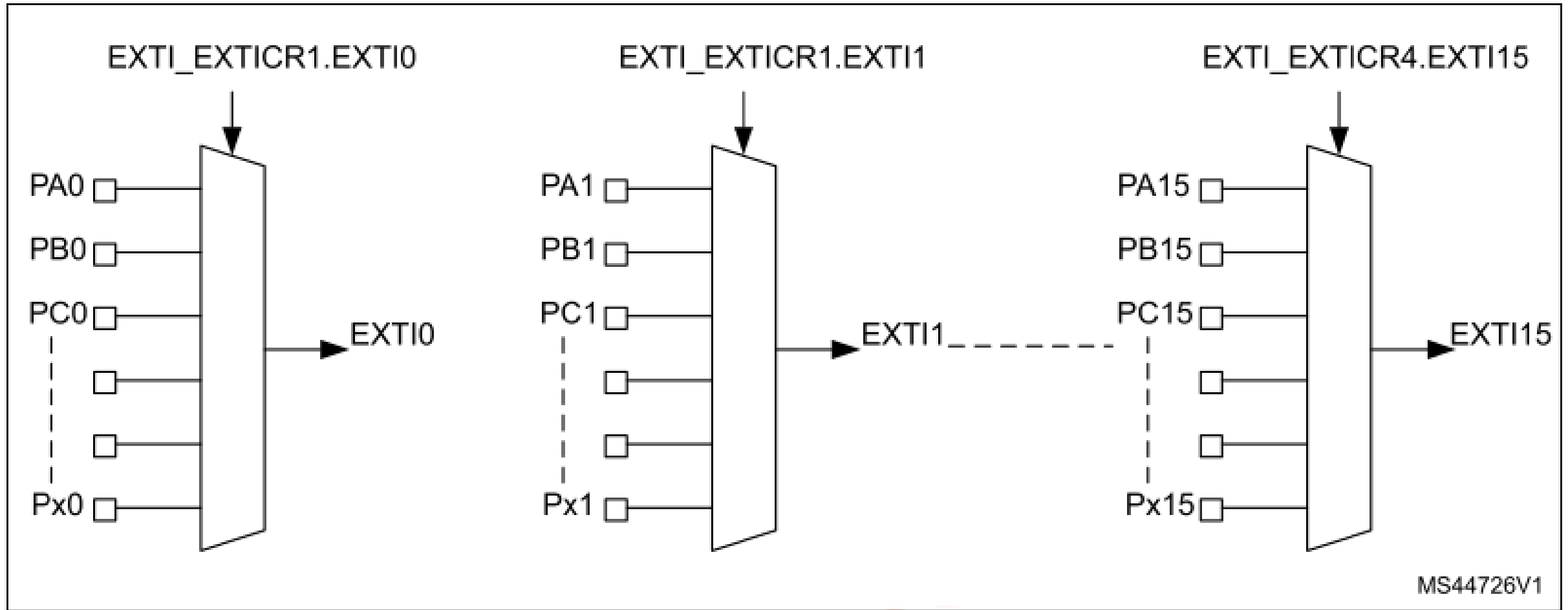


Table 50. EXTI line connections

EXTI line	Line source	Line type
0-15	GPIO	Configurable
16	PVD output	Configurable
17	COMP1 output	Configurable
18	COMP2 output	Configurable
19	RTC	Direct
20	Reserved	-
21	TAMP	Direct
22	Reserved	-
23	I2C1 wakeup	Direct
24	Reserved	-
25	USART1 wakeup	Direct
26	USART2 wakeup	Direct
27	CEC wakeup	Direct
28	LPUART1 wakeup	Direct
29	LPTIM1	Direct
30	LPTIM2	Direct
31	LSE_CSS	Direct
32	UCPD1 wakeup	Direct
33	UCPD2 wakeup	Direct

STM32G0 – 系统 DMA

与STM32F0主要的差别

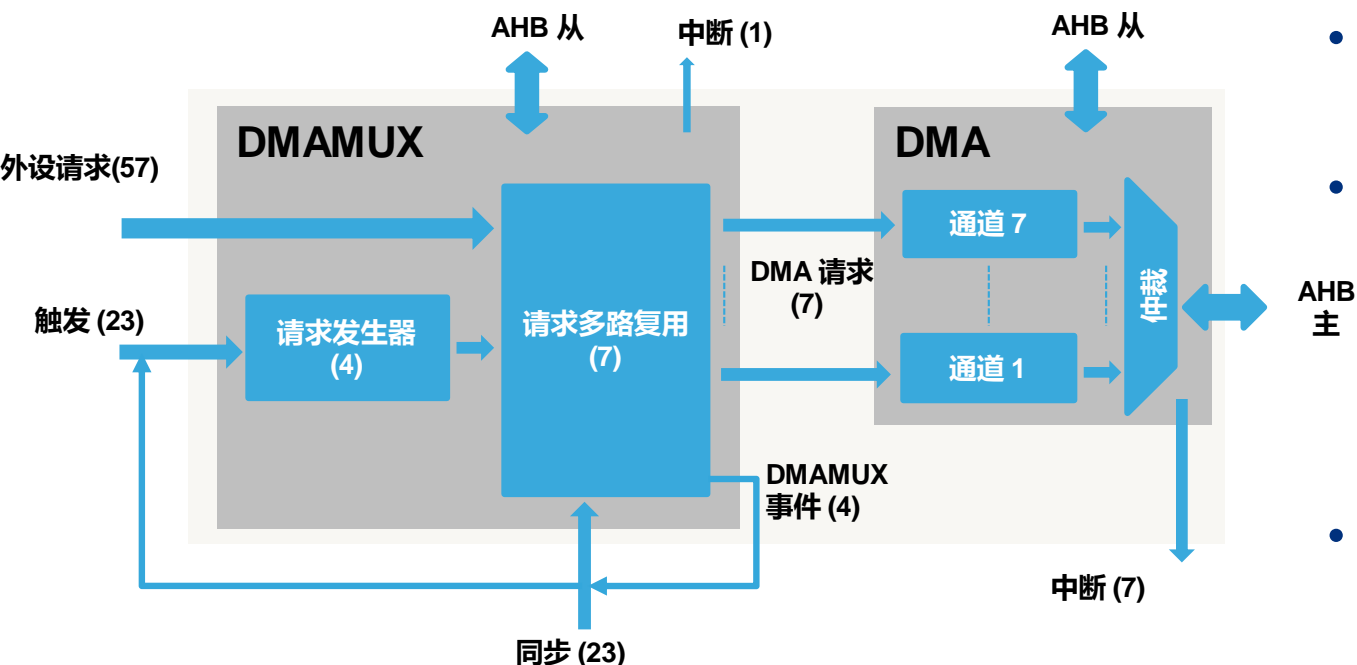
229

- G0的DMA控制器与F0的类似，但是多了一个多路复用控制器DMAMUX

	STM32F0	STM32G0
DMA	2 DMAs	1 DMA
DMA 特性	一样	
DMAMUX	No	Yes

• STM32G0 DMA 特性

- 减轻CPU负载，用于从内存映射源到内存映射目标的数据传输
- 1x DMA 控制器
 - 可编程块传输，具有7个并发通道可以独立配置
 - 可编程通道优先级
 - 通过AHB主端口(连接到总线矩阵) 传输数据
- 1x 新 DMA 请求多路复用(DMAMUX)
 - 可编程映射DMA请求
 - 事件触发和同步的DMA请求生成



DMAMUX+DMA的方式最先出现在H7，然后是L4+，好处是使DMA通道对应的外设更加灵活，不再受限

STM32G0 DMA 和DMAMUX 示例

231

DMAMUX 特性	DMAMUX
外设请求数	57
请求发生器的数量	4
触发数	23
同步数	23
输出DMA请求数	7

DMA 特性	DMA
通道数	7

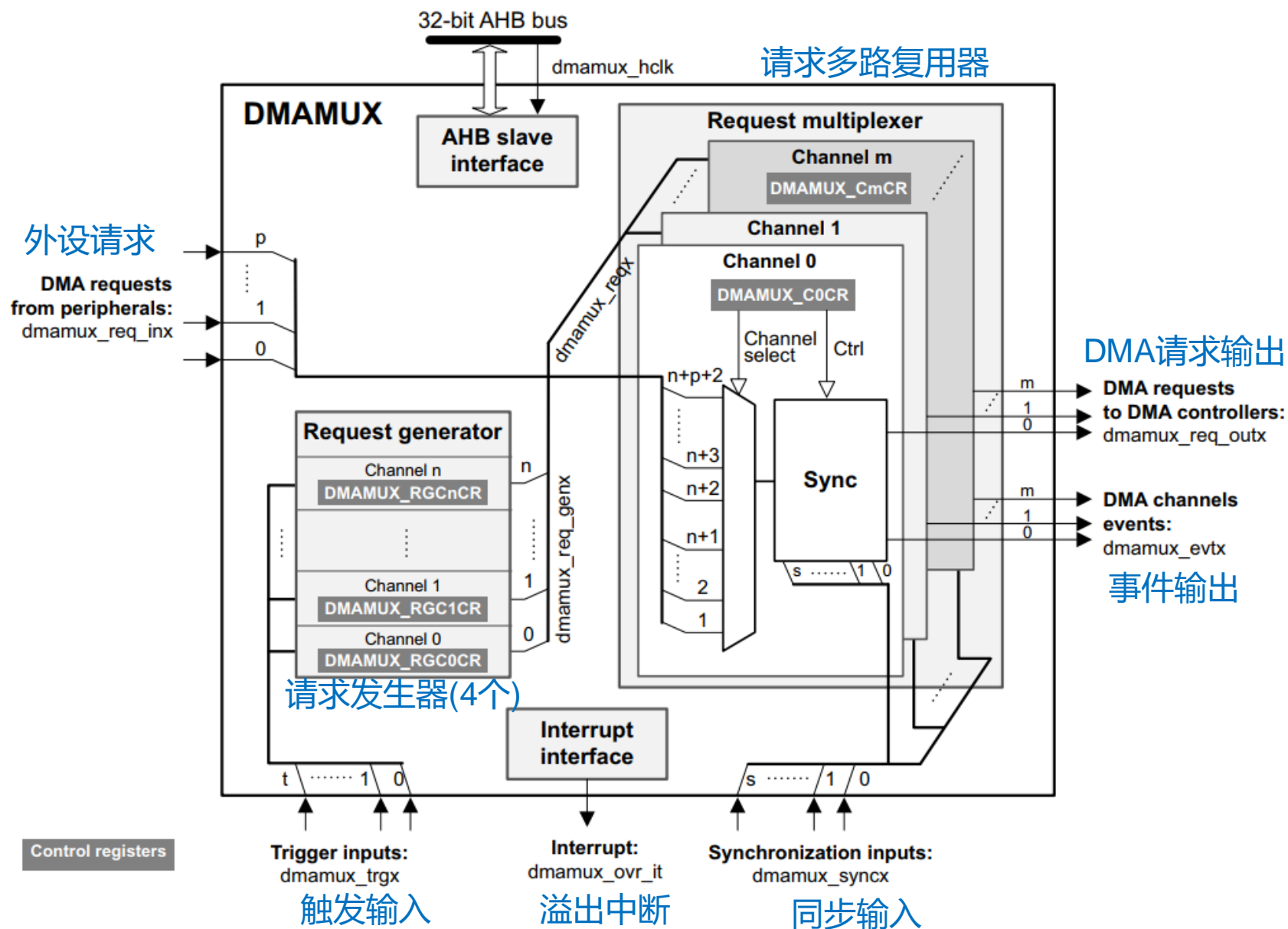
- 外设到内存, 内存到外设, 和内存到内存的数据传输
- DMA上有7个独立可配置的通道
 - 每个通道要么分配给DMA硬件和外设请求, 或者用在内存到内存传输中的软件请求
 - DMA通道之间的数据传输优先级可配置为 (非常高/高/中/低)
 - 每个通道可各自配置不同的数据传输格式 (数据格式, 地址增量类型, 起始地址, 块大小)
 - 各个通道拥有各自的标志位和 (块)半传输, (块)传输完成, 传输错误等中断.
 - 在总线访问错误的情况下, 会自动禁用故障通道.
 - 用于批量数据传输的可编程功能



传统DMA功能

DMAMUX结构

233

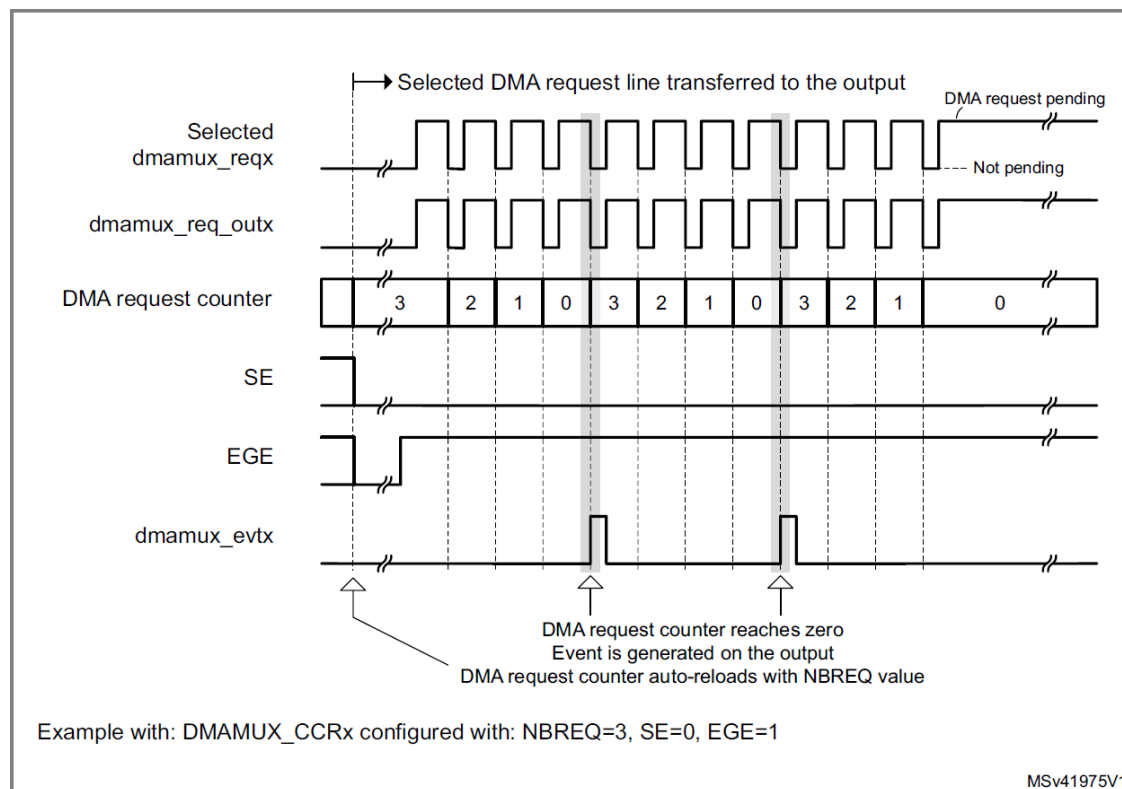


- DMAMUX是DMA**请求多路复用器**/路由器
- DMAMUX可将来自任何**外设请求**路由到7个DMA通道中任意一个中去
- 另外的, 有4个**请求发生器**
 - 可配置由本身生成的DMA请求,**触发输入**及配置如下:
 - 触发选择: EXTI0..15, LPTIM1/2 OUT, TIM14_OC, 或4个生成的DMAMUX事件中任一个
 - 触发事件: 上升沿,下降沿或双边沿
 - 触发事件时生成的DMA请求数(在请求发生器内置了一个计数器)
 - 当下一个触发事件到来而之前由生成的DMA请求数尚未完成时, 触发器**溢中断**会通知软件处理。

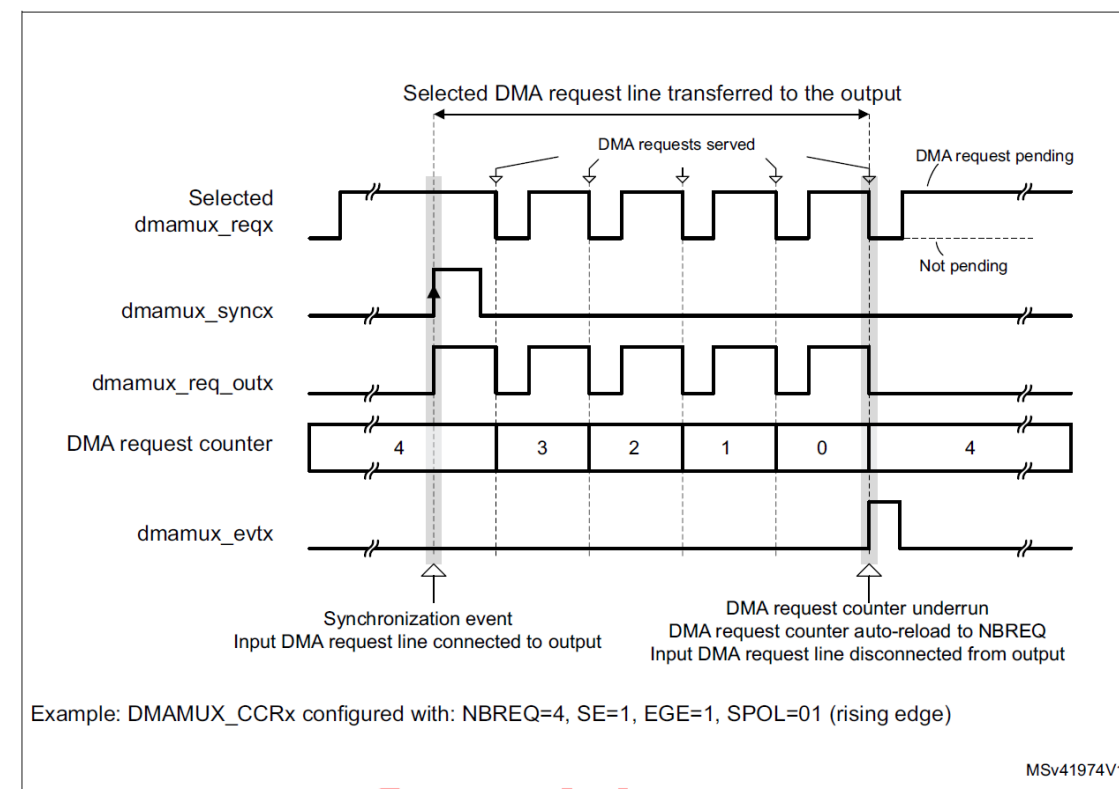
DMAMUX+DMA的方式最先出现在, 然后是L4+, 好处是使DMA通道对应的外设更加灵活, 不再受限

- 对于每个DMAMUX**请求多路复用器**,可以配置:
 - 从外设或者从请求发生器中选择DMA的请求输入, 该请求输出连接到DMA控制器的给定通道
 - 可配置的**同步输入**:
 - 同步选择: EXTI0..15, LPTIM1/2OUT, TIM14_OC,或4个生成的DMAMUX事件中任一个
 - 同步时间: 上升沿, 下降沿或双边沿
 - 同步事件发生时允许通过的DMA请求数
 - 当下一个同步信号到来之前DMA请求数还没有全部通过时, 将会产生**溢出中断**
 - 可选生成的DMAMUX**事件输出**(多路复用器内置了一个计数器)
 - 4 个DMAMUX事件作为触发输入和同步输入环回到DMAMUX, 应用基于DMA通道间链接的场合.

• 生成的 DMA 请求和DMAMUX 事件



非同步模式



同步模式

- 每个通道的中断事件

中断事件	描述
半传输	当块数据的一半传输完成时置位
传输完成	当块传输完成时置位
传输错误	当数据传输出错时置位
全局中断	每当半传输,传输完成或传输出错时置位

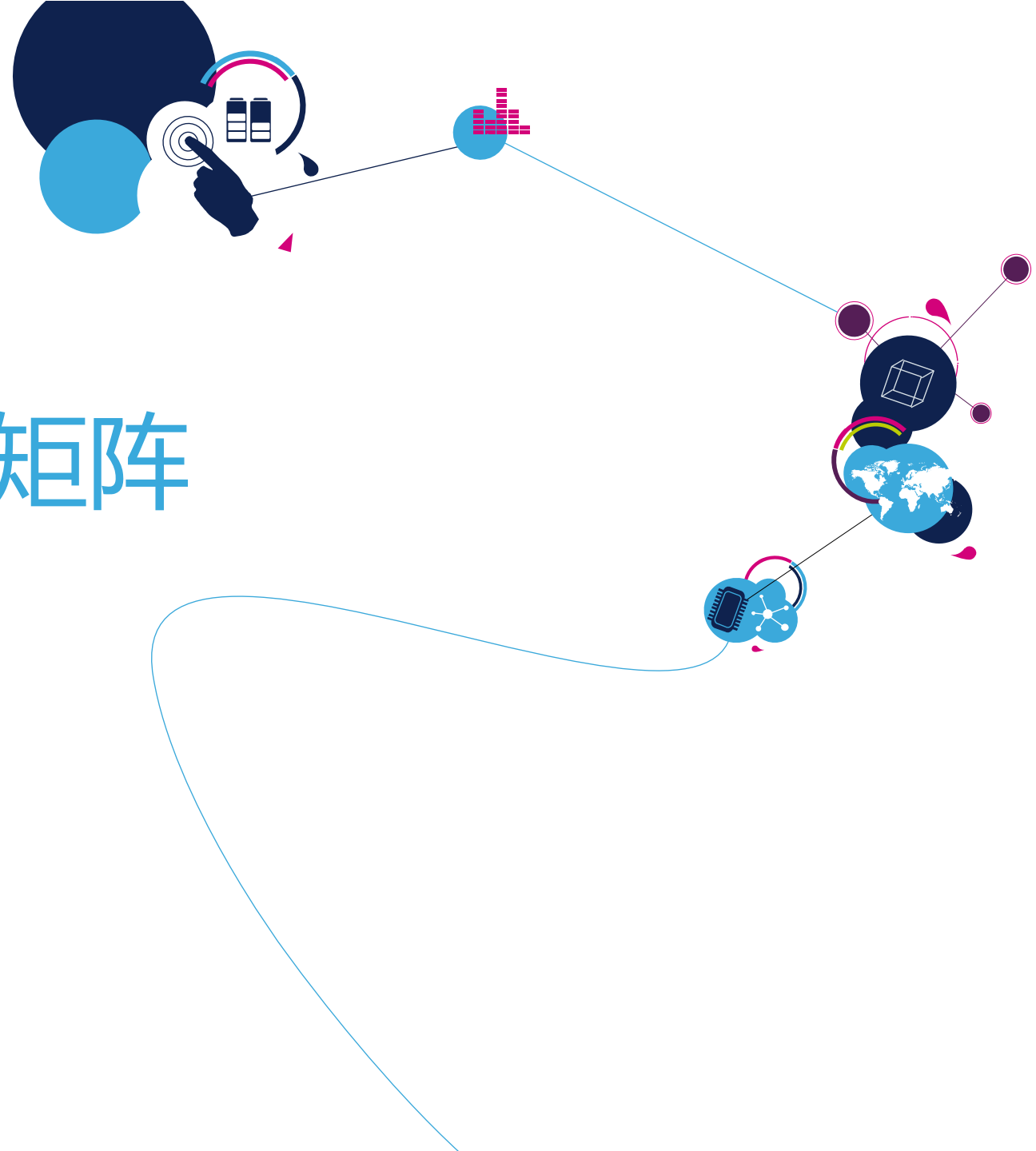
中断事件	描述
请求发生器触发溢出	当下一个触发输入事件到来而之前由DMAMUX生成的DMA请求数尚未完成时，请求发生器触发溢出标志位会被置位。
请求多路复用器同步溢出	当下一个同步事件到来而之前由DMAMUX生成的DMA请求数尚未完成时，请求多路复用器同步溢出标志位会被置位。

低功耗模式下的DMA

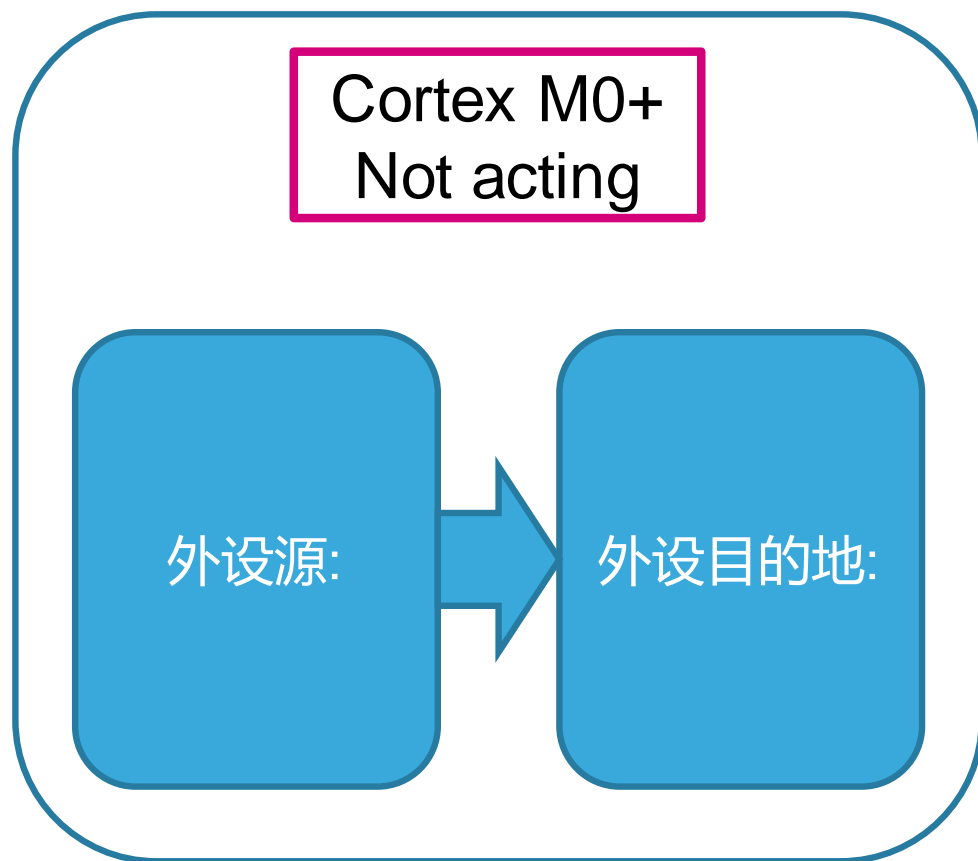
239

模式	描述
Run	激活.
LP Run	激活.
Sleep	激活. DMA 中断能够唤醒CPU.
LP Sleep	激活. DMA 中断能够唤醒CPU.
Stop 0/Stop 1	时钟关闭且冻结. DMA寄存器保存.
Standby	电源关闭.从Standby模式退出后 DMA必须重新初始化
Shutdown	电源关闭.从Shutdown模式退出后 DMA必须重新初始化

STM32G0 – 互联矩阵



- 提供外设之间的直接连接



运用优势

- 时间可预测的操作
- 降低了功耗
- 减少了 GPIO的使用

- 外围设备之间的直接自由连接
 - 消除了软件处理方面的延时
 - 节省了 CPU 资源
 - 无需通过专用GPIO去搭建环回信号
- 可以在低功耗模式下运行 (取决于外设)

提供大量的互联可能性

源外设

- 定时器: TIMx, LPTIMx, RTC
- 模拟 IP: ADC, COMPx, DACx, VrefInt, VBAT, Temp Sensor
- 时钟: HSE, LSE, LSI, HSI16, MCO
- EXTI,
- 系统错误

目的外设

- 定时器: TIMx, LP TIMx, IRTIM
- 模拟IP: ADCx, COMPx, DACx
- DMA

Source	Destination												
	TIM1	TIM8	TIM2	TIM3	TIM4	TIM5	TIM6	TIM7	TIM15	TIM16	TIM17	LPTIM1	LPTIM2
TIM1	-	1	1	1	1	-	-	-	1	-	-	-	2
TIM8	-	-	1	-	1	1	-	-	-	-	-	-	2
TIM2	1	1	-	1	1	1	-	-	-	-	-	-	2
TIM3	1	-	1	-	-	-	-	-	-	-	-	-	2
TIM4	1	1	-	-	-	-	-	-	-	-	-	-	2
TIM5	-	1	-	-	-	-	-	-	-	-	-	-	-
TIM6	-	-	-	-	-	-	-	-	-	-	-	-	2
TIM7	-	-	-	-	-	-	-	-	-	-	-	-	-
TIM15	1	-	-	1	-	-	-	-	-	-	-	-	2
TIM16	-	-	-	-	-	-	-	-	1	-	-	-	-
TIM17	-	-	-	-	-	-	-	-	1	-	-	-	-

Details in reference manual.

- 大多数互联都能够在低功耗模式下工作

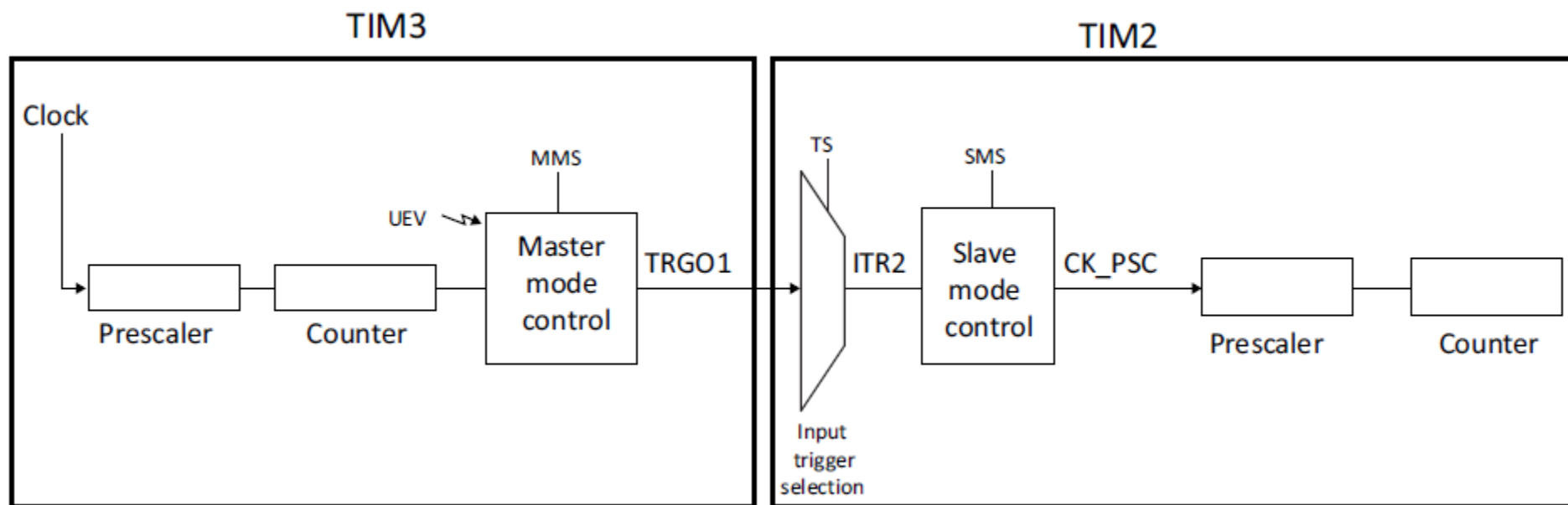
- 所有互联均可在下述模式下工作:
 - Run, Sleep, Low-power run 和 Low-power sleep 模式
- 从RTC, COMP1, COMP2到低功耗定时器的 (LPTIM1/LPTIM2)的连接
 - 也适用于Stop0, Stop 1和Stop 2 (仅LPTIM1) 模式

- 定时器同步或链接
- 触发ADC, DAC 或COMP (通过定时器或EXTI)
- 触发定时器 (通过ADC, RTC 或 COMP)
- 触发DMA数据从内存到DAC (通过定时器)
- 校准HSI16/LSI时钟
- 温度和电压监控
- 保护定时器驱动电源开关 (定时器系统错误)
- 红外信号产生(定时器到 IRTIM)

定时器同步示例

246

- 定时器3可以作为定时器2的预分频器



Q.A

F&E Team

