

Stage n° 6 du LCE : Validation des résultats d'injection de fautes dans un simulateur d'architectures multi-processeur

Le Commissariat à l'Energie Atomique et aux Energies Alternatives (CEA) est un acteur majeur en matière de recherche, de développement et d'innovation. Cet organisme de recherche technologique intervient dans trois grands domaines : l'énergie, les technologies pour l'information et la santé et la défense. Reconnu comme un expert dans ses domaines de compétences, le CEA est pleinement inséré dans l'espace européen de la recherche et exerce une présence croissante au niveau international. Situé en île de France sud (Saclay), le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies et de favoriser l'innovation dans le domaine des systèmes de calcul parallèles.

Le stage proposé s'inscrit dans le domaine de fiabilité des systèmes embarqués. La fiabilité des systèmes est une contrainte majeure dans plusieurs domaines d'application (par exemple spatial, avionique, médical). Du fait de la réduction continue des dimensions des transistors, elle est par ailleurs devenue un problème de plus en plus important dans d'autres domaines prétendument moins sensibles comme l'électronique grand public. Vérifier la capacité de tolérance aux fautes d'un système est ainsi une nécessité de plus en plus importante, depuis les premières phases de projet. Plusieurs outils d'injection de fautes sont proposés en industrie et académie pour différents niveaux d'abstraction de description du système.

L'objectif du stage est la validation des résultats d'injection de fautes dans un simulateur d'architectures multi-processeur à niveau TLM (Transaction Level Modeling). Pour la validation, une même architecture implémentées aux niveaux TLM et RTL (Register Transfer Level) sera utilisée pour comparer les effets des fautes. Au niveau TLM, un injecteur de fautes déjà implémenté dans un simulateur existant au sein du laboratoire sera utilisé. A niveau RTL, les signaux sur lesquels introduire les fautes devront quant à eux être identifiés par le candidat et un mécanisme d'injection de fautes devra être implémenté.

Niveau demandé : Master recherche/diplôme ingénieur

Durée : 6 mois

Compétences : Conception numérique, architectures parallèles, SystemC, VHDL et Tcl

Pièces à fournir : CV + lettre de motivation + classements

Contact :

Nom : Chiara Sandionigi
Téléphone : 01.69.08.37.30
Email : chiara.sandionigi@cea.fr



Laboratoire d'Intégration des Systèmes et des Technologies

Commissariat à l'Energie Atomique et aux Energies Alternatives
Institut Carnot CEA LIST
Centre de Saclay | Nano-Innov Bât 862 | PC 172
91191 Gif sur Yvette Cedex



Laboratoire d'Electronique et de Technologie de l'Information

Direction de la Recherche Technologique
Département Architecture Conception et Logiciels Embarqués