

Stage n° 7 du LCE : Implémentation de mécanismes de tolérance de fautes dans un simulateur d'architectures multi-processeur

Le Commissariat à l'Energie Atomique et aux Energies Alternatives (CEA) est un acteur majeur en matière de recherche, de développement et d'innovation. Cet organisme de recherche technologique intervient dans trois grands domaines : l'énergie, les technologies pour l'information et la santé et la défense. Reconnu comme un expert dans ses domaines de compétences, le CEA est pleinement inséré dans l'espace européen de la recherche et exerce une présence croissante au niveau international. Situé en île de France sud (Saclay), le Laboratoire d'Intégration des Systèmes et des Technologies (LIST) a notamment pour mission de contribuer au transfert de technologies et de favoriser l'innovation dans le domaine des systèmes de calcul parallèles.

Le stage proposé s'inscrit dans le domaine de fiabilité des systèmes embarqués. La fiabilité des systèmes est une contrainte majeure dans plusieurs domaines d'application (par exemple spatial, avionique, médical). Du fait de la réduction continue des dimensions des transistors, elle est par ailleurs devenue un problème de plus en plus important dans d'autres domaines prétendument moins sensibles comme l'électronique grand public. Définir la meilleure stratégie de tolérance aux fautes est nécessaire depuis les premières phases de développement du système.

Dans ce contexte, l'objectif du stage est d'étendre un simulateur d'architectures multi-processeur existant au sein du laboratoire pour la mise en place de mécanismes de tolérance de fautes dans les architectures simulées. Le framework envisagé met en œuvre des techniques de redondance spatiale à différentes granularités de l'architecture. Les différents modules et sous-modules qui composent l'architecture sont identifiés et, selon les indications du développeur du circuit, des techniques de DWC (Duplication With Comparison) ou TMR (Triple Modular Redundancy) sont appliquées aux modules/sous-modules, produisant une architecture tolérante aux fautes. Le framework doit permettre d'analyser rapidement différentes possibilités de renforcement de l'architecture.

Ce stage constituera pour le candidat l'opportunité d'appliquer ses compétences en matière de conception et modélisation d'architecture au sein d'une équipe pluri disciplinaire à l'origine de plusieurs architectures massivement parallèles et fortement connectée au milieu industriel.

Niveau demandé : Master recherche/diplôme ingénieur

Durée : 6 mois

Compétences : Conception numérique, architectures parallèles, SystemC

Pièces à fournir : CV + lettre de motivation + classements

Contact :

Nom : Chiara Sandionigi
Téléphone : 01.69.08.37.30
Email : chiara.sandionigi@cea.fr



Laboratoire d'Intégration des Systèmes et des Technologies

Commissariat à l'Energie Atomique et aux Energies Alternatives
Institut Carnot CEA LIST
Centre de Saclay | Nano-Innov Bât 862 | PC 172
91191 Gif sur Yvette Cedex



Laboratoire d'Electronique et de Technologie de l'Information

Direction de la Recherche Technologique
Département Architecture Conception et Logiciels Embarqués