

소속:	Computer System Architecture	2019-2 Assignment 3 [모범답안]
학번:		제출기한: 2019년 12월 13일(금)
이름:	담당교수 : 고영은	Chapter 7, 8

1. 하드와이어된 제어(Hardwired control)와 마이크로 프로그램된 제어(microprogrammed control) 사이의 차이점을 설명하여라. 제어 메모리와 함께 하드와이어된 제어를 가질 수 있는가?

하드와이어된 제어(Hardwired control): 제어 장치가 일상적인 논리 회로 설계방식대로 설계

마이크로 프로그램된 제어(microprogrammed control): 명령을 수행할 수 있도록된 일련의 제어워드를 기억 장치 속에 저장하여 제어신호를 구현

제어 메모리와 함께 하드와이어된 제어를 가질 수 없다.

2. 다음 용어를 설명하라.

1) 마이크로 연산 : 디지털 컴퓨터 연산 요소

2) 마이크로 명령어 : 제어 메모리에 적재된 명령어

3) 마이크로 프로그램 : 마이크로명령어의 열,

4) 마이크로 코드 : 마이크로프로그램에 해당하는 기계어

3. 교재의 그림 7-2의 시스템은 32bits의 1024words로 구성된 제어 메모리를 사용한다. 마이크로 명령어는 세 개의 필드로 구성되어 있고, 마이크로 연산 필드는 16bits이다.

(a) 분기 필드와 선택 필드는 각각 몇 비트인가?

6	10	16	=	32 bits
Select	Address	Micro operations		

(b) 시스템에 16개의 상태 비트가 있다면, 분기 논리 중에서 몇 비트가 상태 비트를 선택하는데 사용되는가? 4bits

(c) 멀티플렉서를 위한 입력을 선택하기 위해서는 몇 비트가 필요한가? 2bits

4. 교재의 표 7-1을 이용하여 다음 마이크로 연산들에 대한 9bits 마이크로 연산 필드의 내용을 구하라.

(a)  $AC \leftarrow AC + 1$ ,  $DR \leftarrow DR + 1$

(b)  $PC \leftarrow PC + 1$ ,  $DR \leftarrow M[AR]$

(c)  $DR \leftarrow AC$ ,  $AC \leftarrow DR$

	E1	E2	E3	
(a)	011	110	000	INCAC INCDR NOP
(b)	000	100	101	NOP READ INCPC
(c)	100	101	000	DRTAC ACTDR NOP

5. 교재의 표 7-1을 이용하여 다음에서 기호로 나타난 각 마이크로 연산들을 레지스터 전송문과 이진 기호로 바꾸어 나타내시오.

(a) READ, INCPC => 000100101

(b) ACTDR, DRTAC => 100101000

(c) ARTPC, DRTAC, WRITE => F1 중복으로 동시 수행 못하므로 표기 불가능

6. 다음은 교재 7-3절에서 정의한 컴퓨터의 명령에 대한 기호 마이크로 프로그램이다.

ORG 40				
NOP	S	JMP	FETCH	
NOP	Z	JMP	FETCH	
NOP	I	CALL	INDRCT	
ARTPC	U	JMP	FETCH	

- (a) 이 명령이 실행되었을 때 수행되던 동작은 무엇인가?  
 (b) 네 개의 마이크로 명령어를 이와 동등한 이진 형태로 바꾸어라.

(a)	Branch if S = 0 and Z = 0 (positive and non-zero AC) – See last instruction in problem 7-16.					
(b)	40	:	000	000	000	10 00 1000000
	41	:	000	000	000	11 00 1000000
	42	:	000	000	000	01 01 1000011
	43	:	000	000	110	00 00 1000000

7. 교재 7-3절의 컴퓨터는 다음과 같은 이진 마이크로 프로그램을 가지고 있다.

Address	Binary Microprogram
60	0 1 0 0 0 0 0 1 0 0 0 0 0 1 0 0 0 0 1 1
61	1 1 1 1 0 0 0 0 0 0 1 0 1 1 0 0 0 0 0 0
62	0 0 1 0 0 1 0 0 0 1 0 1 0 0 1 1 1 1 1 1
63	1 0 1 1 1 0 0 0 0 1 1 1 1 0 1 1 1 1 0 0

- (a) 이것을 교재의 표 7-2와 같이 기호 마이크로 프로그램으로 바꾸어라.(FETCH는 주소 64에 있다.)  
 (b) 이 마이크로 프로그램이 컴퓨터에서 실행될 경우 발생하는 문제점을 모두 나열하라.

(a)	60	:	CLRAC, COM	U	JMP	INDR CTS
	61	:	WRITE, READ	I	CALL	FETCH
	62	:	ADD, SUB	S	RET	63(NEXT)
	63	:	DRTAC, INCDR	Z	MAP	60

(b) 60번지에서 AC를 clear하고 AC의 complement를 하므로 AC의 정상동작을 할 수 없음

8. 다음의 명령어들을 교재 7-3절의 컴퓨터에 추가하여라. 여기서 EA는 유효주소를 나타낸다. 각 명령어에 해당하는 루틴을 표 7-2와 같이 기호 마이크로 프로그램으로 작성하여라. 단, AC의 값은 특별히 지정하지 않는 한 변하지 않는다.

symbol	Opcode	Symbol Function	description
AND	0100	$AC \leftarrow AC \wedge M[EA]$	AND
SUB	0101	$AC \leftarrow AC - M[EA]$	subtract
ADM	0110	$M[EA] \leftarrow M[EA] + AC$	Add to memory
BTCL	0111	$AC \leftarrow AC \wedge \overline{M[EA]}$	bit clear
BZ	1000	if ( $AC = 0$ ) then ( $PC \leftarrow EA$ )	branch if AC zero
SEQ	1001	If ( $AC = M[EA]$ ) then ( $PC \leftarrow PC + 1$ )	skip if equal
BPNZ	1010	If ( $AC > 0$ ) then ( $PC \leftarrow EA$ )	branch if positive and nonzero

AND :	ORG 16			
	NOP	I	CALL	INDRCT
	READ	U	JMP	NEXT
ANDOP :	AND	U	JMP	FETCH
SUB :	ORG 20			
	NOP	I	CALL	INDRCT
	READ	U	JMP	NEXT
	SUB	U	JMP	FETCH
ADM :	ORG 24			
	NOP	I	CALL	INDRCT

	READ	U	JMP	NEXT
	DRTAC, ACTDR	U	JMP	NEXT
	ADD	U	JMP	EXCHANGE +2
(Table 7.2)				
BICL :	ORG 28			
	NOP	I	CALL	INDRCT
	READ	U	JMP	NEXT
	DRTAC, ACTDR	U	JMP	NEXT
	COM	U	JMP	ANDOP
BZ :	ORG 32			
	NOP	Z	JMP	ZERO
	NOP	U	JMP	FETCH
ZERO :	NOP	I	CALL	INDRCT
	ARTPC	U	JMP	FETCH
SEQ :	ORG 36			
	NOP	I	CALL	INDRCT
	READ	U	JMP	NEXT
	DRTAC, ACTDR	U	JMP	NEXT
	XOR (or SUB)	U	JMP	BEQ1
BEQ 1 :	ORG 69			
	DRTAC, ACTDR	Z	JMP	EQUAL
	NOP	U	JMP	FETCH
EQUAL :	INC PC	U	JPM	FETCH
BPNZ :	ORG 40			
	NOP	S	JMP	FETCH
	NOP	Z	JMP	FETCH
	NOP	I	CALL	INDRCT
	ARTPC	U	JMP	FETCH

9. 교재 그림 8-2와 같이 32bits 짜리 16레지스터와 ALU, 그리고 목적지 디코더를 가진 버스구조 CPU가 있다.

- A 버스에는 몇 개의 멀티플렉서가 필요하며, 각 멀티플렉서의 크기는 얼마인가?
- MUX A와 MUX B에 필요한 선택 입력은 몇 개인가?
- 디코더에는 몇 개의 입력과 출력이 있는가?
- 입출력 캐리를 포함하여, ALU에서 데이터를 위한 입력과 출력은 몇 개인가?
- ALU가 35가지 연산을 수행한다고 할 때, 제어 워드를 작성하라.

- 32 multiplexers, each of size  $16 \times 1$ .
- 4 inputs each, to select one of 16 registers.
- 4-to-16 – line decoder
- $32 + 32 + 1 = 65$  data input lines  
 $32 + 1 = 33$  data output lines.

(e)  $4 \quad 4 \quad 4 \quad 6 = 18 \text{ bits}$

SELA	SELB	SELD	OPR
------	------	------	-----

10. 다음의 마이크로 연산을 구현하기 위하여 교재의 그림 8-2의 프로세서에 적용될 제어 워드를 표시하여라.

- $R1 \leftarrow R2 + R3$
- $R4 \leftarrow R4$
- $R5 \leftarrow R5 - 1$
- $R6 \leftarrow shl R1$
- $R7 \leftarrow input$

	SELA	SELB	SELD	OPR	Control word
(a) $R1 \leftarrow R2 + R3$	R2	R3	R1	ADD	010 011 001 00010
(b) $R4 \leftarrow R4$	R4	—	R4	TSFA	100 xxx 100 00000
(c) $R5 \leftarrow R5 - 1$	R5	—	R5	DECA	101 xxx 101 00110
(d) $R6 \leftarrow SH1 R1$	R1	—	R6	SHLA	001 xxx 110 11000
(e) $R7 \leftarrow Input$	Input	—	R7	TSFA	000 xxx 111 00000

11. 교재의 8-2의 프로세서에 다음과 같은 14비트 제어워드가 적용되었을 때 수행되는 마이크로 연산은 무엇인가?

- (a) 00101000100101
- (b) 00000000000000
- (c) 01001001001100
- (d) 00000100000010
- (e) 11110001110000

	Control word	SELA	SELB	SELD	OPR	Microoperation
(a)	001 010 011 00101	R1	R2	R1	SUB	$R1 \leftarrow R1 - R2$
(b)	000 000 000 00000	Input	Input	None	TSFA	$Output \leftarrow Input$
(c)	010 010 010 01100	R2	R2	R2	XOR	$R2 \leftarrow R2 \oplus R2$
(d)	000 001 000 00010	Input	R1	None	ADD	$Output \leftarrow Input + R1$
(e)	111 100 011 10000	R7	R4	R3	SHRA	$R3 \leftarrow shrR7$

12. 교재의 그림 8-4에서 SP는 항상 스택의 다음 번에 비어 있는 위치를 가리킨다. 즉, SP는 초기에 4000이고, 스택의 첫 항목은 4000번지에 저장된다. 이러한 구조의 스택에 대해 push와 pop 동작을 수행하기 위한 마이크로 연산을 나열하라.

PUSH :  $M[SP] \leftarrow DR$   
 $SP \leftarrow SP - 1$   
 POP :  $SP \leftarrow SP + 1$   
 $DR \leftarrow M[SP]$

13. infix 표시로 나타낸 다음 산술식을 역 polish표기로 변환하여라.

$A+B*[C*D+E*(F+G)]$

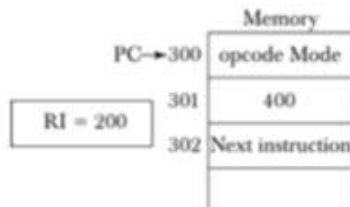
sol)  $FG + E * CD * + B * A +$

14. 어떤 명령어와 그것의 주소 필드가 메모리의 300과 301번지에 저장되고 있고, 주소 필드의 값은 400이다. 그리고 프로세서 레지스터 R1에는 200이 들어 있다. 어드레싱모드가 다음과 같을 때, 유효주소를 계산하라.

- 직접/ 즉석/ 상대/ 레지스터 간접/ R1을 인덱스 레지스터로 가지는 인덱스

Effective address

- (a) Direct: 400
- (b) Immediate: 301
- (c) Relative:  $302 + 400 = 702$
- (d) Reg. Indirect: 200
- (e) Indexed:  $200 + 400 = 600$



15. 16비트수 1001101011001101이 주어졌을 때, 다음에 나열한 일을 수행하기 위해서는 어떤 동작들이 필요한가?

- (a) 처음 8비트를 0으로 클리어
- (b) 마지막 8비트를 1로 세트
- (c) 가운데 8비트를 보수화

- (a) AND with: 0000000011111111
- (b) OR with: 0000000011111111
- (c) XOR with: 0000111111110000

16. 메모리 스택의 꼭대기에 5320이 들어있고, 스택 포인터의 값은 3560이다. 서브루틴을 호출하는 두 워드 명령이 메모리의 1120번지에 있고, 1121번지에 있는 주소 필드의 내용은 6720이다. 다음 각 경우에 대하여 PC, SP 그리고 스택의 꼭대기에 들어있는 값은 각각 무엇인가?

- (a) 호출 명령어가 메모리로부터 fetch되기 전
- (b) 호출 명령어가 실행된 후
- (c) 서브루틴으로부터 복귀된 후

	PC	SP	Top of Stack
Initial	1120	3560	5320
After CALL	6720	3559	1122
After RETURN	1122	3560	5320

17.

- (a) 2048바이트의 메모리 용량을 공급하기 위해  $128 \times 8$  RAM 칩이 몇 개 필요한가?  
 (b) 메모리의 2048 바이트를 접근하기 위해 주소 버스는 몇 개 라인을 사용해야 하는가? 이들 라인 중에 몇 개가 모든 칩에 공통되는가?  
 (c) 칩 선택을 위해 몇 개의 라인이 디코더되어야 하는가? 디코더의 크기를 구하여라.

(a)  $\frac{2048}{128} = 16 \text{ chips}$

(b)  $2048 = 2^{11}$       11 lines to address 2078 bytes.  
 $128 = 2^7$       7 lines to address each chip  
                     4 lines to decoder for selecting 16 chips

(c)  $4 \times 16$  decoder

18. 교재 그림 12-4에서의 메모리 시스템을 4096바이트의 RAM과 4096바이트의 ROM으로 확장시킬 경우 메모리 주소 맵을 기재하고, 필요한 디코더의 크기를 말하여라.

$4096/128 = 32$  RAM chips;       $4096/512 = 8$  ROM chips.  
 $4096 = 2^{12}$  – There 12 common address lines +1 line to select between RAM and ROM.

Component	Address	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
RAM	0000-OFFF	0	0	0	0	$\xleftarrow{5 \times 32}$ decoder					x	x	x	x	x	x	x
ROM	1000-1FFF	0	0	0	1	$\xleftarrow{3 \times 8}$ decoder					x	x	x	x	x	x	x

to CS2     

※ 주의사항

1. 과제는 반드시 본인이 직접 손으로 푼다(풀이과정이 반드시 있어야 함)
2. 타인의 과제를 카피하면 두 과제 모두 미제출 처리한다. (타인의 과제를 참고할 경우 참조자를 기록하되 전체의 20%가 넘지 않는 범위로 한다.)
3. 과제 제출은 공지된 날짜를 따른다.
4. 수업시간에 교수에게 직접 제출하거나 기한 내에 해당 TA에게 제출한다.
5. 제출 기간을 넘기면 감점을 하며 지연 제출 기한이 마감되면 과제를 받지 않는다.