2019학년도 2학기	컴퓨터구조[모범답안]	기말고사(70점 만점)
소속:	학번:	이름 :

1 (1) fetch

2 (2) hardwired control : 속도 빠름, 변경어려움 / microprogramed control: 속도 느림, 변경 용이

3 (1) assembler

4 (1) 조건코드(condition code) or 플래그(flag)

5 (1) 서브루틴(subroutine)

6 (1) associative memory

7 (1) data transfer instruction

8 (1) cache memory

9 (1) least recently used

10 (4)

파라미터를 공유 레지스터를 할당하여 전달과정을 생략하여 높은 속도를 지원하고 윈도우로 묶인 레지스터를 포인터로 제어하여 사용하기 위함

윈도우 크기: 22+2*10+10=52

전체 레지스터 크기: (22+10)*4+10=138

11 (4)

Addressing Mode	Op-Code	Register	Address
5	27	9	23

12

(a) (3)

메모리 주소	저장내용(16진수)
0	3C
1	A2
2	E2

(b) (2) A300

13 (10)

Address	Instruction	PC	AC	AR
000	0000	001	00FF	000
001	7800	002	0000	-
002	2009	003	0011	009
003	5006	007	0011	006
004	300B	005	008A	00B
005	7001	-	-	-
006	~~0000~~ 0004	-	-	-
007	100A	008	008A	00A
008	C006	004	008A	006
009	0011	-	-	
00A	0079	-	-	
00B	~~1000~~ 008A	-	-	

14 (5)

주소모드	(a) direct	(b) immediate	(c) relative	(d) indexed	(e) auto decrement
Effective Address(16진수)	500	102(or 없음)	603	A00	8FF

15 (4)

메모리 맵

component	address
RAM1	0000-01FF
RAM2	0200-03FF
RAM3	0400-05FF
RAM4	0600-07FF

512×8의 RAM 칩 4개 필요, 2*4decoder필요

16 **(5)**

	PC	SP	SP가 가리키는 값
Initial	0011	3	1111
After subroutine call	3000	2	0013
After return	0013	3	5000

17 **(9)**

	Address	Binary Microprogram					
		F1	F2	F3	CD	BR	AD
SUB	001 0100	000	000	000	01	01	1000011
	001 0101	000	100	000	00	00	0010110
	001 0110	000	001	000	00	00	1000000

18 **(8)**

```
        LDA B   //B가 항상 양수이므로 카운터 값으로 사용
        SZA
        BUN NZR  //counter값 설정
        HLT     //B가 0이면 프로그램종료
NZR,    CMA
        INC     //-B
        STA     CTR  //CTR<-B
        CLA
LOP,    ADD     A
        ISZ     CTR
        BUN     LOP
        STA     C
A,      DEC     -
B,      DEC     -
C,      DEC     -
CTR,    HEX     0
        END
```

19 **(6)**

1) MOV R1, A R1 ← M[A]
2) MUL R1, B R1 ← R1 * M[B]
3) MOV R2, C R2 ← M[C]
4) MUL R2, D R2 ← R2 * M[D]
5) ADD R1, R2 R1 ← R1 + R2
6) MOV X, R1 M[X] ← R1