

判断题 (101)

一、逻辑代数基础 (20)

难度: 1 容易

- 1、与、或、非既是三种基本逻辑关系, 也是三种最基本的逻辑运算; (☒)
- 2、所有的逻辑运算都可以由与、或、非这三种基本逻辑运算复合而成; (☒)
- 10、真值表、卡诺图、逻辑表达式、逻辑图、波形图等都是逻辑函数常用的表示方法, 其中最有用的是逻辑图; (☒)
- 16、逻辑代数中的变量只有两种取值: 0 和 1, 其中 1 比 0 大; (☒)
- 18、对逻辑函数进行化简的主要目的是为了让表达式变得简洁一些, 便于书写; (☒)

- 1、逻辑代数中有与普通代数相似的定理如: 交换律、结合律、同一律等; (☒)

难度: 2 适中

- 3、逻辑代数又称为开关代数、布尔代数; (☒)
- 4、利用卡诺图对逻辑函数进行化简比用公式法化简更简单; (☒)
- 6、摩根定理的两个表达式互为对偶式; (☒)
- 7、逻辑函数的标准与或式中的乘积项必须全部是最小项; (☒)
- 9、4 个逻辑上相邻的最小项相加, 合并的结果是消去了其中两个变量; (☒)
- 11、N 个逻辑变量共有 2^N 个最小项。(☒)
- 14、任意一个逻辑函数的所有最小项加起来恒等于 1; (☒)
- 17、所谓逻辑函数的最简与或式, 就是要让逻辑函数中的乘积项最少、每一个乘积项的因子也要最少; (☒)
- 2、与普通代数对比, 摩根定理是逻辑代数中特有的定理; (☒)
- 3、如果得到了一个函数的最简与或表达式, 就可以得到其他几种类型的最简式; (☒)
- 4、逻辑函数中的两个最小项相加, 可以消去乘积项里的一个因子; (☒)

难度: 3 难

- 5、在函数化简过程中, 冗余定理是去掉多余乘积项的唯一方法; (☒)
- 8、在利用卡诺图对逻辑函数进行化简过程中, 如果有约束项, 化简时必须把所有约束项都利用完, 才能得到最简表达式; (☒)
- 12、逻辑代数中, 若 $A \cdot B = A + B$, 则有 $A = B$ 。(☒)
- 15、卡诺图中最小项的排列顺序是按照其编号从小到大依次排列的; (☒)
- 20、一个最小项, 只要把原变量当成 1、反变量当成 0, 便可以直接得到它的编号; (☒)
- 5、在函数的卡诺图中几何相邻就是指: 图中紧挨着的和任一行或列两头的最小项, 他们必然是逻辑上相邻的; (☒)
- 6、卡诺图可以适用于所有的逻辑函数的化简; (☒)
- 7、在利用卡诺图对有约束项的函数进行化简时, 必须把所有的约束项用完; (☒)
- 8、 $Y = A(B + C) + CD$ 的对偶式是 $Y_1' = (A + BC)(C + D)$ (☒)

难度：4 较难

13、 $F = AB + \overline{C + D + E}$ ，则 F 的反函数 $\overline{F} = (\overline{A} + \overline{B}) \bullet \overline{\overline{C} \bullet \overline{D} \bullet \overline{E}}$ (☒)

19、卡诺图的优点是用几何相邻形象直观地表示了逻辑函数各最小项在逻辑上的相邻性，便于用来求逻辑函数的最简与或表达式；(☒)

9、 $Y = A(B + C) + CD$ 的反函数是 $\overline{Y} = \overline{A} + \overline{BC} + \overline{C} + \overline{D}$ (☒)

二、门电路 (21)

难度：1 容易

5、半导体三极管是一种电流控制开关元件，与之相对应的集成门电路是 TTL；(☒)

6、MOS 管和三极管一样具有开关特性，不管是用电压还是电流信号都可以控制其开和关；(☒)

7、门电路中的三极管一般是工作在截止区和放大区的；(☒) 是饱和区和截止区

8、门电路中的 MOS 管一般是工作在截止区和恒流区的；(☒) 是截止区和可变电阻区

17、通常 CMOS 集成门电路多余的输入端口是不允许悬空的；(☒)

16、假如 TTL 门电路多余的输入端口悬空不接，则在运算过程中默认为低电平；(☒)

18、CMOS 集成门电路与 TTL 集成门电路相比最突出的优点就是电路结构简单；(☒)

10、所谓有开关特性的元件包括：二极管、三极管和 MOS 管；(☒)

11、不管是 CMOS 还是 TTL 门电路的输出端都不能接地或电源；(☒)

难度：2 适中

11、TTL 集成门电路是指门电路的输入级和输出级都是采用三极管作为开关器件；(☒)

2、OC 门的输出端可以并接，实现线与功能。(☒)

9、半导体开关的静态特性不如机械开关，但其动态特性要好很多；(☒)

15、门电路的扇出系数就是指其带同类型门的数量；(☒)

19、OC 门和 OD 门一样都可以实现线与功能；(☒)

20、CMOS 集成门电路的电源电压范围比较宽，TTL 集成门电路所用的 5V 电源，CMOS 集成门也可以用；(☒)

12、两个 OD 门的输出端可以并联使用，不需要外接电源也可以实现线与功能；(☒)

13、逻辑门电路的动态特性好坏取决于其传输延迟时间的大小；(☒)

难度：3 难

1、逻辑门电路的输入端噪声容限愈大，其抗干扰能力越小。(☒)

3、三态门有三种状态，即输出高电平、低电平和高阻状态，分别代表三种不同的逻辑值。(☒)

4、TTL 逻辑门的输出端可以并接，实现线与功能。(☒)

10、CMOS 集成门电路是指电路中的 MOS 管都是用的同一种类型的；(☒)

13、不管是 TTL 还是 CMOS 集成门电路，在其输入端都存在着负载效应；（ x ）

21、所谓 CMOS 反相器带拉电流负载也即负载的电流流入反相器；（ x ）

14、所谓 TTL 反相器带灌电流负载也即负载的电流是从门电路那里获得的；（ x ）

难度：4 较难

12、一般说来，TTL 集成门的带拉电流负载的能力和带灌电流负载的能力是对称的；（ x ）

14、门电路的输入端负载特性主要由开门电阻和关门电阻来表示；（ v ）

三、组合逻辑电路（20）

难度：1 容易

7、组合电路任时刻的输出不仅仅与电路这一时刻的输入有关，还要取决于电路原来的状态；（ x ）

18、真值表是分析组合电路的重要工具之一，通过真值表能直观的看到输出变量和输入变量之间的逻辑关系；（ v ）

19、组合电路中不允许有存储电路出现；（ v ）

15、既然触发器是由与非门组成的，所以组合电路中也可以有触发器；（ x ）

15、组合电路中一般不允许有存储电路出现，但可以有反馈连接；（ x ）

16、在分析组合逻辑电路中，一般要得到其真值表后才能归纳出其功能特点；（ v ）

难度：2 适中

1、组合逻辑电路中，由竞争产生的险象是一种瞬间的错误现象。（ v ）

2、并行加法器采用超前进位的目的是简化电路结构。（ x ）

3、译码器 74LS138 的八个输出分别对应由输入变量构成的八个最小项。（ v ）

4、七段显示译码器 74LS47 能驱动七段显示器显示七个不同字符。（ x ）

5、组合逻辑电路中，竞争冒险现象的表现形式是窄脉冲，俗称毛刺。（ v ）

6、ROM 也可以作为函数发生器来使用，且原则上来讲，利用 ROM 可以实现任何组合逻辑函数；（ v ）

8、优先编码器中，输入变量之间任然相互排斥；（ x ）

17、全加器的输入信号一定是两个，即加数和被加数；（ x ）

14、消除组合电路中的竞争冒险现象的方法有：引入封锁脉冲、引入选通脉冲、接入滤波电容和修改逻辑设计，增加冗余项等；（ v ）

17、在设计一个组合逻辑电路时，必须化简得到其最简与或式，才能画出其逻辑电路图；（ x ）

18、8 线-3 线优先编码器是指的其可以对 8 个不同的对象进行编码，其输出是三位二进制代码；（ v ）

- 19、二十进制编码器能对二个对象进行编码，其输出是 8421BCD 码；（ x ）
- 20、编码和译码是一对，有什么样的编码器对应就有什么样的译码器；（ v ）

难度：3 难

- 9、与共阳极结构的 7 段显示器配套使用的显示驱动译码器一定具有较强的带灌电流的能力；（ v ）
- 10、与共阴极结构的 7 段显示器配套使用的显示驱动译码器一定具有较强的带灌电流的能力；（ x ）
- 11、用 8 选 1 数据选择器加上少量的非门可以实现任意的三变量函数；（ v ）
- 12、用 3 线-8 线译码器加上少量的与非门可以实现任意的三变量函数；（ v ）
- 20、ROM 是只读存储器，所以它不属于组合电路；（ x ）
- 21、如果来实现 1 个四变量的逻辑函数，可以用一片 4 选 1 数据选择器加上少量的非门；（ x ）
- 22、用两片 3 线-8 线译码器加上少量的与非门可以实现任意的四变量函数；（ v ）

难度：4 较难

- 13、要实现具有多个输出信号的组合电路，最好是选用相应的数据选择器来实现；（ x ）
- 16、3 线-8 线译码器还可以当做 1 路-8 路数据分配器来使用；（ v ）

四、触发器（20）

难度：1 容易

- 1、一个触发器就是一个最简单的时序逻辑电路；（ v ）
- 2、每一个触发器都应该具有稳定的“0”状态和“1”状态；（ v ）
- 3、触发器的现态就是接收完输入信号后的状态；（ x ）
- 4、触发器的次态完全由触发器接收到的输入信号来决定；（ x ）
- 8、在众多的触发器中，JK 触发器的功能是最齐全的；（ v ）
- 23、触发器的次态就是接收完输入信号后的状态；（ v ）
- 24、RS 触发器的输入端存在约束，也就是说 R 和 S 两个输入端既不能同时为 0，也不能同时为 1；（ x ）

难度：2 适中

- 5、触发器是时序逻辑电路必不可少的组成部分；（ v ）
- 7、在众多的触发器中，同步触发器的抗干扰能力是最强的；（ x ）
- 9、当 JK 触发器的 J 和 K 都接电源时，它就是一个 T 触发器；（ x ）
- 10、在主从 JK 触发器、边沿 D 触发器、同步 RS 触发器中，输入项有约束条件的触发器是主从 JK 触发器。（ x ）
- 16、JK 触发器的四种功能分别是：保持、翻转、置零、置 1；（ v ）

- 13、边沿 D 触发器只有两种功能及保持和翻转；（ x ）
17、我们把只有置零和置 1 功能的触发器叫 T 触发器；（ x ）

难度：3 难

- 11、用 JK 触发器可以构成任意的其他类型的触发器；（ v ）
12、一个触发器只能存放一位二进制信号，要存放 3 位二进制信号就需要 3 个触发器；（ v ）
19、边沿触发器的逻辑功能只能用特性表、卡诺图和特性方程来表示；（ x ）
18、边沿触发器指的是：边沿 D 和边沿 JK 触发器；（ v ）
6、在触发器中引入时钟脉冲信号一是为了有利于多个触发器同步，二是为了提高其抗干扰能力；（ v ）
25、我们常用特性表、卡诺图、特性方程、状态图和时序图来表示边沿触发器的逻辑功能；（ v ）
26、一般在市面上是买不到 T 和 T' 触发器的，但可以用 JK 或 D 触发器来构成他们；（ v ）

难度：4 较难

- 14、JK 触发器中的异步输入端 $\overline{R_D}$ 、 $\overline{S_D}$ 和 J、K 两个输入端的作用基本上是一样的，所以在使用时，只需要选用其中的一组作为输入端就可以了；（ x ）
15、如果不需要使用 JK 触发器中的异步输入端 $\overline{R_D}$ 、 $\overline{S_D}$ ，则把他们都接地；（ x ）
20、状态图的特点是形象直观，它把触发器的状态转换关系和转换条件用几何图形表示出来；（ v ）

五、时序逻辑电路（20）

难度：1 容易

- 1、时序逻辑电路在任意时刻输出信号仅取决于当时的输入信号。（ x ）
3、计数器的模和容量都是指的计数器所用的有效状态的数量；（ v ）
4、同步计数器中，只要计数脉冲的触发沿到来，所有的触发器的状态都应同时刷新；（ v ）
5、异步计数器中，每一个触发器的时钟一定都是不一样的；（ x ）
6、时序电路的输入除了时钟信号外，可以不加其他输入信号；（ v ）
21、同步时序电路和异步时序电路的根本区别是它们的输入信号不同；（ x ）
27、同步计数器中，每一个触发器的时钟一定都是一样的；（ v ）

难度：2 适中

- 7、如果一个时序电路有无效状态，它必然是不能自启动的电路；（ x ）
8、一个 4 位二进制计数器最多能计 8 个时钟脉冲；（ x ）
9、因为同步计数器中所有触发器都用的是同一个 CP，所以它比异步计数器电路要简单一些；

(☒)

10、不同型号的集成计数器的清零方式可能不同，有同步和异步两种方式；(☒)

11、4 位二进制同步加法计数器和 4 位二进制异步加法计数器的状态转换图是不一样的；
(☒)

12、4 位二进制同步加法计数器和 4 位二进制异步加法计数器的时序图是不一样的；(☒)

13、选用上升沿触发的触发器做的 4 位二进制同步加法计数器和选用下降沿触发的触发器做的 4 位二进制同步加法计数器的状态转换图是不一样的；(☒)

14、选用上升沿触发的触发器做的 4 位二进制同步加法计数器和选用下降沿触发的触发器做的 4 位二进制同步加法计数器的时序图是不一样的；(☒)

28、时序电路的驱动方程是指的各个触发器的同步输入端的表达式；(☒)

难度：3 难

2、一个初始状态为 0000 的模值为 16 的四位二进制递加计数器经过 38 个 CP 脉冲后，其状态为 0111。(☒) 0110

15、用集成的 4 位二进制同步加法计数器和与非门可以实现任何计数容量小于 16 的计数器；
(☒)

16、用两片集成的 4 位二进制同步加法计数器和与非门，可以实现任何计数容量小于 256 的计数器；(☒)

29、用两片集成的十进制同步加法计数器和与非门，可以实现任何计数容量小于 256 的计数器；(☒)

30、若在一个 4 位单向移位寄存器的串行输入端一直加上 0，也要经过 4 个 CP 脉冲后才能使寄存器清零；(☒)

难度：4 较难

17、用移位寄存器构成的环型计数器在正常工作时，所有触发器中只有一个是 1（或 0）状态；(☒)

18、扭环型计数器比环型计数器的有效状态少；(☒)

19、一个用移位寄存器构成的 4 位环型计数器需要用到的触发器的数量是 2 个；(☒) 4

20、一个用移位寄存器构成的 4 位扭环型计数器的有效状态数量是 16 个；(☒) 8