

逻辑代数又称为**开关代数**、**布尔代数**；

$N$  个逻辑变量共有  $2^N$  个最小项。

任意一个逻辑函数的所有最小项加起来恒等于 **1**；

与普通代数对比，**摩根定理**是逻辑代数中特有的定理；

**真值表**是分析组合电路的重要工具之一，通过**真值表**能直观的看到**输出变量**和**输入变量**之间的逻辑关系；

既然触发器是由**与非门**组成的，所以组合电路中也可以有**触发器**；

在分析组合逻辑电路中，一般要得到其真值表后才能归纳出其功能特点；

并行加法器采用超前进位的目的是**提高运算速度**

组合逻辑电路中，**竞争冒险**现象的表现形式是窄脉冲，俗称毛刺。

**竞争冒险**原因：主要是门电路的**延迟时间**产生的。

全加器的输入信号即**加数**和**被加数**、**来自低位的进位**

任何位相加都产生两个结果：**本位和**、**向高位的进位**。

**半加**运算不考虑从**低位来的进位**

消除组合电路中竞争冒险现象的方法：引入封锁脉冲、引入选通脉冲、接入滤波电容和修改逻辑设计，**增加冗余项**等；

**编码**和**译码**是一对，有什么样的编码器对应就有什么样的译码器；

用**8选1数据选择器**加上少量的**非门**可以实现任意的三变量函数；

用**3线-8线译码器**加上少量的**与非门**可以实现任意的三变量函数；

用**两片3线-8线译码器**加上少量的**与非门**可以实现任意的**四**变量函数；

要实现具有多个输出信号的组合电路，最好是选用相应的**译码器**来实现；

一个**触发器**就是一个最简单的**时序逻辑电路**；

每一个触发器都应该具有稳定的“0”状态和“1”状态；

触发器接收输入信号之前的状态叫做**现态  $Q_n$** ，触发器接收输入信号之后的状态叫做**次态  $Q_{n+1}$**

JK 触发器的功能**置位、复位、保持（记忆）和计数功能**

触发器的次态就是接收完输入信号后的状态；

**边沿 D 触发器**抗干扰能力最强

输入项有约束条件的触发器是**同步 RS 触发器**

JK 触发器的四种功能分别是：**保持、翻转、置零、置 1**；

边沿 D 触发器**只有保持功能**

我们把**只有保持和翻转功能**的触发器叫 T 触发器

用 JK 触发器可以构成任意的其他类型的触发器；

一个触发器只能存放一位二进制信号，要存放 3 位二进制信号就需要 3 个触发器；

边沿触发器指的是：边沿 D 和边沿 JK 触发器；

如果不需要使用 JK 触发器中的异步输入端  $\overline{R_D}$ 、 $\overline{S_D}$ ，则把他们都接高电平

状态图的特点是形象直观，它把触发器的状态转换关系和转换条件用几何图形表示出来；

计数器的模和容量都是指的计数器所用的有效状态的数量；

同步计数器中，每一个触发器的时钟一定都是一样的；

一个 4 位二进制计数器最多能 16 个时钟脉冲；

不同型号的集成计数器的清零方式可能不同，有同步和异步两种方式；

时序电路的驱动方程是指的各个触发器的同步输入端的表达式；

一个初始状态为 0000 的模值为 16 的四位二进制递加计数器经过 38 个 CP 脉冲后，其状态为 0110。

环形计数器记录 N 个数需要 N 个触发器

一个 4 位扭环形计数器的有效状态数量是 8 个