

Introducción a AMBA

AHB-Lite – AHB Multilayer - APB

Guillermo Güichal
Gastón Rodríguez

Temario (1)

□ Buses On-Chip:

- Descripción
- Ejemplos

□ AMBA:

- Descripción
- Historia
- Topologías

□ AHB-Lite:

- Descripción
- Componentes
- Transferencias
- Bursts
- Conexionado

Temario (2)

□ AHB Multilayer:

- Descripción
- Topologías

□ APB:

- Descripción
- Transferencias

□ Referencias

Buses On-Chip (general)

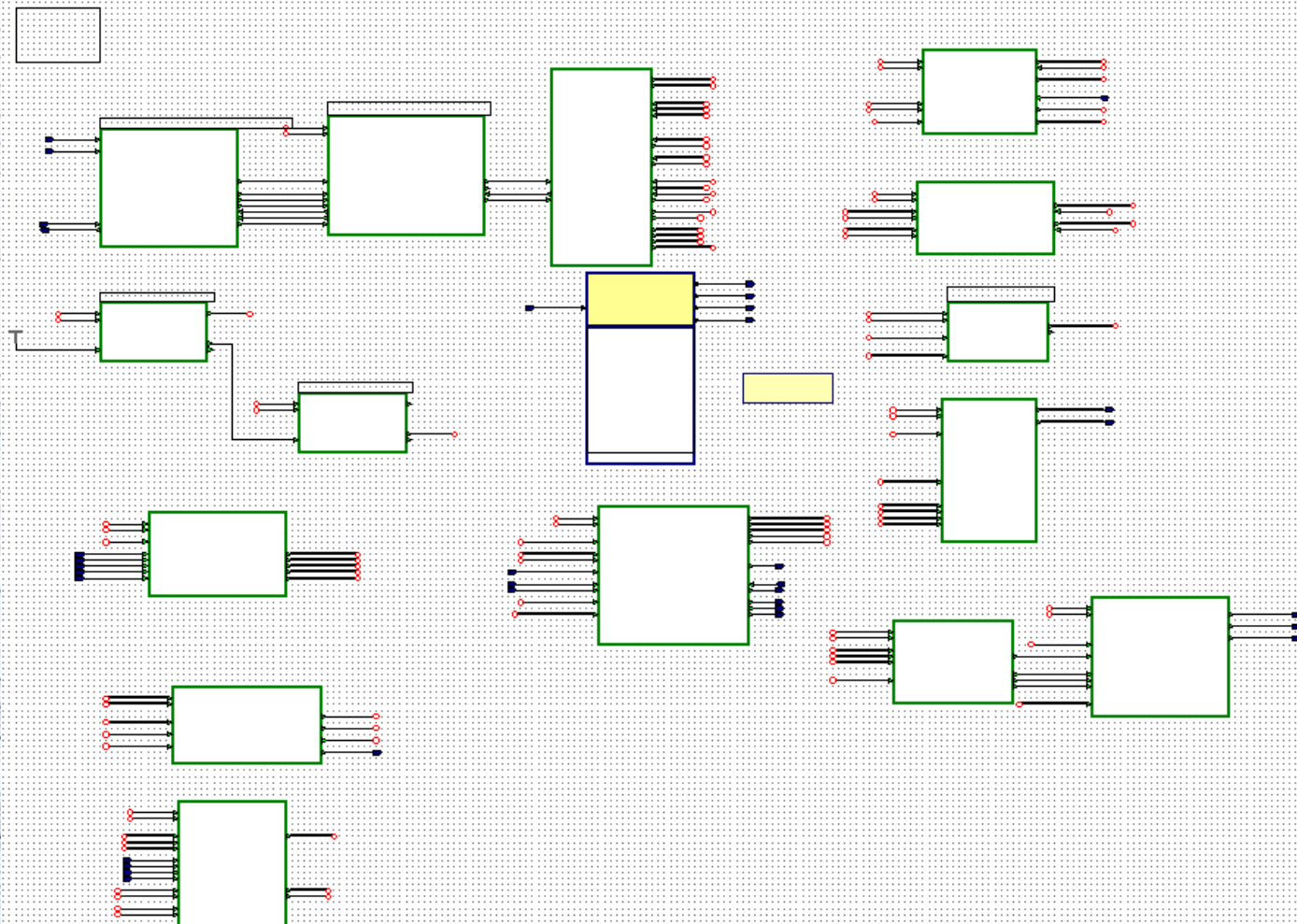
Descripción (1)

- ❑ Surgen como un intento de estandarizar las interfaces de comunicación entre “cores”.
- ❑ Permiten la creación de libraries de componentes reutilizables.
- ❑ Simplifican el proceso de integración.
- ❑ Facilitan la verificación del diseño.
- ❑ Buscan maximizar la eficiencia del sistema (mayor ancho de banda, menor consumo)

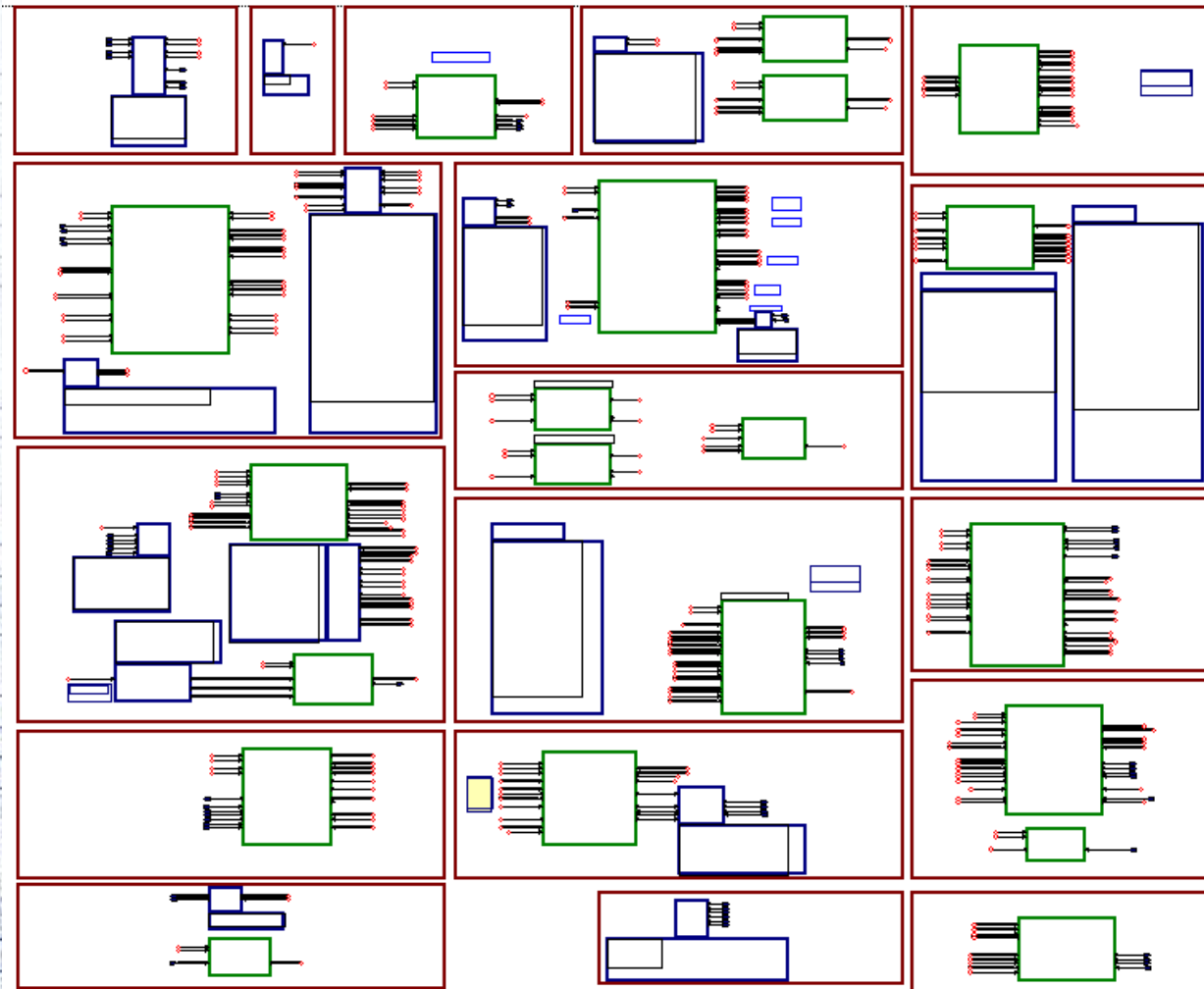
Descripción (2)

- ❑ Se usan principalmente en diseños de SoC
- ❑ Contienen uP, DSP, DMA, y periféricos
- ❑ Permiten manejar la complejidad de diseños que integran gran cantidad de cores.
- ❑ En diseños de FPGA, quizás con menor complejidad, igualmente permiten ordenar el diseño.

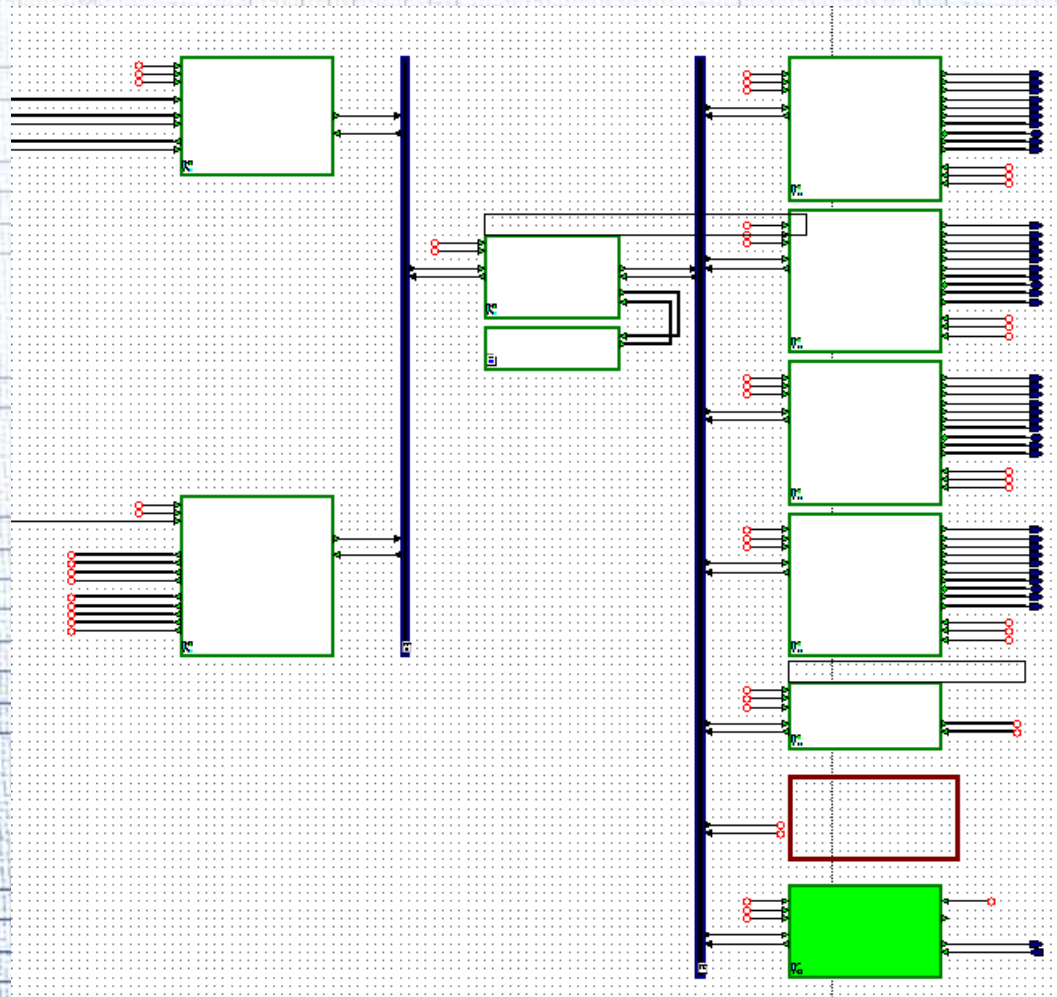
Diseño Ad-Hoc (1)



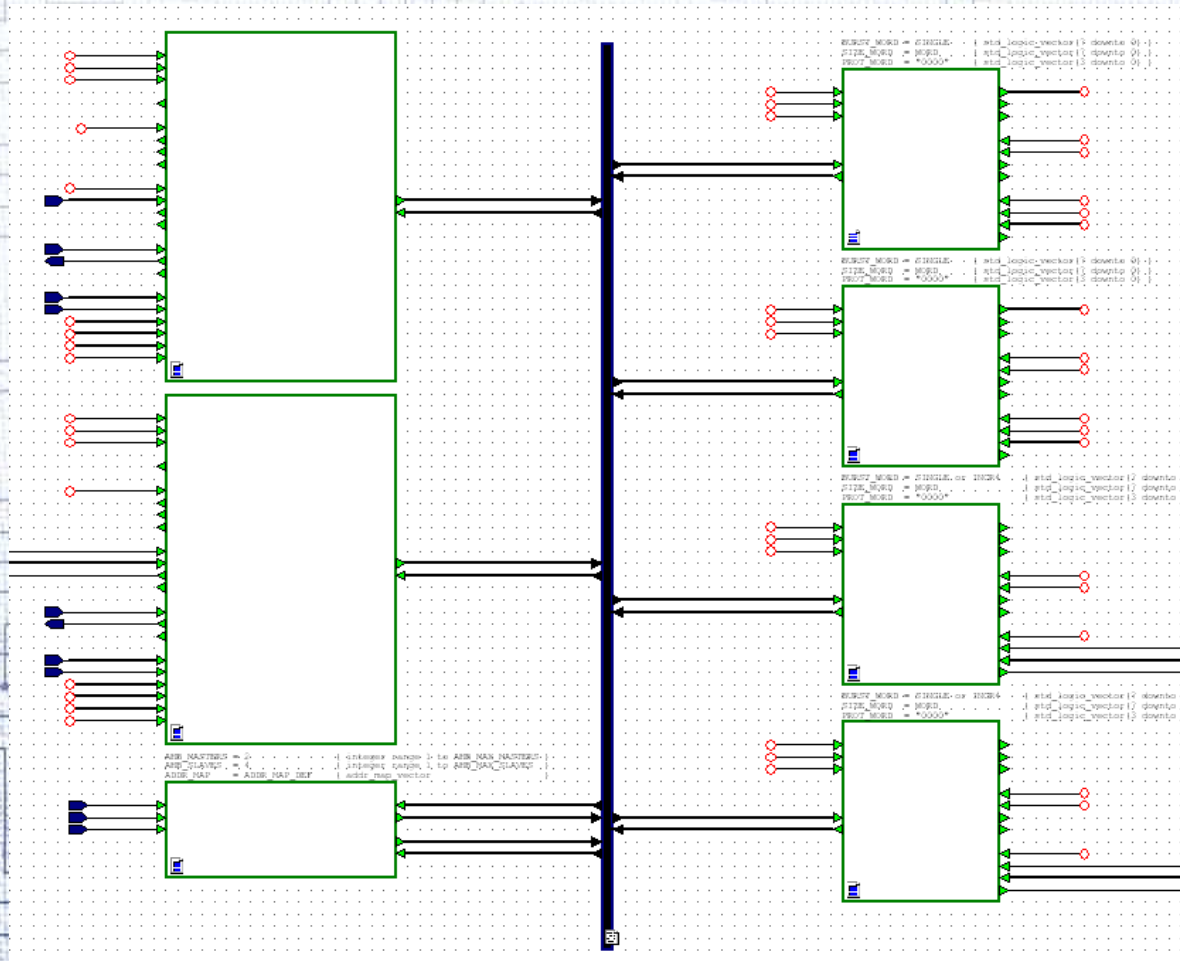
Diseño Ad-Hoc (2)



Usando AMBA (1)



Usando AMBA (2)



AMBA

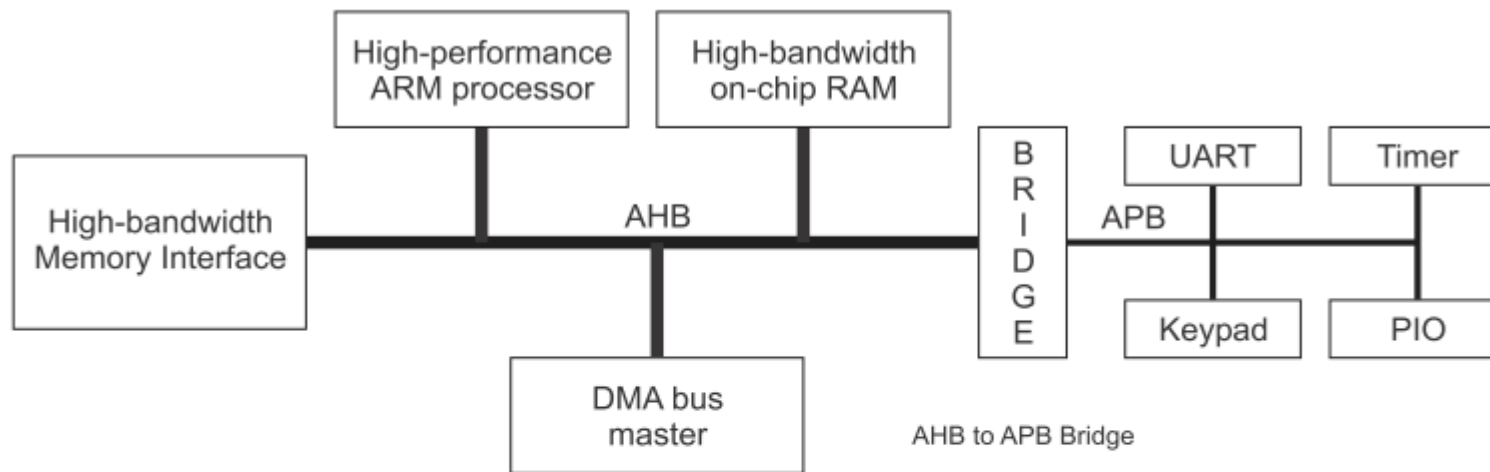
- ❑ AMBA (Advanced Microcontroller Bus Architecture)
- ❑ Es un conjunto de protocolos de interconexión de componentes “on-chip”
- ❑ Fué desarrollado por ARM en 1996
- ❑ Se ha transformado en un estándar de facto para diseños de SoC

Historia (1)

- ❑ Los primeros buses fueron:
 - Advanced System Bus (ASB).
 - Advanced Peripheral Bus (APB).
- ❑ En la segunda versión, AMBA 2, se agregó el:
 - Advance High-performance Bus (AHB), que reemplaza al ASB.
- ❑ La tercera generación, AMBA 3, incorpora a:
 - Advanced eXtensible Interface (AXI): SoCs de muy alta frecuencia de operación, muy customizable.
 - Advanced Trace Bus (ATB): debug & trace in-circuit (CoreSight)
- ❑ Además se modifica el AHB:
 - Se reemplaza AHB full por el AHB-Lite.
 - Se crea el AHB Multilayer.

- ❑ La última generación es la AMBA 4, que incorpora a:
 - ❑ AXI4: un update del AXI rev. 1.0 (AXI3)
 - ❑ AXI4-Lite: un subset del AXI4, pensado para interfaces hacia bloques de registros.
 - ❑ AXI4-Stream: una variante de AXI4, pensado para conexiones punto a punto sin address, por ejemplo para audio o video.

Sistema AMBA típico



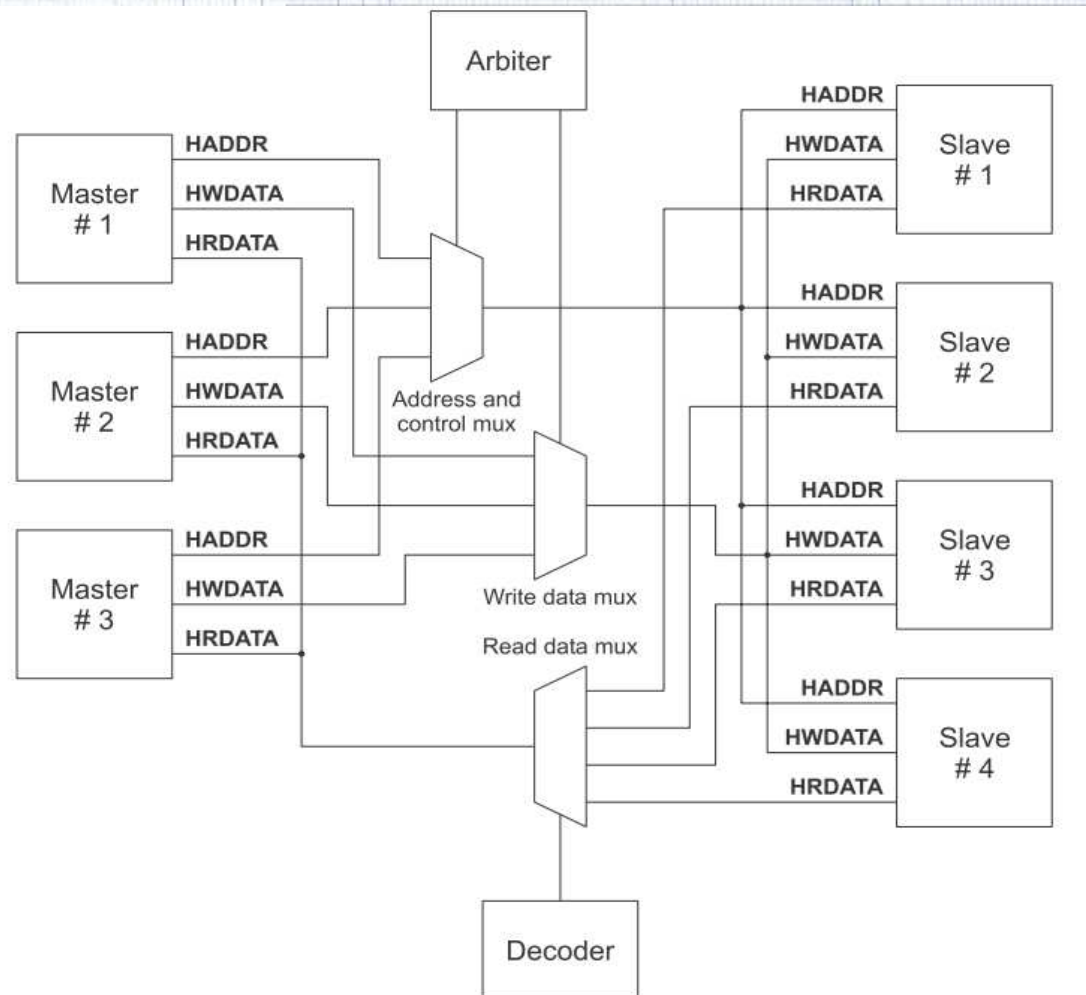
AMBA Advanced High-performance Bus (AHB)

- * High performance
- * Pipelined operation
- * Burst transfers
- * Multiple bus masters
- * Split transactions

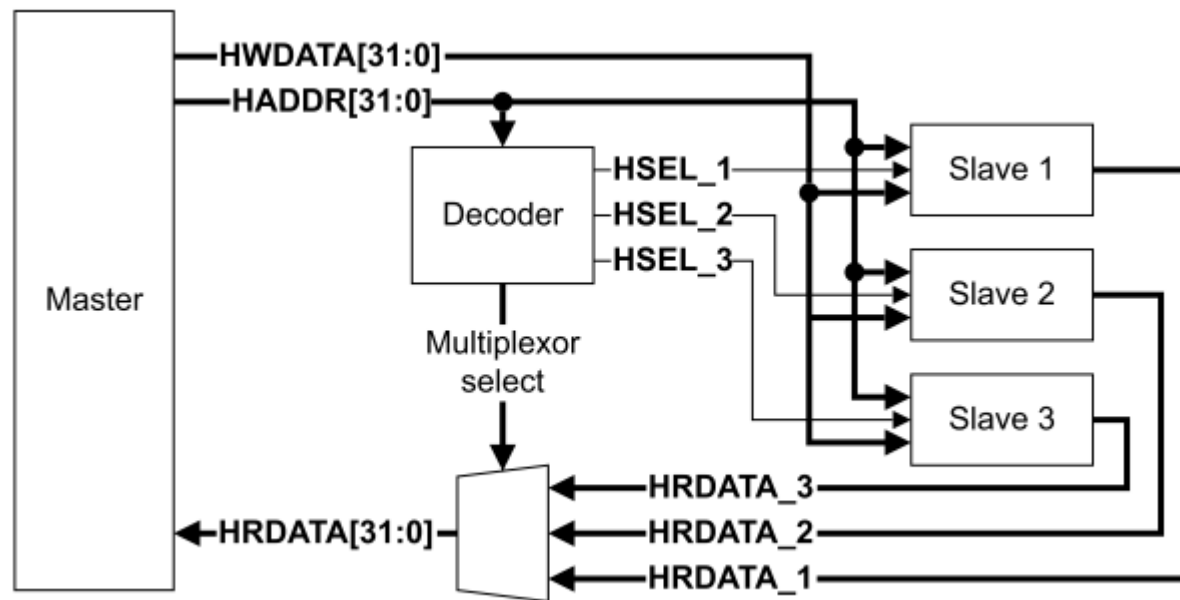
AMBA Advanced Peripheral Bus (APB)

- * Low power
- * Latched address and control
- * Simple interface
- * Suitable for many peripherals

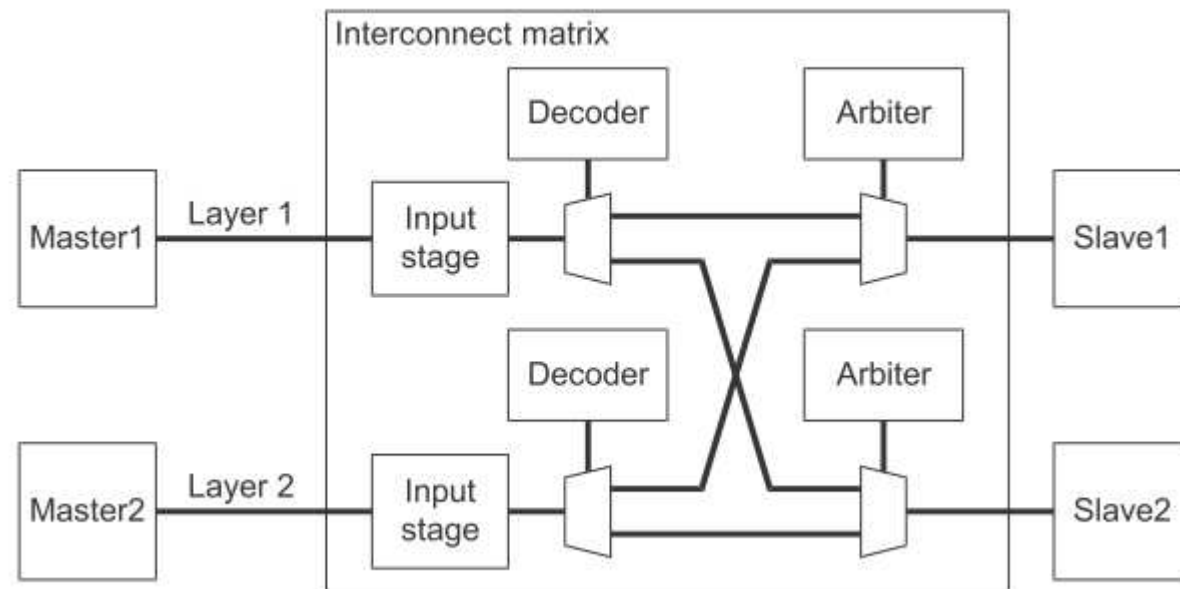
Sistema AHB (full)



Sistema AHB-Lite



AHB Multilayer

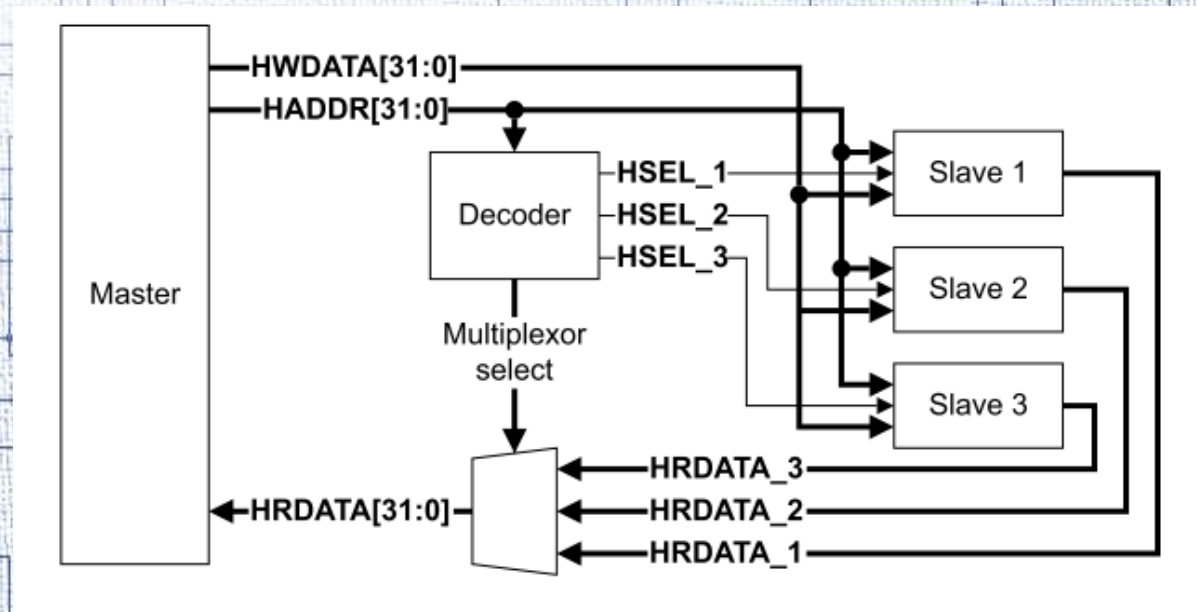


AHB-Lite

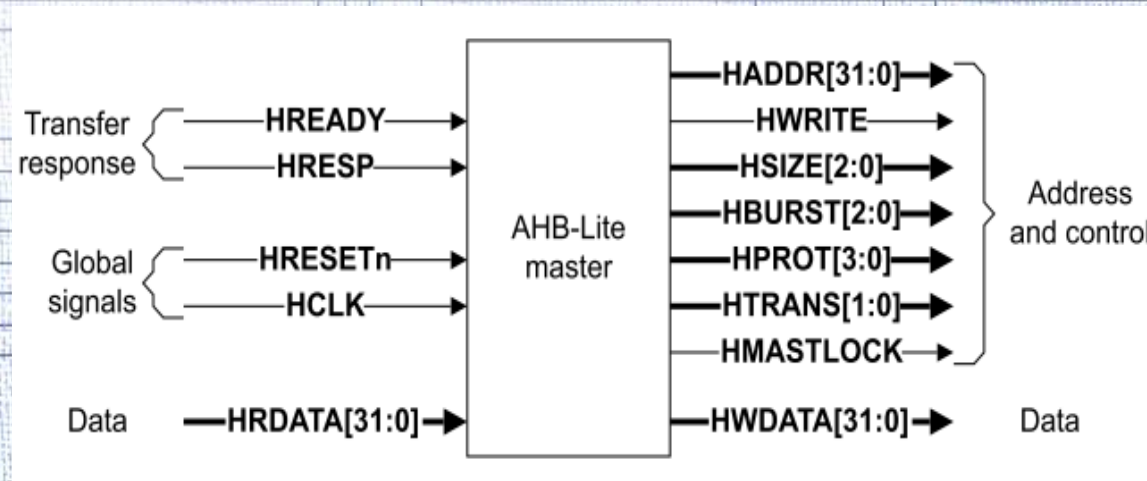
- ❑ Para sistemas de alta performance con un solo master.
- ❑ Algunas de sus características principales:
 - Operación con solo el flanco ascendente del reloj
 - Soporta transferencias en burst
 - Implementación con multiplexores (no tri-states)
 - Ancho del bus de datos de 32 bits, ampliable a 64, 128, 256, 512, y 1024 bits.

Componentes

- ❑ Master
- ❑ Slave/s
- ❑ Decoder
- ❑ Multiplexer

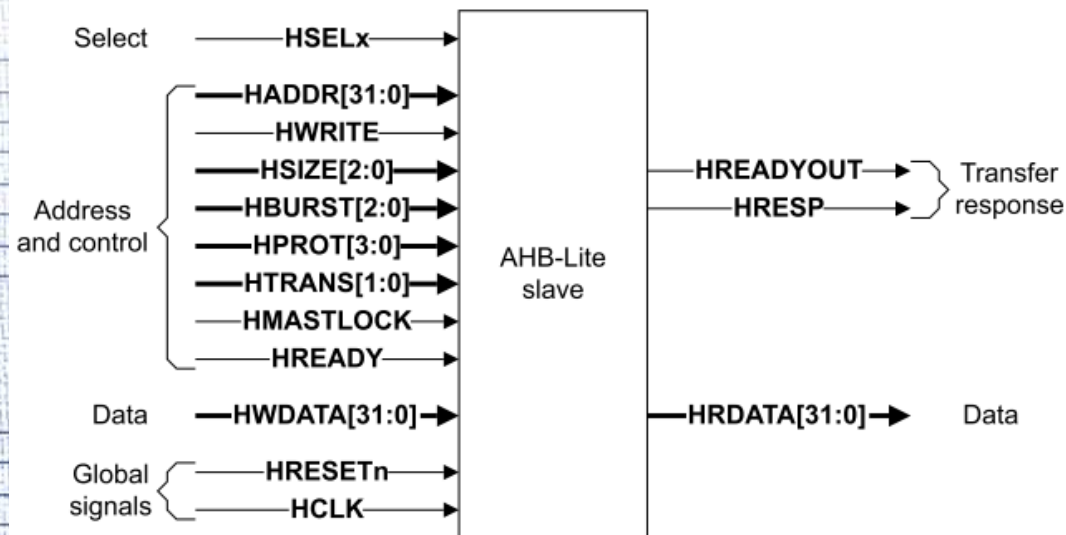


- ❑ Provee el address y la información de control para iniciar operaciones de lectura o escritura.
- ❑ Provee el dato durante los ciclos de escritura.



Slave

- ❑ Responde a las transferencias iniciadas por el master.
- ❑ Usa la señal HSELx para saber que la transferencia le pertenece.
- ❑ Indica si la operación terminó con éxito, si hubo un error o si se debe esperar para completarla.
- ❑ Provee del dato durante las operaciones de lectura.



Decoder

- ❑ Decodifica el address de cada transferencia.
- ❑ Provee una señal de selección para el slave involucrado en la operación.
- ❑ También provee una señal de control para el multiplexor.
- ❑ Se necesita en todos los sistemas que cuenten con dos o mas slaves.

Multiplexer

- ❑ Se requiere de un multiplexor Slave-to-Master para seleccionar el dato de lectura y las señales de respuesta de los slaves hacia el master.
- ❑ Es controlado por el decoder.
- ❑ Se requiere en todas aquellas aplicaciones que usen dos o mas slaves.

Operación (1)

- ❑ El master inicia una transferencia al colocar el address y las señales de control.
- ❑ Las transferencias pueden ser:
 - Simple
 - Burst incremental
 - Wrapping bursts
- ❑ Los datos se mueven del master al slave durante las escrituras, y del slave al master en las lecturas.

Operación (2)

- ❑ Cada transferencia se divide en dos fases:
 - ❑ Address phase
 - ❑ Data phase
- ❑ Los slaves no pueden pedir que se extienda la address phase, así que deben poder latchear el address y las señales de control.
- ❑ Si pueden insertar wait states durante la data phase, usando la señal HREADY.
- ❑ El slave usa HRESP para indicar el éxito o no de la transferencia.

Transferencia básica

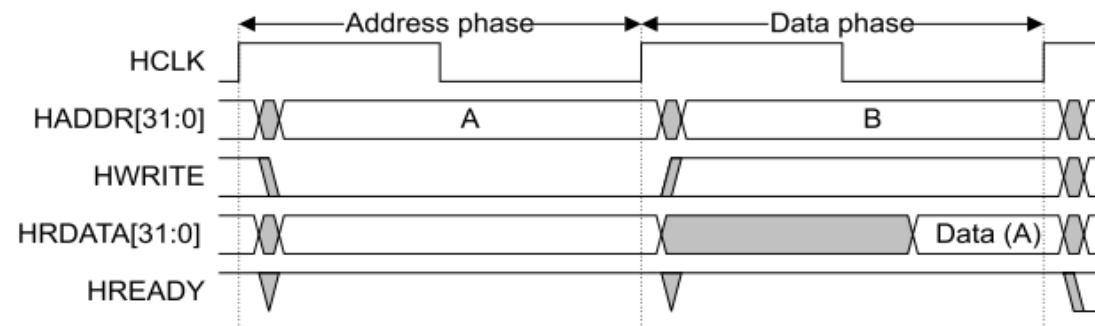


Figure 3-1 Read transfer

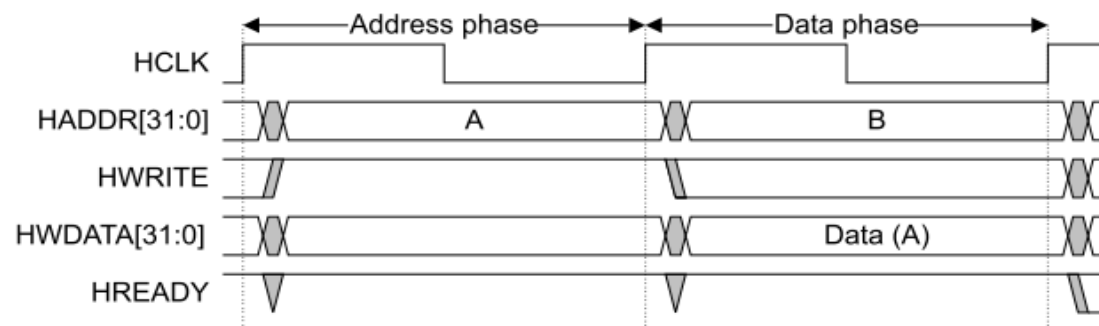


Figure 3-2 Write transfer

Wait states

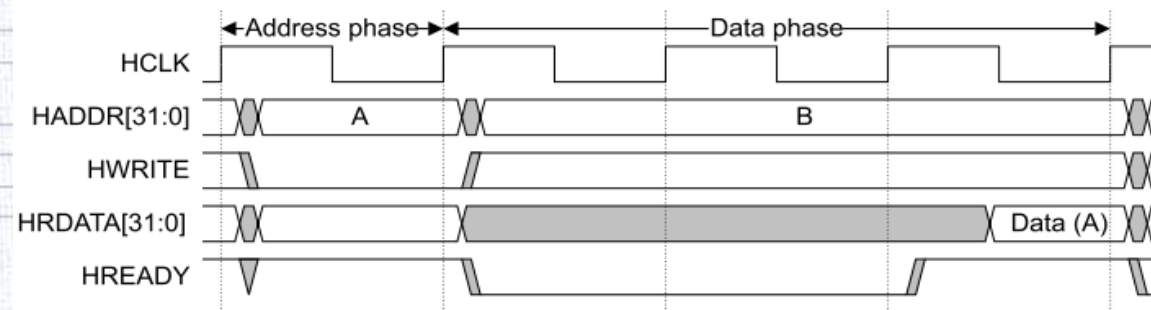


Figure 3-3 Read transfer with wait states

Figure 3-4 shows a write transfer with one wait state.

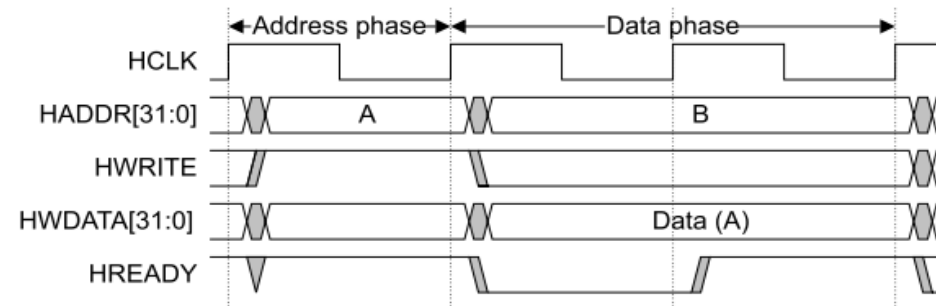


Figure 3-4 Write transfer with wait state

Pipelining

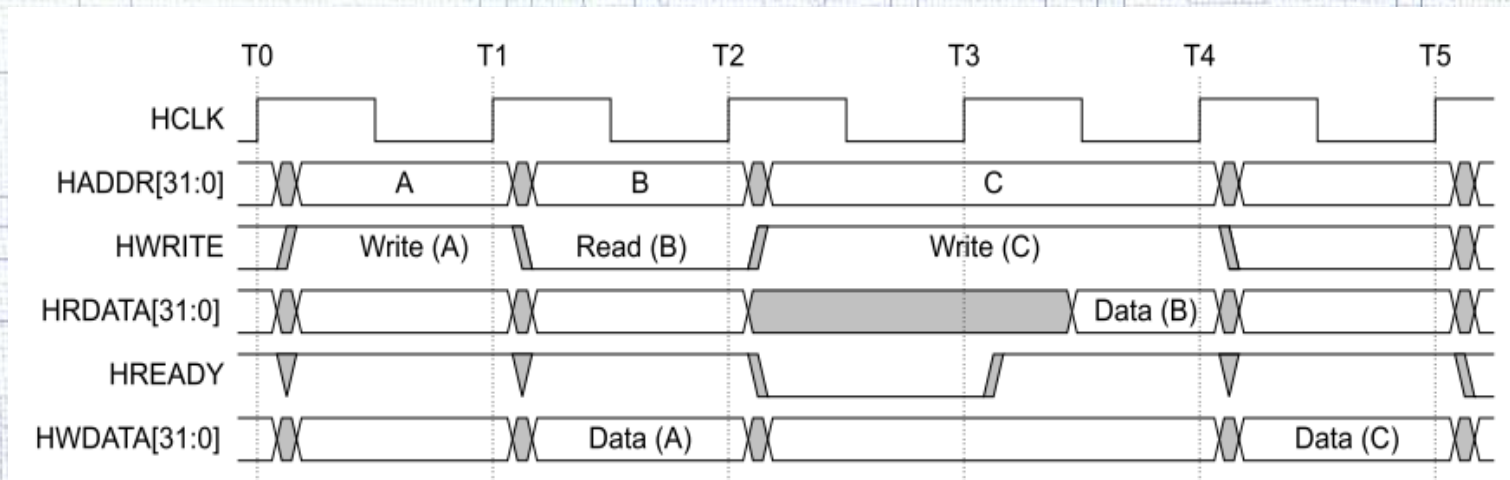


Figure 3-5 Multiple transfers

Transfer types

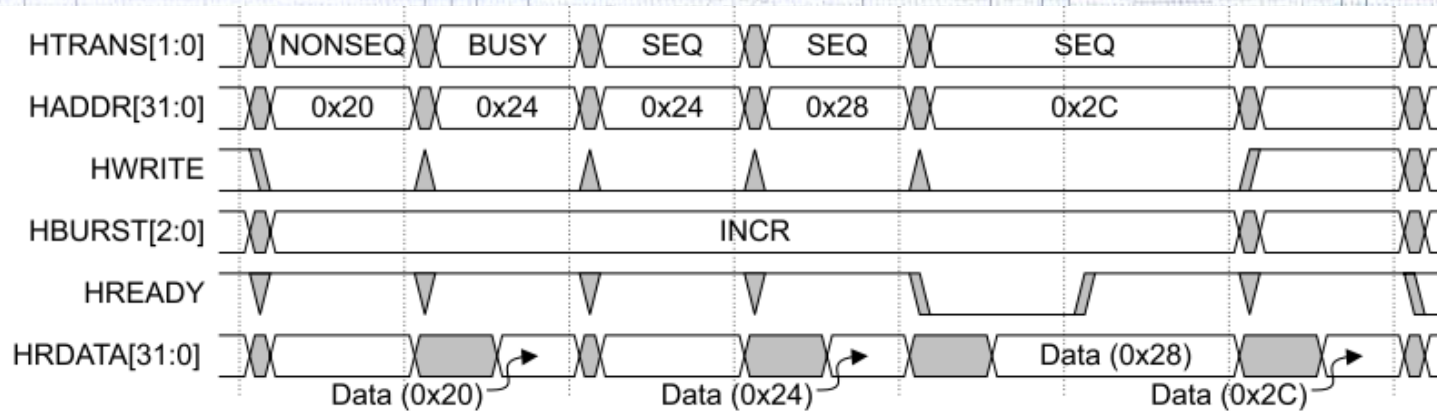


Figure 3-6 Transfer type examples

Locked transfers

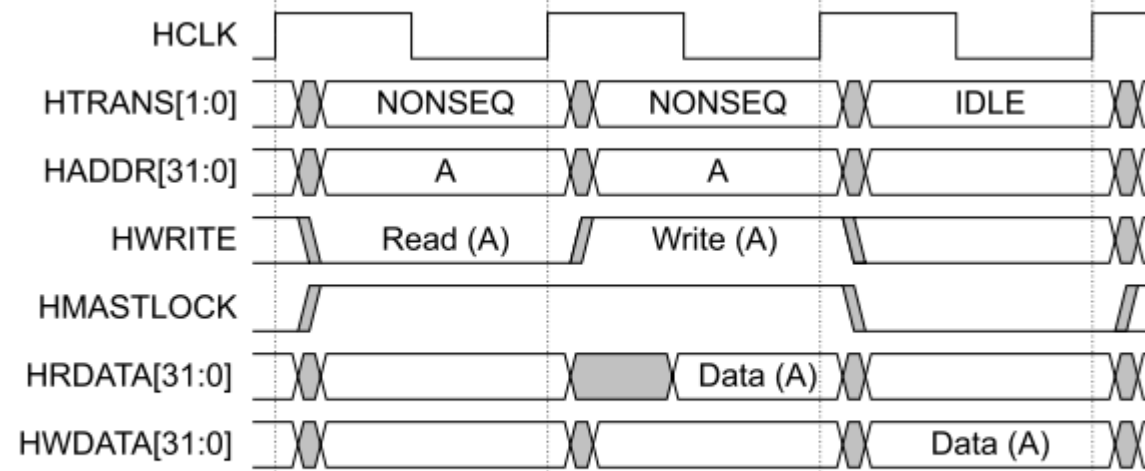


Figure 3-7 Locked transfer

❑ Se definen los siguientes tipos:

- Transferencias simples (1 beat)
- Bursts de longitud indefinida (1 o mas beats)
- Bursts de 4, 8 y 16 beats

❑ Los burst de longitud definida pueden ser:

- Incrementales
- Wrapping bursts

❑ Los de longitud indefinida solo pueden ser incrementales.

Ejemplo: WRAP4

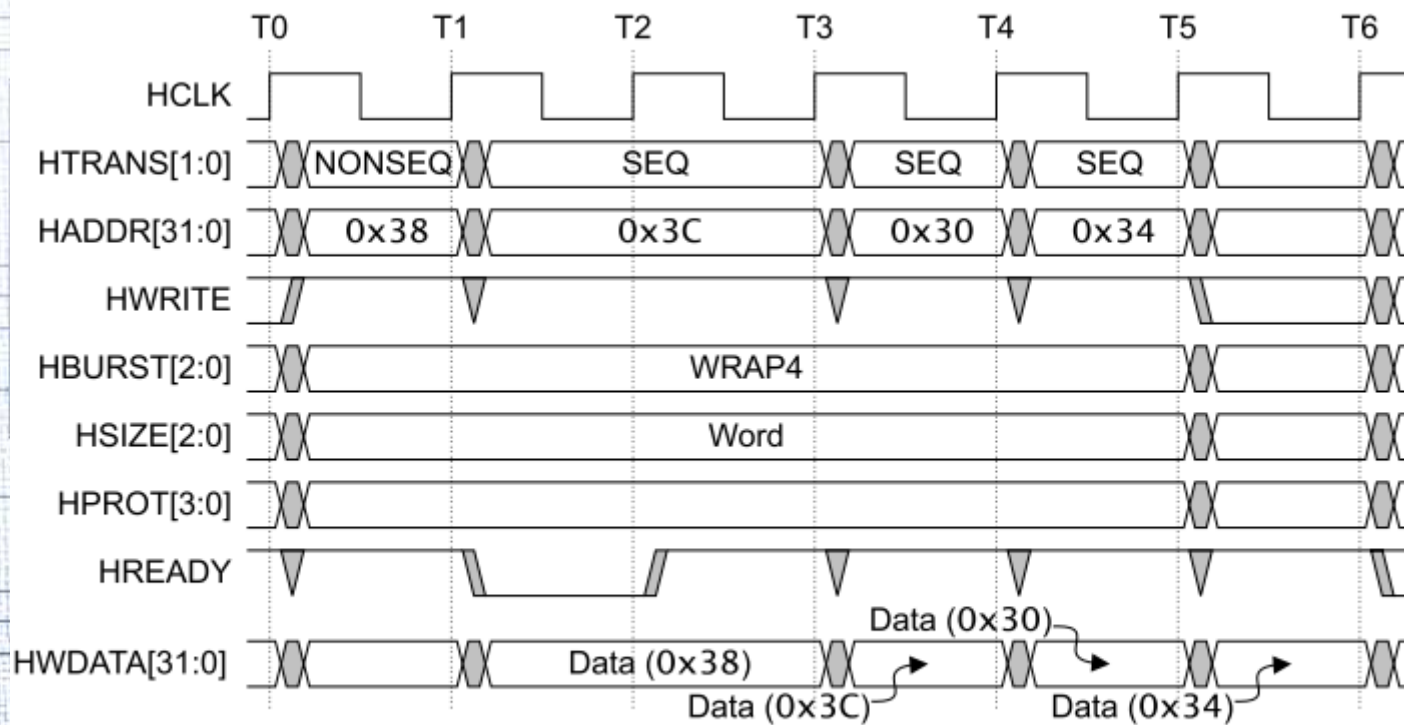


Figure 3-8 Four-beat wrapping burst

Ejemplo: INCR8

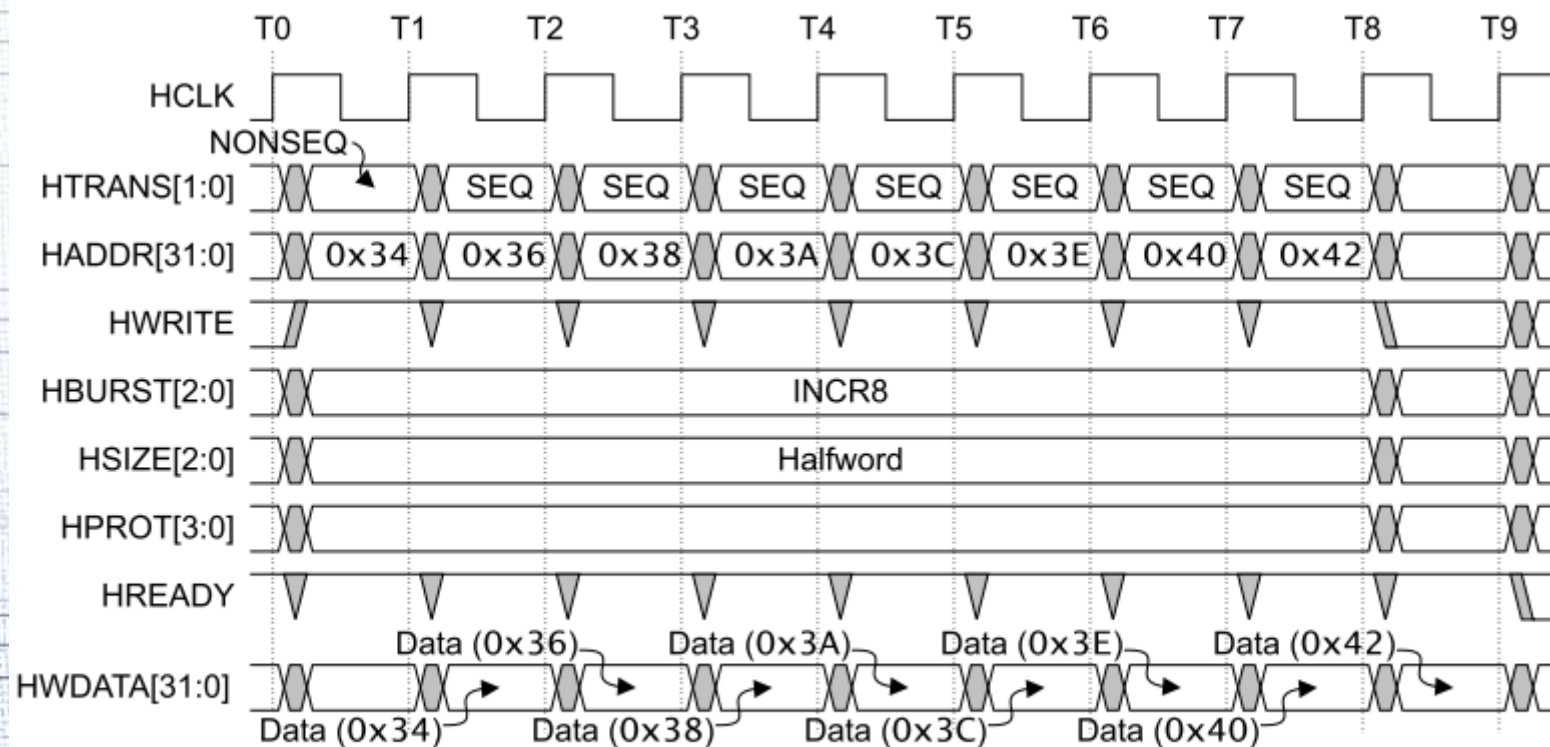


Figure 3-11 Eight-beat incrementing burst

Ejemplo: INCR

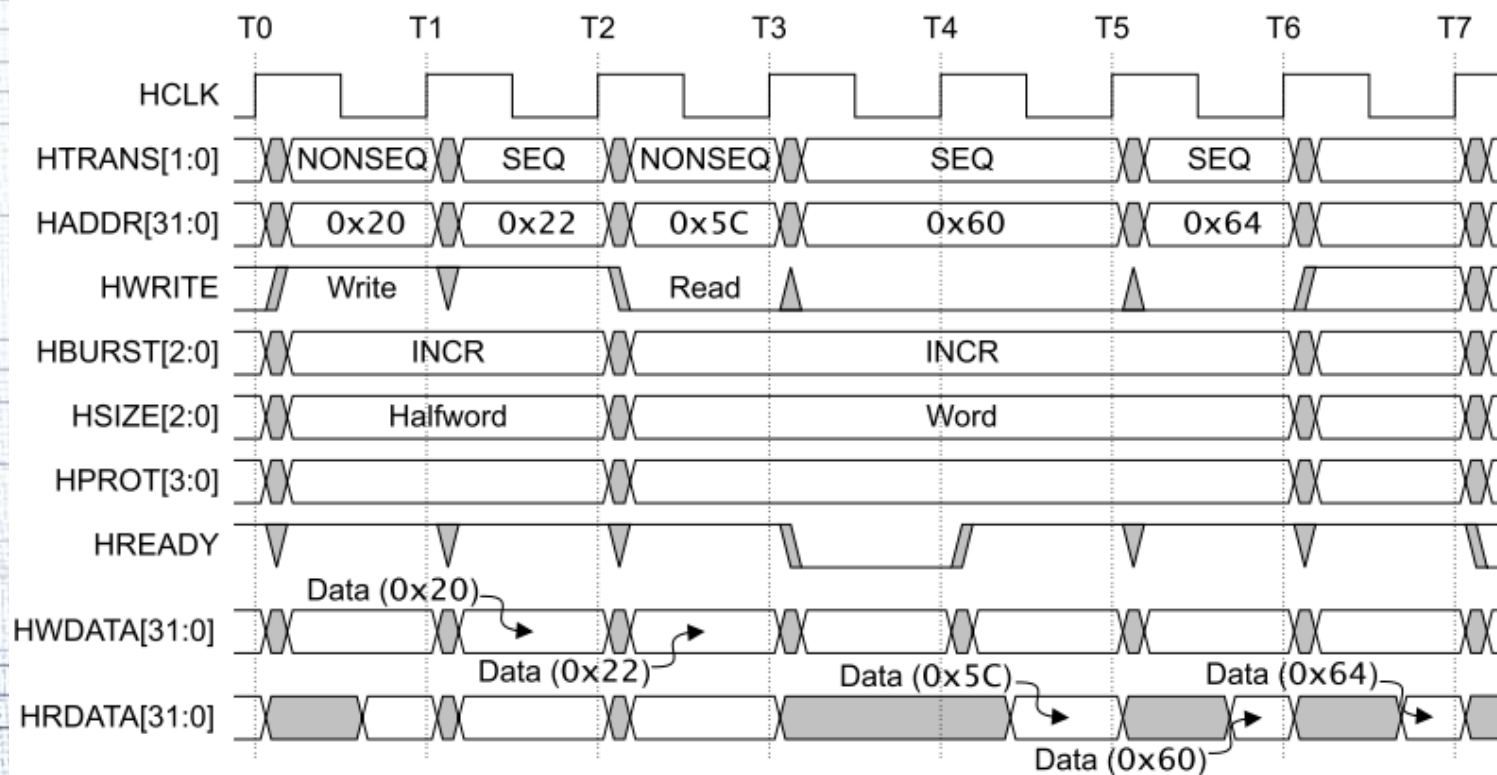


Figure 3-12 Undefined length bursts

Decodificación del address

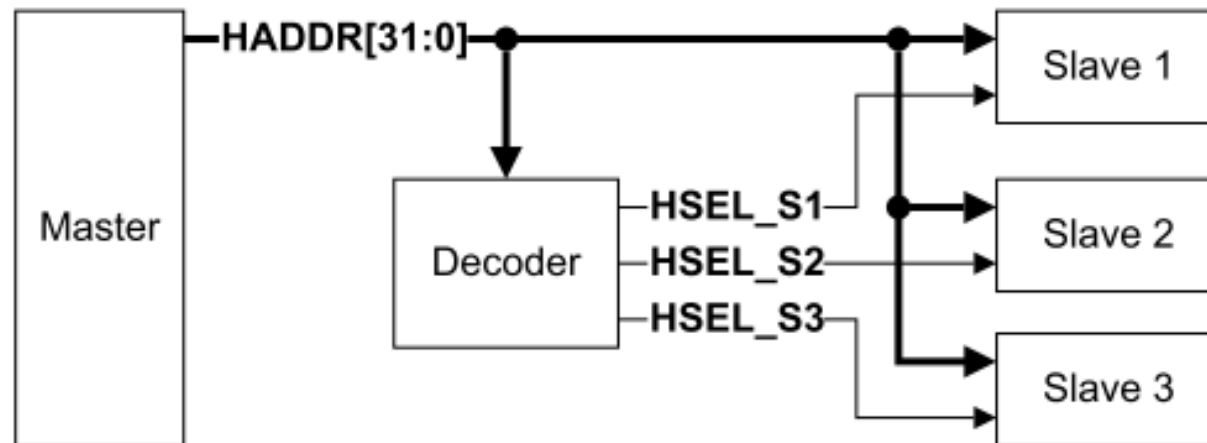
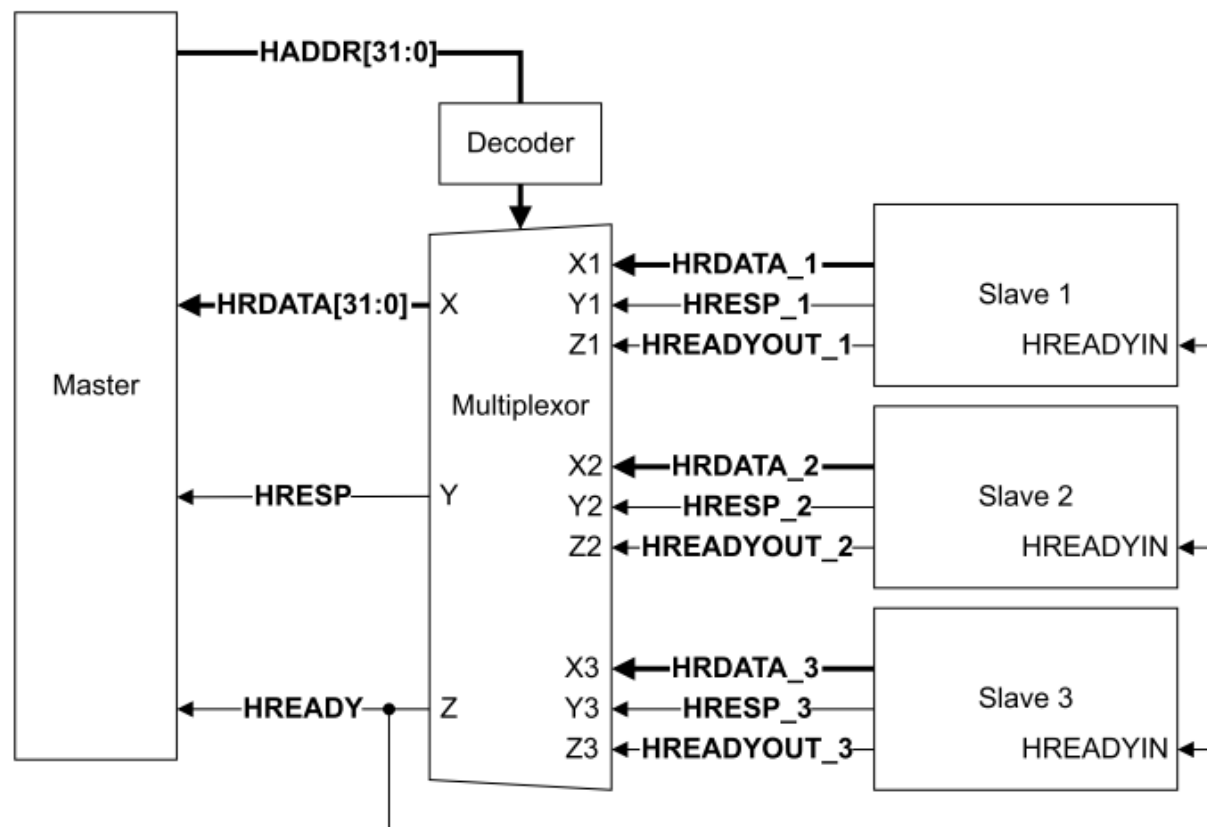


Figure 4-1 Slave select signals

Interconexión del bus



AHB Multilayer

Descripción

- ❑ Permite gran flexibilidad de interconexión.
- ❑ Se pueden crear complejos sistemas con múltiples masters.
- ❑ Se puede optimizar la performance en las secciones críticas.
- ❑ Se necesitan mas recursos de ruteo (Si son necesarios).
- ❑ El arbitraje no es mas centralizado.

Matriz de Interconexión

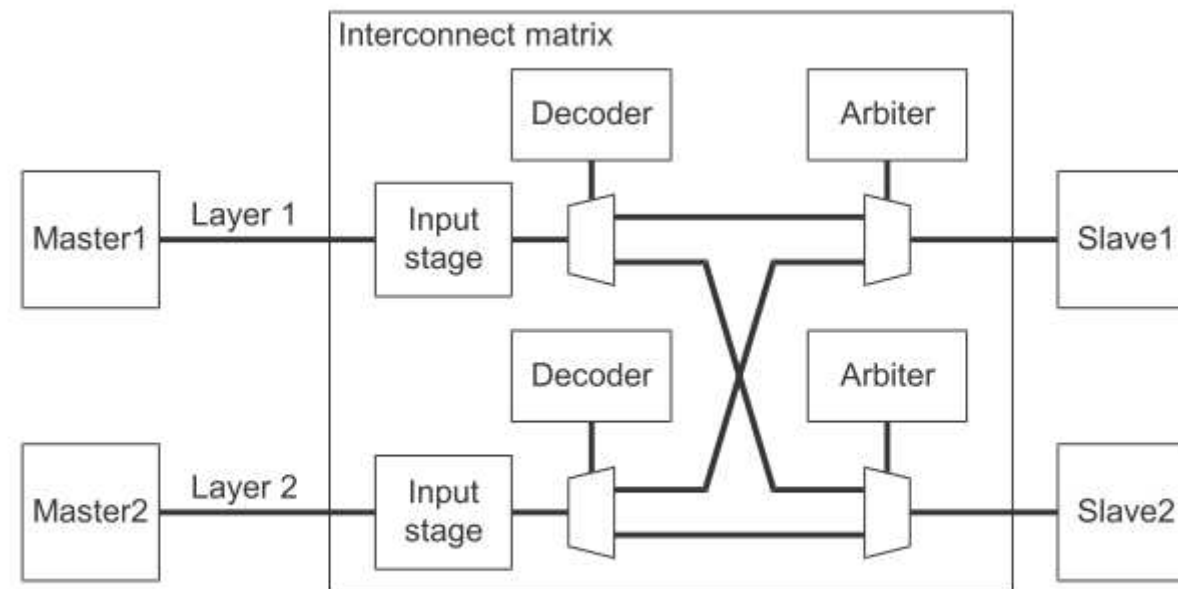


Figure 2 Multi-layer interconnect topology

Slaves locales

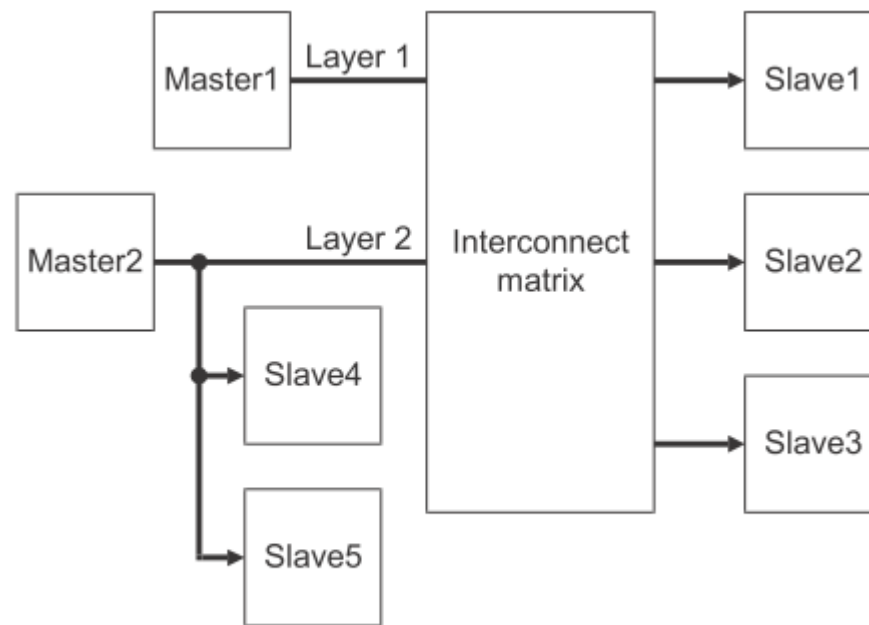


Figure 3 Local slaves

Agrupamiento de slaves

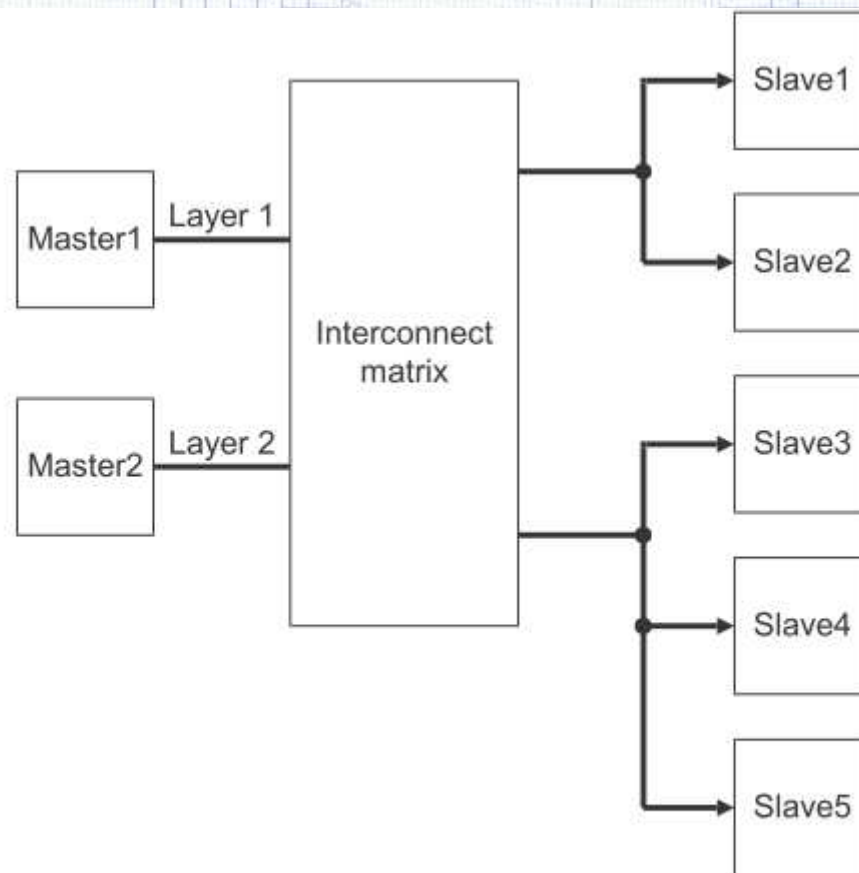


Figure 4 Multiple slaves on one slave port

Agrupamiento de masters

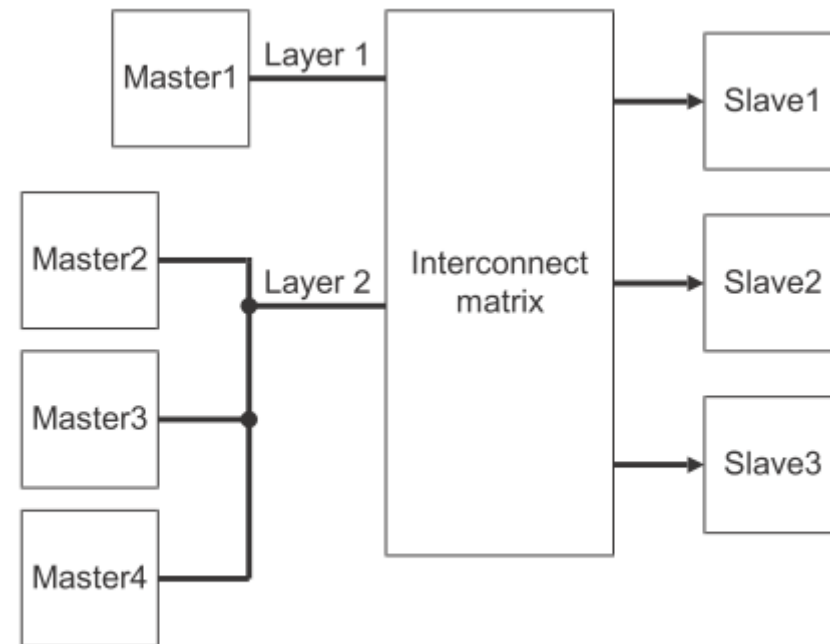


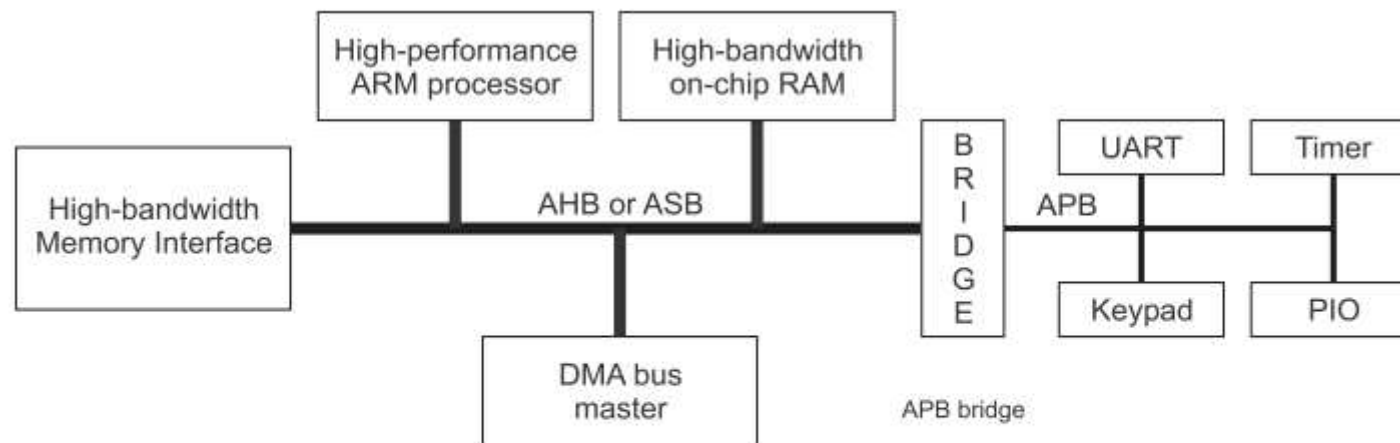
Figure 5 Multiple masters on one layer

APB

Descripción

- ❑ Pensado para minimizar el consumo de potencia y la complejidad de las interfaces.
- ❑ Debe ser usado para integrar aquellos componentes que no requieran gran ancho de banda.
- ❑ Es parte de un sistema AMBA, donde el único master APB es el bridge AHB to APB.
- ❑ Puede utilizar un diferente dominio de reloj (con PCLK de menor frecuencia que el HCLK).

Sistema APB



AMBA Advanced Peripheral Bus (APB)

- * Low power
- * Latched address and control
- * Simple interface
- * Suitable for many peripherals

Normal transfers

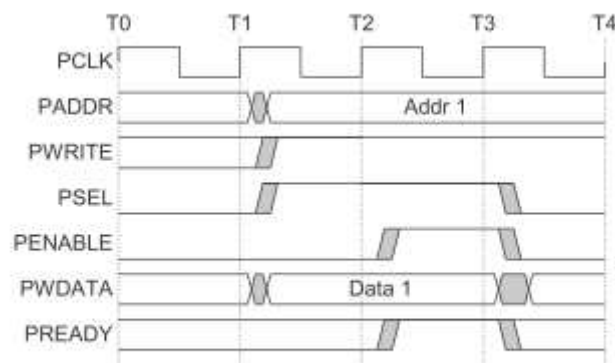


Figure 2-1 Write transfer with no wait states

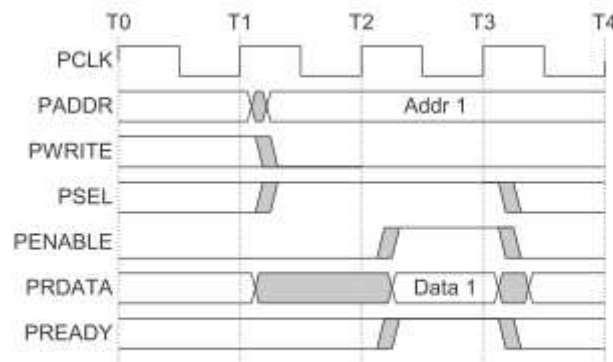


Figure 2-3 Read transfer with no wait states

Wait states

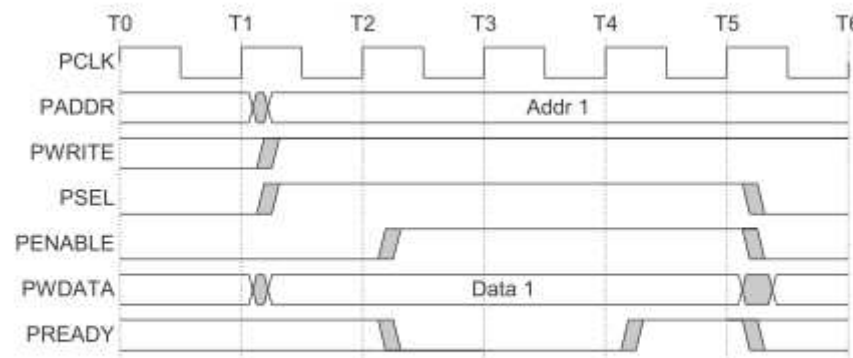


Figure 2-2 Write transfer with wait states

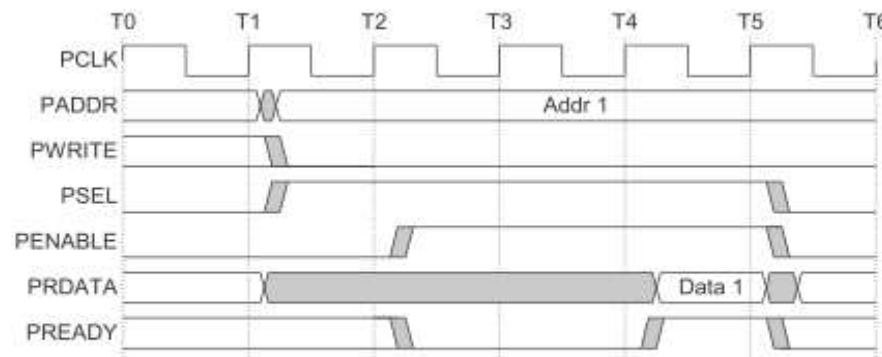


Figure 2-4 Read transfer with wait states

Error response

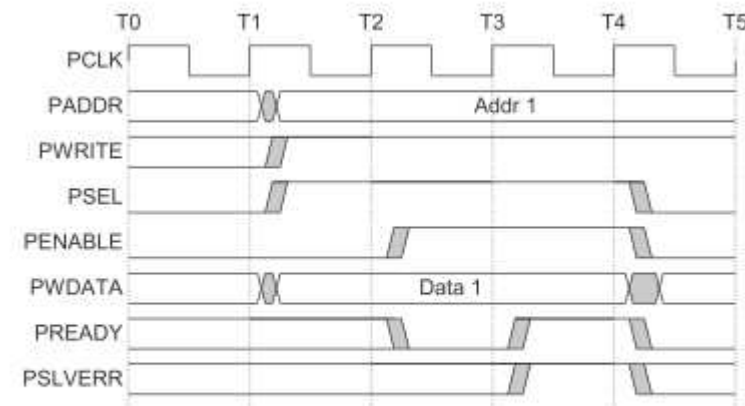


Figure 2-5 Example failing write transfer

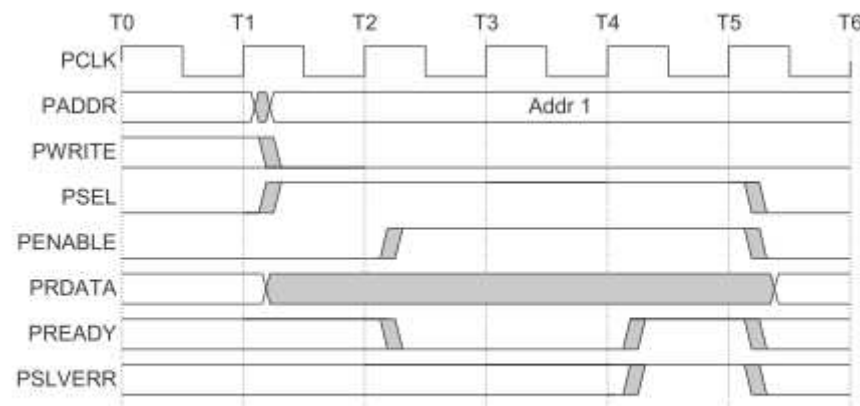


Figure 2-6 Example failing read transfer

- ❑ http://en.wikipedia.org/wiki/Advanced_Microcontroller_Bus_Architecture
- ❑ <http://www.arm.com/products/system-ip/amba/amba-open-specifications.php>
- ❑ AMBA™ Specification (Rev 2.0) - 13th May 1999
- ❑ AMBA™ 3 AHB-Lite Protocol (v1.0) - Specification - 06 June 2006
- ❑ Multi-layer AHB Overview - 10 May 2004
- ❑ AMBA™ 3 APB Protocol (v1.0) - Specification - 17 August 2004

Muchas Gracias!

Gastón Rodriguez

grodriguez@emtech.com.ar

EmTech

info@emtech.com.ar

www.emtech.com.ar