

Electrónica Digital

Ingeniería Informática – FICH, UNL
Leonardo Giovanini



Circuitos Secuenciales

En esta se estudiarán los siguientes temas:

- Circuitos secuenciales;
- Flip Flip RS;
- Flip Flip D;
- Flip Flip JK;
- Parámetros temporales;
- Metaestabilidad.

Un **circuito secuencial** es un tipo de circuito lógico cuya salida depende del **valor presente** de sus entradas y de la **secuencia de entradas pasadas**.

El **estado de salida** de un circuito secuencial es una función de la **entrada actual**, la **entrada pasada** y/o la **salida pasada**.

Los circuitos secuenciales **recuerdan** estas condiciones y **permanecen fijos en su estado actual** hasta el siguiente cambio en uno de los estados, dando a los circuitos secuenciales la capacidad de **memoria**.

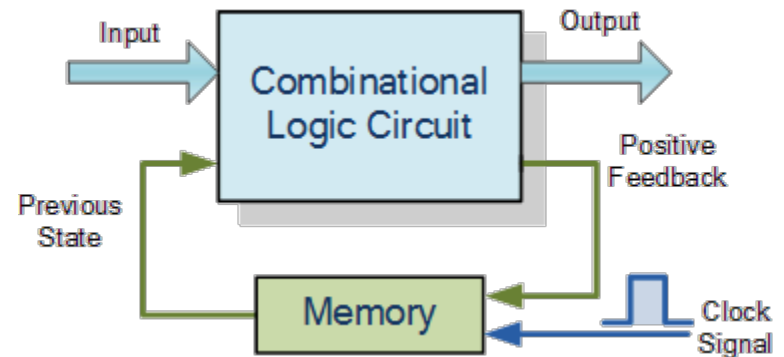
Para retener su estado, los circuitos secuenciales utilizan retroalimentación.

Además de los dos estados lógicos 0 y 1, hay un tercer elemento que separa los circuitos lógicos secuenciales de las lógicas combinacionales: **el tiempo**.

Los circuitos secuenciales vuelven a su **estado estable original una vez reiniciados**.

Aquellos que presentan bucles o caminos cerrados se dice que son de naturaleza **cíclica**.

La lógica secuencial se utiliza para **construir máquinas de estados finitos**, un componente básico en todos los circuitos digitales. De modo que todos los dispositivos digitales prácticos son una mezcla de lógica combinacional y secuencial.

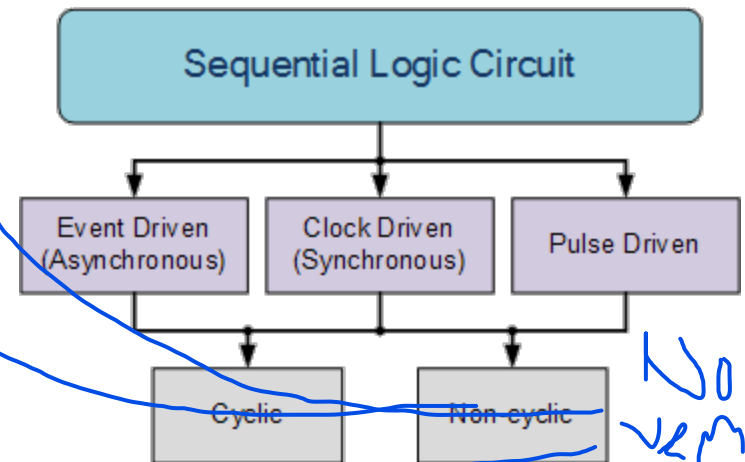


Como las puertas lógicas son los componentes básicos de los circuitos combinacionales, **los biestables** (Flip-Flop) y **los latches** son los componentes básicos de los circuitos lógicos secuenciales.

Los circuitos lógicos secuenciales se pueden construir para producir flip-flops simples activados por borde o circuitos secuenciales más complejos, como registros de almacenamiento, registros de desplazamiento, dispositivos de memoria o contadores.

Los circuitos lógicos secuenciales se pueden dividir en las siguientes tres categorías

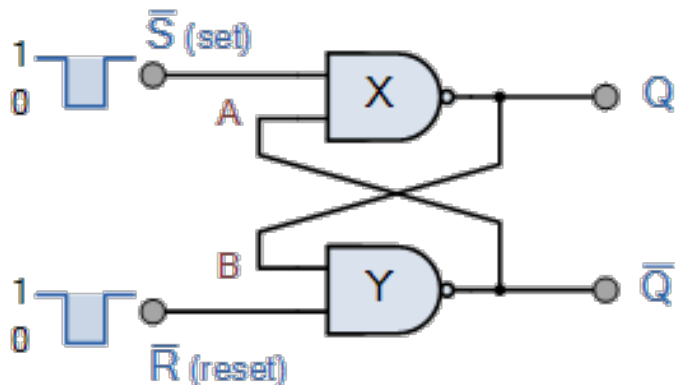
- **Controlado por eventos** – son **circuitos secuenciales asincrónicos** cuyos estados cambian cuando cambian con sus entradas;
- **Controlados por reloj** – son **circuitos secuenciales síncronos** cuyos estados cambian cuando cambian las entradas y la señal de reloj específica. Es decir que el cambio tiene efecto cuando el reloj lo habilita; y
- **Controlados por pulsos** - es una combinación de los otros dos tipos de circuitos secuenciales, respondiendo a impulsos de activación asíncronos.



Solo
vemos

El **flip-flop SR** es uno de los circuitos lógicos secuenciales más básicos capaz de almacenar un bit.

La forma más simple de construir un flip-flop SR es conectar juntas un par de compuertas NAND de 2 entradas, conectando sus salidas de manera cruzada para que haya retroalimentación de cada salida a una de las otras entradas de compuerta NAND para formar un bistable.



Este dispositivo consta de dos entradas:

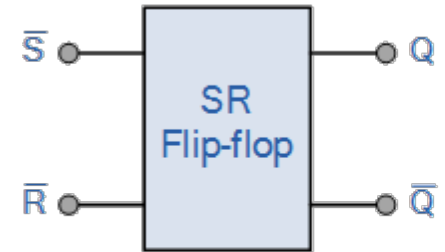
- Una que **establece la salida** ($Q=1$), llamada **Set (S)**; y
- Una que la **reestablece** ($Q=0$), llamada Reset (R).

y dos salidas:

- La salida principal Q; y
- Su complemento \bar{Q} .

Los flip-flop SR tiene tres entradas: Set, Reset y la salida Q, relacionada con su estado.

El término flip-flop se refiere a la operación real del dispositivo, ya que puede **flip** a un estado de configuración o **flop** al estado de reinicio opuesto.

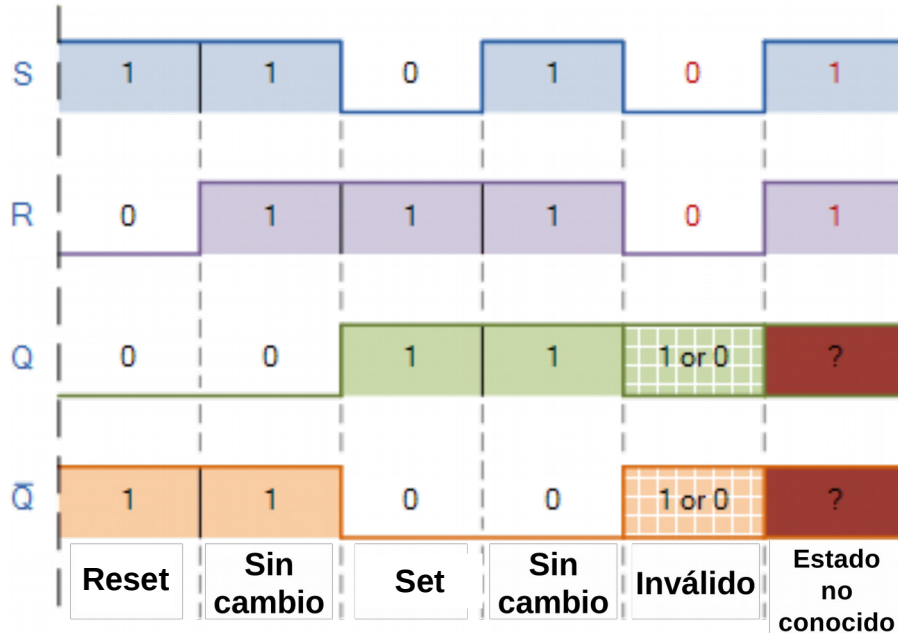
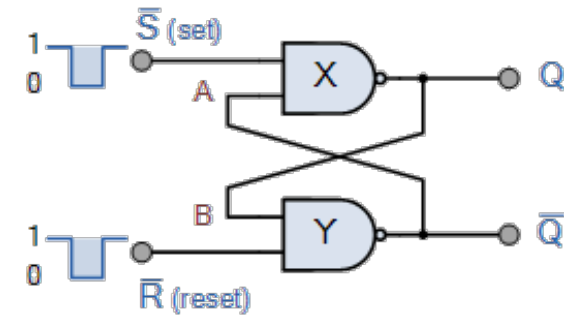


Circuitos secuenciales – Flip-Flop SR

Funcionamiento

Si $R=0$ y $S=1$, la compuerta Y tiene una de sus entradas en 0, por lo tanto $Q=1$. Como \bar{Q} se realimenta a la entrada A ($A=\bar{Q}$), ambas entradas a la compuerta X están en 1 y su salida $Q=0$.

Si $R=1$, las entradas de la compuerta Y son $R=1$ y $B=Q=0$. Como una entrada es 0, entonces $\bar{Q}=1$ y **no hay cambio de estado**.



Si $S=0$ y $R=1$, la compuerta X tiene al menos una de sus entradas en 0, por lo tanto $Q=1$. Como la salida Q se realimenta a la entrada B ($Q=B$), ambas entradas a la compuerta Y están en 1 y su salida $\bar{Q}=0$.

Si $S=1$, las entradas de la compuerta Y ahora son $R=1$ y $B=Q=1$. Como sus dos entradas están a 1, entonces $\bar{Q}=0$ y **no hay cambio de estado**.

La condición de $S=R=0$ hace que $Q=\bar{Q}=1$ cuando queremos que \bar{Q} sea el inverso de Q .

El flip-flop **pierde el control** de Q y \bar{Q} , se vuelven **inestable y** cambian a un **estado desconocido** basado en el desequilibrio.

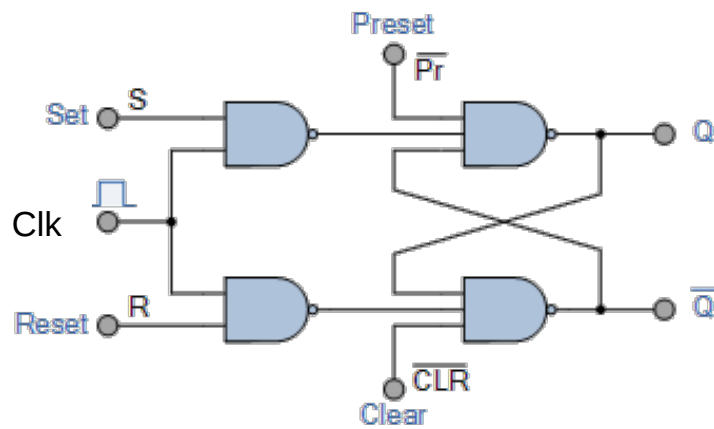
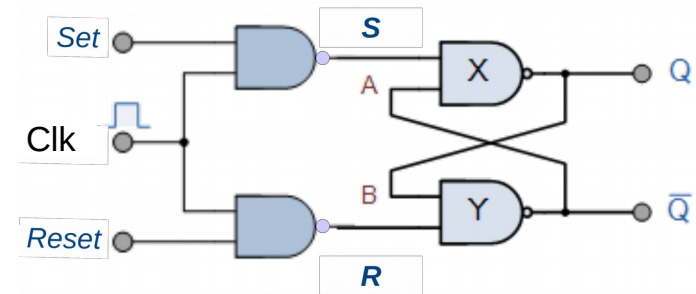
Circuitos secuenciales – Flip-Flop SR

Funcionamiento

Los estados del flip-flop SR cambia en respuesta a cambios en sus entradas, no importa cuando estos ocurran. Esto es, los cambios en S y R se ven reflejadas inmediatamente en Q.

Hay situaciones en las entradas S y R deben **evaluarse en el mismo instante**, independiente de cuando se hayan producido los cambios. Esto es, sincronizar el momento en que se leen las entradas para cambiar los estados.

Clk está conectado a la entrada de dos puertas NAND, de modo que sus salidas están a 1 cuando $Clk=0$. Entonces, cualquier cambio en S o R no tiene ningún efecto sobre Q y \bar{Q} . Cuando $Clk=1$, las dos NAND se vuelven transparentes, por lo que cualquier cambio en las entradas S y R cambiará el estado de las salidas.



Llevemos al flip-flop SR un paso más allá para producir un flip-flop con **entradas asíncronas** de **Preset** y **Clear**, que se usan para establecer el estado inicial del flip-flop independiente de Clk.

Cuando se aplica energía a un flip-flop, el estado inicial de Q es aleatorio, ya que depende de qué puerta se active primero. Entonces no tendríamos idea de en qué estado se encuentra el flip-flop.

Circuitos secuenciales – Flip Flop SR

Funcionamiento

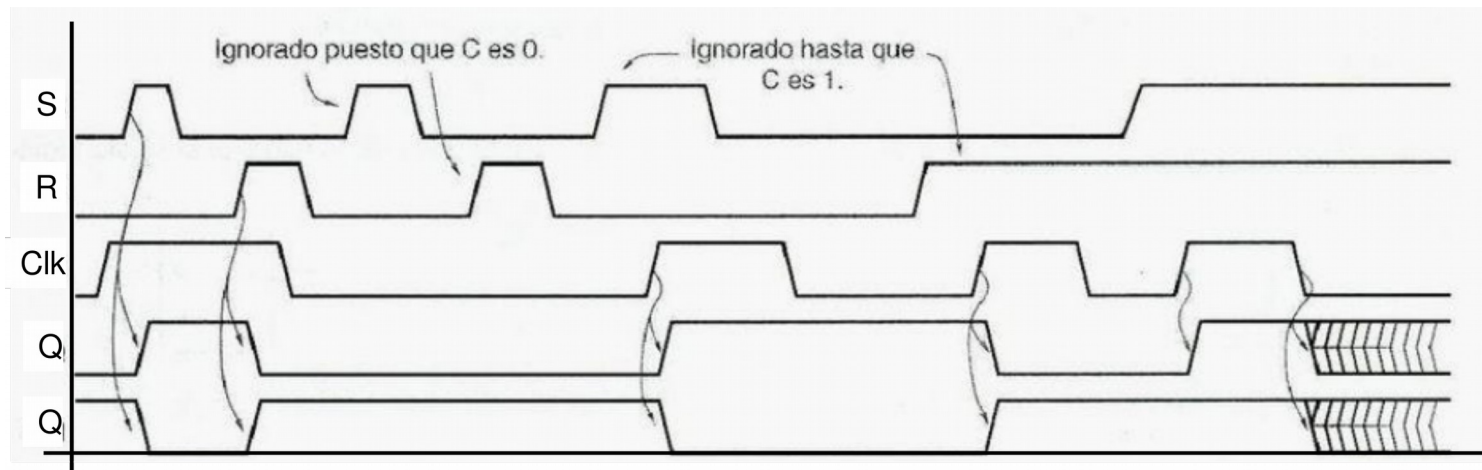
Clk	S	R	Q(t+1)
0	x	x	Q(t)
1	0	0	Q(t)
1	0	1	0
1	1	0	1
1	1	1	x

La tabla describe el comportamiento de la salida Q al tiempo t+1 (Q(t+1)) como una función de S, R y Clk.

El comportamiento también está descrito por la ecuación lógica que se deriva de la tabla

$$Q(t+1) = S(t) + \bar{R}(t)Q(t).$$

La Figura muestra el diagrama de temporal de un flip-flop SR para una señal de reloj Clk y diferentes combinaciones de valores de las señales de entrada R y S.



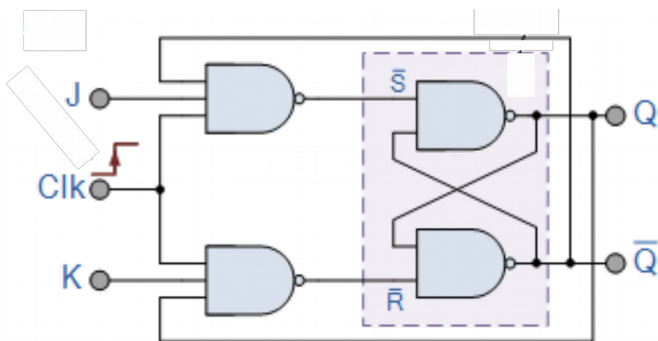
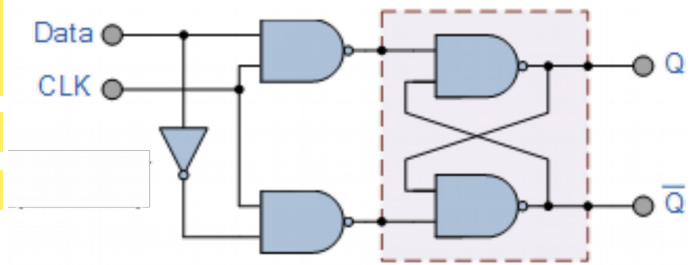
El circuito del flip-flop SR tiene dos problemas básicos

- Debe evitarse la condición $S=R=1$; y
- Si S o R cambian mientras Clk está en 1, la acción correcta puede no ocurrir (**metaestabilidad**).

Entonces, para resolver estos problemas se desarrollaron dos nuevos tipos de flip-flop.

- **Flip-flop D** – tiene solo una entrada de datos (D). El flip-flop D transfiere los datos entre la entrada y su salida después de un pulso de reloj. Los flip-flops D se construyen a partir de un flip-flop SR conectando un inversor entre las entradas S y R.

Esto implica resolver el problema de la condición prohibida a partir de eliminar esa condición ($R = S$).



- **Flip-flop JK** – tiene dos entradas (J y K) con J actuando como S y K actuando como R. Las cuatro configuraciones de entrada son válidas: sin cambio, establecer, restablecer y alternar.

El flip-flop JK resuelve el problema de la condición prohibida al establecer el comportamiento del flip-flop: producir el complemento de su estado.

El principal problema del flip-flop SR es la condición de entrada prohibida $S=R=1$.

Este estado forzará a $Q=\bar{Q}=1$, anulando la acción de retención de la retroalimentación y cualquier entrada que vaya a 1 primero perderá el control, mientras que la otra entrada aún en 0 controla el estado resultante del flip-flop.

Pero para evitar este problema se debe evitar la situación $S=R=1$, para ello basta con definir una de las entradas (S ó R) en función de la otra (R ó S).

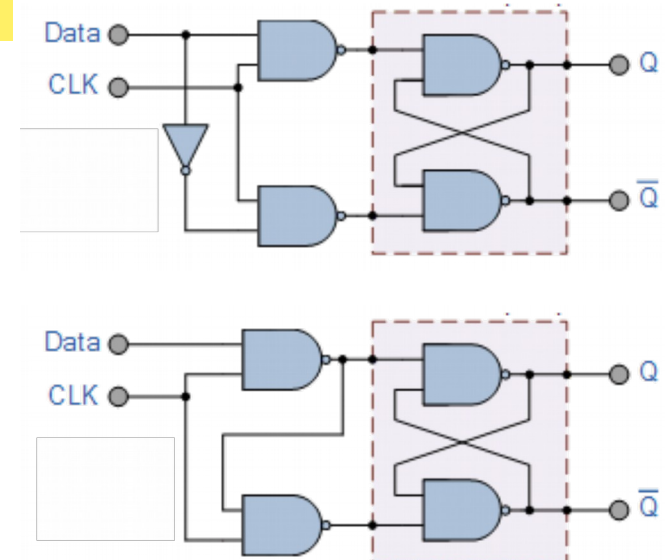
Una opción es

$$R = \bar{S}.$$

Este enfoque produce otro tipo de flip-flop conocido como flip-flop D.

Se construye a partir de un flip-flop SR con un inversor entre las entradas S y R, generando una sola entrada D.

Esta entrada de datos única se usa en lugar de S, y el inversor se usa para generar R.



Circuitos secuenciales – Flip Flop D

Funcionamiento

Clk	D	$Q(t+1)$
0	x	$Q(t)$
1	0	0
1	1	1

La tabla describe el comportamiento de la salida Q al tiempo $t+1$ ($Q(t+1)$) como una función de D y Clk .

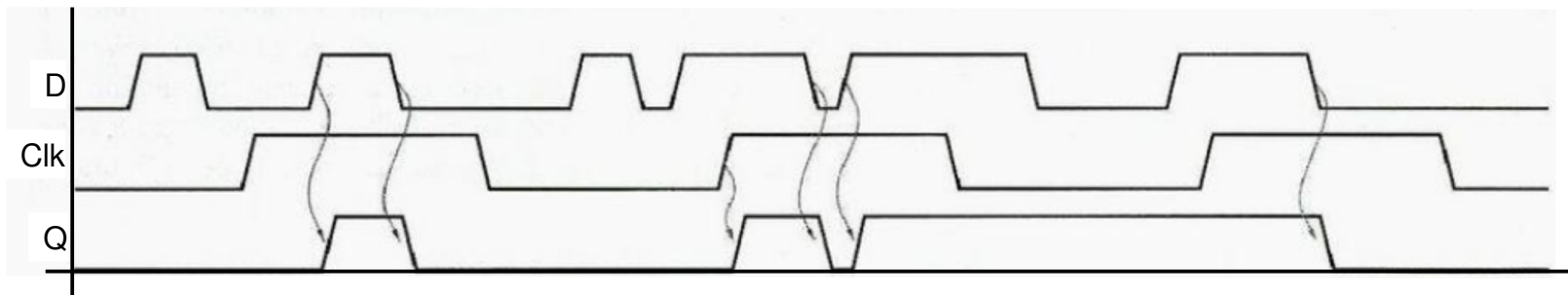
El comportamiento también está descrito por la ecuación lógica que se deriva de la tabla

$$Q(t+1) = D(t).$$

La Figura muestra el diagrama de temporal de un flip-flop SR para una señal de reloj Clk y diferentes combinaciones de valores de las señales de entrada R y S .

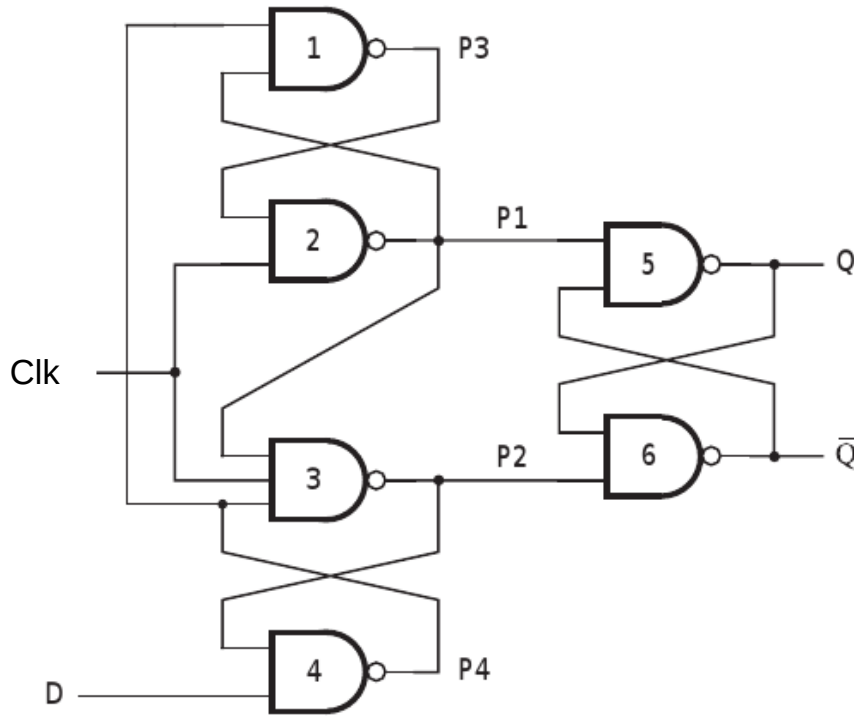
El diagrama muestra lo que sucede cuando la señal D cambia mientras $Clk=1$. Durante el primer pulso de reloj la salida Q cambia $0 \rightarrow 1 \rightarrow 0$, porque D cambia $0 \rightarrow 1 \rightarrow 0$. El último valor de D se almacena cuando Clk cambia a 0.

El punto clave es que mientras el reloj tenga el valor 1, la salida sigue la entrada D . Como la salida está controlada por el nivel del reloj, se dice que el enganche es sensible al nivel.



Circuitos secuenciales – Flip Flop D

Activado por flanco



El funcionamiento del circuito es el siguiente:

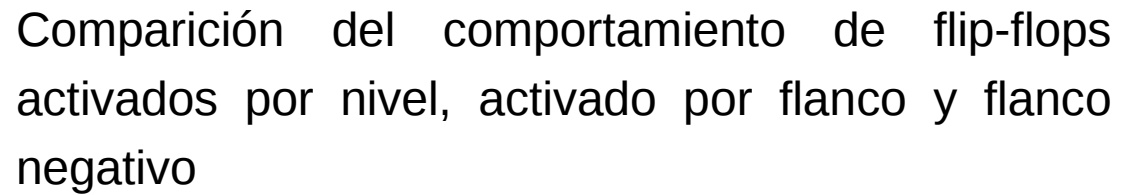
Cuando $Clk=0$ las salidas de las puertas 2 y 3 son altas ($P1=P2=1$), por lo tanto se mantiene el estado actual del flip-flop que comprende las puertas 5 y 6. Al mismo tiempo que se verifica $P3=D$ y $P4=D$.

Cuando $Clk=1$ se producen los siguientes cambios: los valores de P3 y P4 se transmiten a través de las puertas 2 y 3 para hacer que $P1=D$ y $P2=D$, lo que establece $Q=D$.

Finalmente, es necesario mostrar que después de que $Clk=1$, cualquier cambio en D no afectará Q siempre que $Clk=1$. Tenemos que considerar dos casos:

Si $D=0$ en el borde positivo del reloj, entonces $P2=0$ lo que mantendrá la salida de la puerta 4 igual a 1 siempre que $Clk=1$, independientemente del valor de D;

Si $D=1$ en el borde positivo del reloj, entonces $P1=0$ lo que obliga a las salidas de las puertas 1 y 3 a ser igual a 1, independientemente de D. Por lo tanto, el flip-flop ignora los cambios en D mientras $Clk=1$.



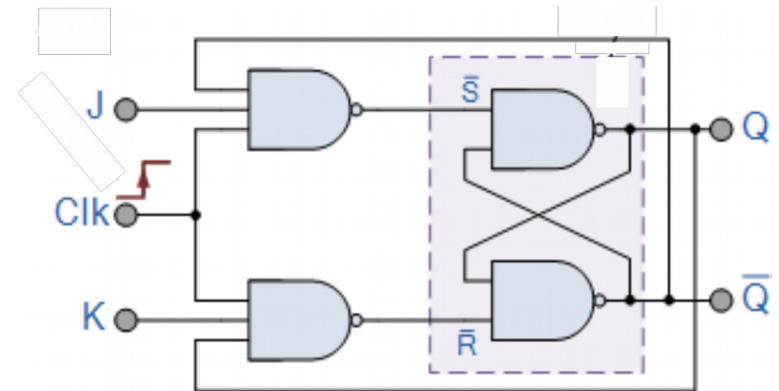
La operación secuencial del flip-flop JK es exactamente la misma que para el flip-flop SR con las mismas entradas S y R.

La diferencia es que el flip-flop JK no tiene entradas inválidas ($S=R=1$) por que resuelve el problema definiendo el comportamiento para esa situación:

$$\text{Si } J=K=1 \text{ entonces } Q(t+1)=Q(t)$$

El flip flop JK es básicamente un flip-flop SR con la inclusión de un circuito de entrada que evita la condición inválida $S=R=1$.

Como el flip-flop JK tiene dos entradas, retiene las cuatro combinaciones de posibles: 1, 0, sin cambio y alternar.



El flip-flop JK es el más utilizado de todos los diseños de flip-flop por que es un circuito versátil del que pueden construir cualquiera de los otros flip-flops. Por ello se lo considera un circuito universal de flip-flop.

Circuitos secuenciales – Flip Flop JK

Funcionamiento

J	K	$Q(t+1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\bar{Q}(t)$

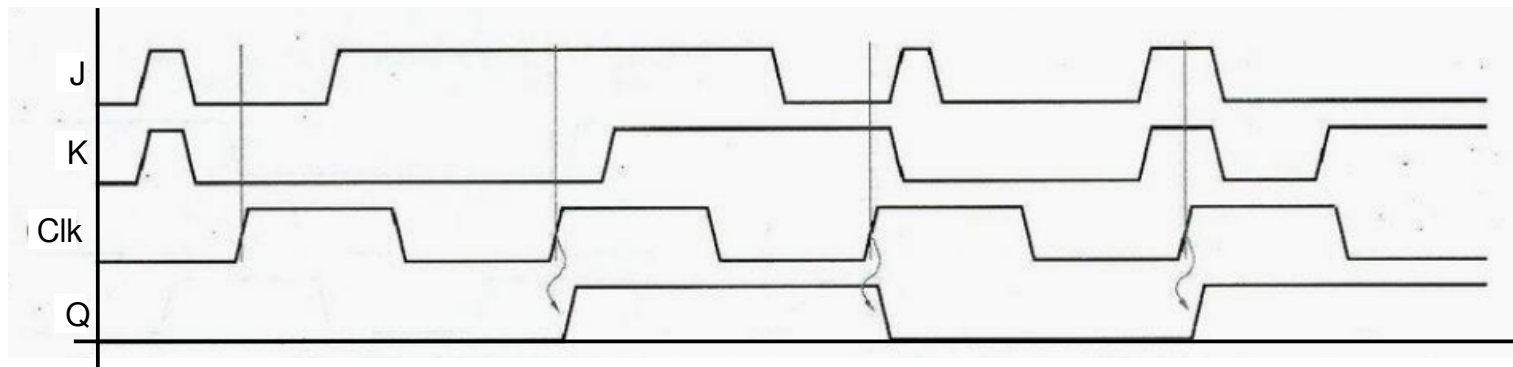
La tabla describe el comportamiento de la salida Q al tiempo $t+1$ ($Q(t+1)$) como una función de J y $Q(t)$.

El comportamiento también está descrito por la ecuación lógica que se deriva de la tabla

$$Q(t+1) = J(t)\bar{Q}(t) + \bar{K}(t)Q(t).$$

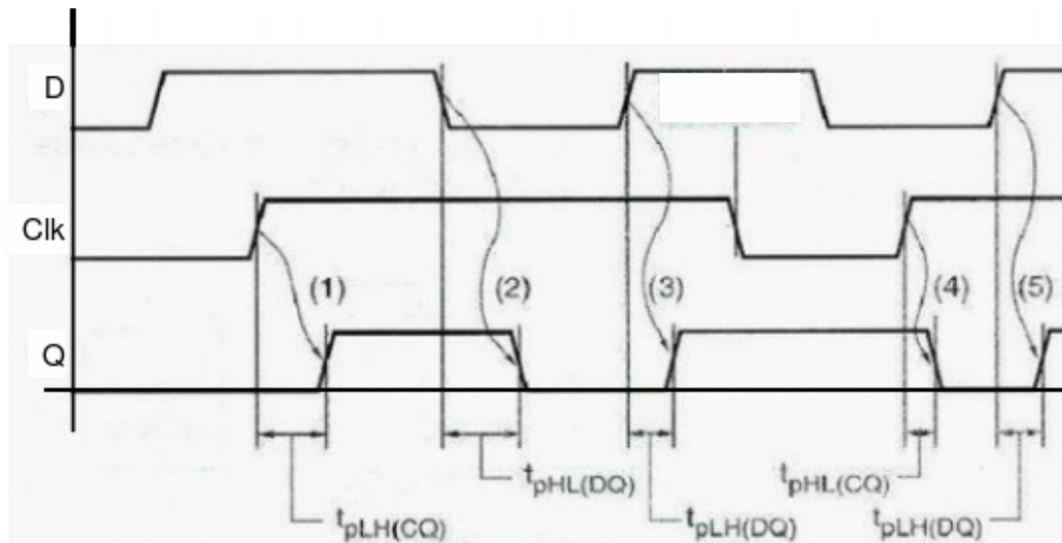
La Figura muestra el diagrama de temporal de un flip-flop JK para una señal de reloj Clk y diferentes combinaciones de valores de las señales de entrada J y K .

El diagrama también muestra el efecto de las entradas en las salidas dado por la tabla de verdad del flip-flop, en particular cuando $J=K=1$.



Los parámetros de tiempos más importantes de un flip-flop son

Tiempo de propagación – t_P – es el tiempo que tarda en producirse un cambio en la salida después de un flanco del reloj.



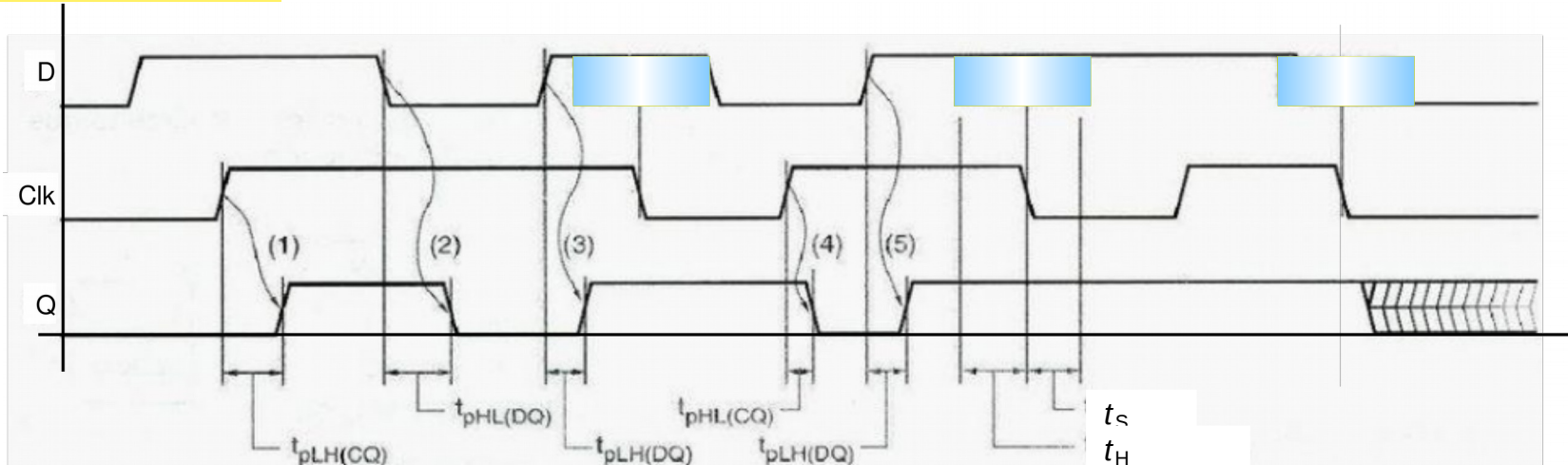
El tiempo de propagación para una transición 1 a 0 (t_{pHL}) es a veces diferente del tiempo de propagación para transición 0 a 1 (t_{pLH}).

El tiempo de propagación también depende de la entrada que cambia: una transición reloj a salida ($t_{P^{**}(CQ)}$) es a veces diferente al de una transición entrada a salida ($t_{P^{**}(DQ)}$).

Los parámetros de tiempos más importantes de un flip-flop son

Tiempo de establecimiento – t_s – es el mínimo tiempo necesario que la señal de entrada debe mantenerse estacionaria antes del flanco ascendente del reloj, de manera que el dato sea leído de manera confiable.

Tiempo de retención – t_H – es el mínimo tiempo que la señal de entrada debe permanecer sin cambio necesario después del flanco ascendente del reloj de manera que el dato sea leído de manera confiable.



Apertura – es la suma de los tiempos de retención y establecimiento. Las entradas deben permanecer sin cambios durante este periodo.

Tiempo de recuperación – es la cantidad mínima de tiempo que la entrada asincrónica de seteo o reseteo debe estar activa **antes del flanco de ascendente del reloj**, de modo que el reloj lea de manera confiable los datos.

El tiempo de recuperación para la entrada asincrónica es, por lo tanto, similar al **tiempo de establecimiento** para la entrada de datos.

Tiempo de eliminación – es la cantidad mínima de tiempo que la entrada asincrónica establecida o restablecida debe estar inactiva **después del flanco ascendente del reloj**, de modo que el reloj lea de manera confiable los datos.

El tiempo de eliminación para la entrada asincrónica establecida o restablecida es, por lo tanto, similar al **tiempo de retención** para la entrada de datos.

.

Los flip-flops están sujetos a un problema de **metaestabilidad**, que ocurre cuando dos entradas cambian aproximadamente al mismo tiempo.

Cuando el orden no es claro, dentro de las restricciones de tiempo apropiadas, el resultado es que la salida puede comportarse de manera impredecible, tardando mucho más de lo normal en establecerse en un estado u otro, o incluso oscilando varias veces antes de establecerse.

La metaestabilidad puede evitarse asegurando que los datos y las entradas de control se mantengan válidas y constantes durante el **período de apertura**.

No siempre es posible cumplir con el período de apertura porque el flip-flop puede estar conectado a una señal en tiempo real que podría cambiar en cualquier momento, fuera del control del diseñador.

Una técnica para suprimir la metaestabilidad consiste en conectar dos o más flip-flops en cadena, de modo que la salida de cada uno alimente la entrada de datos de la siguiente, y todos los dispositivos compartan un reloj común. Con este método, la probabilidad de un evento metaestable se reduce a medida que aumenta el número de flip-flops conectados en serie.