

Segundo Parcial ED 2023 (-----Hacer ejercicios en HOJA SEPARADA-----)

Ejercicio 1

- Explique qué es y cómo funciona un flip-flop RS. Explique cómo se resuelven sus problemas
- ¿Para qué se utiliza un registro paralelo-serie? Explique su funcionamiento y dé ejemplos de aplicaciones prácticas.

Ejercicio 2

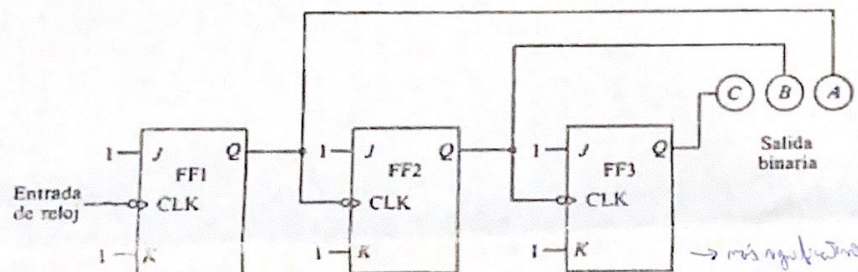
- ¿Qué es una máquina de estados finitos? ¿Cómo se diseña?
- ¿Cuál es su relación con la microprogramación?
- ¿Se puede implementar cualquier algoritmo con estas herramientas? Justifique.

Ejercicio 3

Usando un sumador completo de un bit (debe diseñarlo), diseñe un sumador/restador de 2 bits. Para ello, realice los mapas de Karnaugh, obtenga las ecuaciones lógicas minimizadas y dibuje el diagrama circuital correspondiente. **Nota:** para la resta, utilice el complemento a dos.

Ejercicio 4

Dado el siguiente circuito



y mediante la realización de un diagrama temporal para **10 ciclos de reloj**, determine cuál es la función del mismo. Considere que, al inicio, cada salida de los FFs tiene un valor bajo. **Nota:** tenga presente que FF3 representa al bit más significativo y FF1 al bit menos significativo, y que, además, los FFs son sensibles al flanco descendente del reloj.

Ejercicio 5

Un estudiante de Electrónica Digital tiene como mascota un caracol robótico cuyo "cerebro" está basado en una FSM. El caracol se arrastra de izquierda a derecha a lo largo de una cinta de papel que contiene una secuencia de unos (1) y ceros (0). En cada ciclo del reloj, el caracol se desplaza hacia el bit siguiente. El caracol sonríe cada vez que los **últimos dos bits** por los que se desplazó **son**, de izquierda a derecha, **01**.

Utilizando Flip-Flops D, diseñar una FSM que calcule cuando el caracol debería sonreír. La **entrada A** contiene la secuencia de bits que va leyendo la antena del caracol. La **salida Y** debe ser **VERDADERA** cuando el caracol sonríe. Comparar los diseños de las máquinas de estado de **Moore** y de **Mealy**. Dibujar los circuitos esquemáticos para cada máquina de estados y verificar el funcionamiento de las mismas mediante un diagrama temporal que muestre la entrada, estados y salida a medida que el caracol se desplaza sobre la secuencia de bits **0100110111**.

Implementar una de las FSM en Verilog e indicar cuál de ellas está implementando.