

# Guía de Trabajos Prácticos N° 5

## Gestión de periféricos

### Teoría

1. Los sistemas con entradas/salidas independientes tienen un segundo espacio de direcciones para los registros de los periféricos (puertos) en lugar de la memoria y una categoría separada de instrucciones para realizar operaciones de entrada/salidas en lugar de transferencias de datos de memoria. ¿Cuáles son las ventajas y desventajas de esta forma de organizar los periféricos? Describa una organización alternativa, discutiendo y comparando sus ventajas y desventajas.
2. Un microprocesador típico utiliza direcciones de entrada/salida distintas para hacer referencia a los puertos de datos, control y estado de un dispositivo determinado. Los procesadores de Intel utilizan dos formatos de instrucción para gestionar los puertos:
  - Un formato utiliza un código de operación de 8 bits para especificar las operaciones seguido por una dirección de puerto de 8 bits; y
  - El otro formato almacena la dirección del puerto en un registro de 16 bits.¿Cuántos puertos puede direccionar el procesador en cada modo de direccionamiento?
3. Una computadora tiene dos canales selectores y un canal multiplexor. Cada canal selector admite dos discos magnéticos y dos unidades de cinta magnética. El canal multiplexor tiene dos impresoras de línea, dos lectores de tarjetas y 10 terminales de videotexto (VDT) conectados a él. Suponga las siguientes tasas de transferencia:

Disco rígido	800 Kbytes/s
Unidad de cinta	200 Kbytes/s
Impresora	6.6 Kbytes/s
Lectora de tarjetas	1.2 Kbytes/s
Terminal de videotexto	1 Kbyte/s

Estime la tasa de transferencia de E / S agregada máxima en este sistema.

4. Considere un microprocesador que tiene instrucciones de transferencias a puertos en bloque. Después de su primera ejecución, la instrucción tarda cinco ciclos de reloj en volver a ejecutarse. Sin embargo, si empleamos instrucciones simples se necesitan 20 ciclos de reloj para obtener y ejecutar toda la tarea. Calcule el aumento de velocidad y la reducción del programa<sup>1</sup> cuando se utiliza la instrucción de bloque al transferir bloques de 128 bytes.
5. Un sistema tiene dos puertos cuyos controladores utilizan registros de estado y control separados. Ambos dispositivos manejan datos de 1 byte a la vez. El primer dispositivo tiene dos líneas de estado y tres líneas de control. El segundo dispositivo tiene tres líneas de estado y cuatro líneas de control.
  - a. ¿Cuántos registros de control de 8 bits necesitamos para la lectura de estado y el control de cada dispositivo?
  - b. ¿Cuál es el número total de registros del módulo de control necesarios dado que el

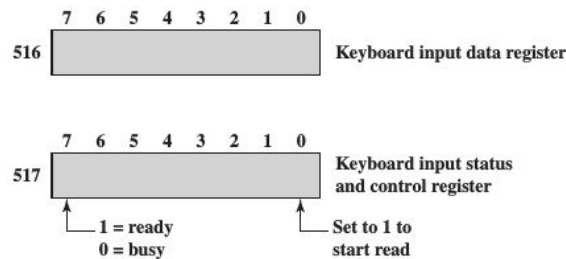
---

<sup>1</sup> Asuma que cada instrucción se implementa con una palabra de código

primer dispositivo es un dispositivo de sólo salida?

c. ¿Cuántas direcciones distintas se necesitan para controlar los dos dispositivos?

6. Cuando se gestiona periféricos con consulta, el procesador está ocupado en un bucle de espera que realiza la verificación del estado de un dispositivo



Para mejorar la eficiencia del sistema, el programa puede escribirse de modo que el procesador verifique periódicamente el estado del dispositivo. Si el dispositivo no está listo, el procesador pasa a gestionar otras tareas. Después de un periodo de tiempo, el procesador vuelve a verificar el estado nuevamente.

- Considere el esquema propuesto para enviar un carácter a la vez a una impresora que funciona a 10 caracteres por segundo (cps). ¿Qué pasará si se escanea su estado cada 200 ms?
  - Considere un teclado con un búfer de un solo carácter. En promedio, los caracteres se ingresan a una velocidad de 10 cps. Sin embargo, el intervalo de tiempo entre dos pulsaciones de tecla consecutivas puede ser tan breve como 60 ms. ¿A qué frecuencia debe escanear el programa al teclado?
7. Un microprocesador escanea el estado de un puerto de salida cada 20 ms. Esto se logra mediante un temporizador que alerta al procesador cada 20 ms. La interfaz del dispositivo incluye dos puertos: uno para estado y otro para salida de datos. ¿Cuánto tiempo se tarda en escanear y atender el dispositivo, dada una frecuencia de reloj de 8 MHz si una instrucción 4 ciclos de reloj en ejecutarse?
8. Un sistema es controlado por un operador a través de comandos ingresados desde un teclado. La cantidad promedio de comandos ingresados en un periodo de 8 horas es 60.
- Suponga que el procesador escanea el teclado cada 100 ms. ¿Cuántas veces se revisará el teclado en un período de 8 horas?
  - ¿En qué fracción se reduciría el número de visitas del procesador al teclado si se controla el teclado utilizando interrupciones?
9. ¿Qué queremos decir cuando decimos que las interrupciones deben procesarse de forma transparente? ¿Qué implica esto y por qué es necesario?
10. Algunos procesadores, antes de dar servicio a una interrupción, guardan automáticamente el contenido de todos los registros. Otros guardan automáticamente solo una cantidad limitada de información. En el segundo caso, ¿cómo podemos estar seguros de que todos los datos críticos se guardan y se restauran? ¿Cuáles son las ventajas y desventajas de cada uno de estos enfoques?
11. Explique la función de un temporizador de vigilancia (watchdog timer). ¿Por qué los microcontroladores (procesadores embebidos) suelen necesitar este tipo de mecanismo?

12. ¿En qué se parecen y se diferencian las interrupciones **vectorizadas** y **auto-vectorizadas**? ¿Se pueden utilizar en el mismo sistema? ¿Por qué sí o por qué no? ¿Cuáles son sus ventajas y desventajas en comparación con las interrupciones no vectorizadas?
13. Dada la necesidad de que los programas usuario accedan a los servicios del sistema operativo ¿Por qué las Traps son una solución mejor que las instrucciones de llamada a subprogramas convencionales?
14. Considere un sistema que emplea operaciones de entrada/salida controladas por interrupciones para un dispositivo en particular que transfiere datos a un promedio de 8 KB/s de forma continua.
- Suponga que el procesamiento de interrupciones toma  $100\ \mu\text{s}$  (para saltar a la rutina de servicio de interrupciones -ISR-, ejecutarla y regresar al programa principal). Determine qué fracción del tiempo de procesador consume este dispositivo si se interrumpe por cada byte.
  - Ahora suponga que el dispositivo tiene dos búferes de 16 bytes e interrumpe el procesador cuando uno de los búferes está lleno. Naturalmente, el procesamiento de interrupciones lleva más tiempo, porque el ISR debe transferir 16 bytes. Mientras ejecuta el ISR, el procesador tarda aproximadamente  $8\ \mu\text{s}$  en la transferencia de cada byte. Determine qué fracción del tiempo de procesador consume este dispositivo.
  - Ahora suponga que el procesador está equipado con una instrucción de transferencia en bloque. Esto permite que el ISR asociado transfiera cada byte de un bloque en solo  $2\ \mu\text{s}$ . Determine qué fracción de tiempo de procesador consume este dispositivo.
15. Dado que muchos sistemas tienen un solo bus que puede ser controlado por un solo maestro a la vez (y por lo tanto la CPU no puede usar el bus para otras actividades durante las transferencias de entrada/salida), explique cómo un sistema que usa DMA para operaciones de entrada/salida puede superar a uno en el que todas las operaciones las realiza la CPU.
16. En todos los sistemas que incluyen módulos DMA, la DMA a la memoria principal tiene mayor prioridad que el acceso de la CPU a la memoria principal. ¿Por qué?
17. Un módulo DMA está transfiriendo caracteres a la memoria, mediante robo de ciclo, desde un dispositivo que transmite a 9600 bps. El procesador está obteniendo instrucciones a una velocidad de 1 millón de instrucciones por segundo (1 MIPS). ¿Cuánto se ralentizará el procesador debido a la actividad de DMA?
18. Considere un sistema en el que los ciclos de bus toman 500 ns. La transferencia del control del bus en cualquier dirección, desde el procesador al dispositivo de entrada/salida o viceversa, tarda 250 ns. Uno de los dispositivos tiene una velocidad de transferencia de datos de 50 KB/s y emplea DMA. Los datos se transfieren 1 byte a la vez.
- Supongamos que empleamos DMA en modo ráfaga. Es decir, la interfaz DMA obtiene el dominio del bus antes del inicio de una transferencia de bloque y mantiene el control del bus hasta que se transfiere todo el bloque. ¿Por cuánto tiempo el dispositivo inhabilitaría el bus al transferir un bloque de 128 bytes?
  - Repita el cálculo para el modo de robo de ciclo.
19. El análisis del diagrama de tiempo del 8237A indica que una vez que comienza una transferencia en bloque, se necesitan tres ciclos de reloj de bus por ciclo de DMA. Durante el

ciclo DMA, el 8237A transfiere un byte entre la memoria y el dispositivo.

- a. Supongamos que el 8237A funciona a 5 MHz. ¿Cuánto tiempo se tarda en transferir un byte?
- b. ¿Cuál sería la tasa máxima de transferencia de datos alcanzable?
- c. Suponga que la memoria no es lo suficientemente rápida y tenemos que insertar dos estados de espera por ciclo DMA. ¿Cuál será la tasa de transferencia de datos real?

20. Un controlador DMA da servicio a cuatro enlaces de telecomunicaciones de sólo recepción (uno por canal DMA) con una velocidad de 64Kbps cada uno.

- a. ¿Utilizaría el controlador en modo de ráfaga o en modo de robo de ciclo?
- b. ¿Qué esquema de prioridad emplearía para el servicio de los canales DMA?

21. ¿Qué es un canal de entrada/salida? ¿Cómo funcionan? Compare y analice los procesadores de canal utilizados en los mainframes de IBM con las PPU utilizadas en los sistemas CDC.

22. Compare y analice los diferentes esquemas de gestión de entrada/salida: programada (consulta), interrupciones, DMA y canal de entrada/salida. ¿Cuáles son las ventajas y desventajas de cada uno? Describe escenarios que favorecerían cada enfoque sobre los demás.