

Primer Parcial Electrónica Digital - 26/04/2019

1. (25 puntos) Explique cómo se realiza el cambio de base de un número decimal a una base arbitraria.

Resuelva:

- Los babilonios desarrollaron el sistema sexagesimal (base 60) hace alrededor de 4000 años. ¿Cómo escribe el número 4000_{10} en sexagesimal?
- Base 32 es un sistema de numeración posicional que usa 32 como base. Para representar los números del 0 al 25 utiliza las 26 letras mayúsculas A-Z (sin usar la Ñ) y para los números del 26 al 31 los seis dígitos 2-7. Represente el número 425_{16} en Base 32.
- Determine la base en la cual están expresados los números de la siguiente operación:

$$145 + 23 = 212$$

2. (10 puntos) Un platillo volador se estrelló en las cercanías del Cerro Uritorco. Las autoridades que investigan el caso encontraron un manual que contenía la siguiente ecuación en el sistema de numeración marciana: $325 + 42 = 411$. Si esta ecuación es correcta ¿Cuántos dedos esperaría que tengan los marcianos?

3. (15 puntos) Explique qué es un código y para qué se utilizan.

Dados los siguientes números decimales 45; 90; 135; 180; 215

- Exprese dichos números en código BCD;
- Exprese los números del ítem a) en código Gray;
- Exprese los números del ítem a) en código Aiken.

4. (25 puntos) Explique la función de los códigos detectores-correctores de errores. Explique el código de Hamming. Describa el algoritmo para generar un código de Hamming para un mensaje con longitud de palabra de 4 bits, capaz de detectar un error.

Resuelva:

- Dados la siguiente lista de palabras a transmitir 36_H ; $2A_H$; $F2_H$; $5E_H$; $B3_H$; 45_H calcule los códigos de paridad de fila y columna del mensaje suponiendo que utilizamos paridad par para ambos códigos.
- Dado el siguiente mensaje a transmitir $36F_H$ calcule el código CRC, suponiendo que el mensaje se rellena con ceros en los lugares de los bits menos significativos y que el polinomio divisor viene dado por x^3+x+1 .

5. (25 puntos) Defina qué es una función lógica. Explique las formas en que se puede representar una función lógica. Defina las formas canónicas de una función lógica.

Dada la función lógica $f = (\overline{AB}(C + BD) + \overline{A}\overline{B})C$

- Escriba su tabla de verdad y dibuje el circuito que la representa;
- Simplifique paso a paso la función utilizando los postulados y teoremas del Álgebra de Boole;
- Escriba la tabla de verdad y dibuje el circuito que representa a la función simplificada;

Segundo Parcial Electrónica Digital - 31/05/2019

Ejercicio 1 (25 puntos): Explique el funcionamiento de un registro de desplazamiento universal (carga paralela, desplazamiento derecha e izquierda) y realice un diagrama del mismo utilizando flip flop D. Realice el diagrama de tiempos de las señales del registro suponiendo que:

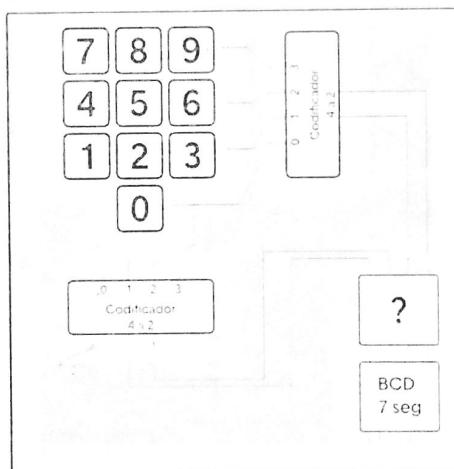
El registro consta de 4 bits, se carga el dato **1001**; la entrada serie tiene un **0**; y los datos se desplazan hacia la derecha.

Codifique las operaciones como:

Carga	11
Desplazamiento derecha	01
Desplazamiento izquierda	10
Mantener dato	00

Grafique las señales de reloj, carga paralela, salida serie y las salidas de cada flip-flop.

Ejercicio 2 (25 puntos): Diseñe un conversor de código que genere el código BCD correspondiente al número presionado en el teclado. Para ello tenga en cuenta que al presionar un botón, este genera una señal ALTO en la fila y columna correspondiente. Analice el diagrama y la conexión de los botones a los codificadores de filas y columnas.



0 1 2 3 00
8 01
0 00
0 11

Realice la tabla de verdad, simplifique mediante mapas de Karnaugh y dibuje el circuito.

Ejercicio 3 (25 puntos): Realice un sumador con acarreo anticipado de 3 bits. Ayuda: Intente modularizar el diseño y recuerde realizar tablas de verdad para el sumador completo y para el anticipador de acarreo.

Ejercicio 4 (25 puntos): Utilizando Flip-Flop JK realice un contador de **módulo 12** asincrónico cuyo **reset sea asincrónico**. Verifique su funcionamiento mediante el diagrama temporal de las señales de salida del mismo. *Con una entrada que permita elegir ascendente o descendente*

12 2
5 6 4
0 3 1
1 1

Ejercicio 1

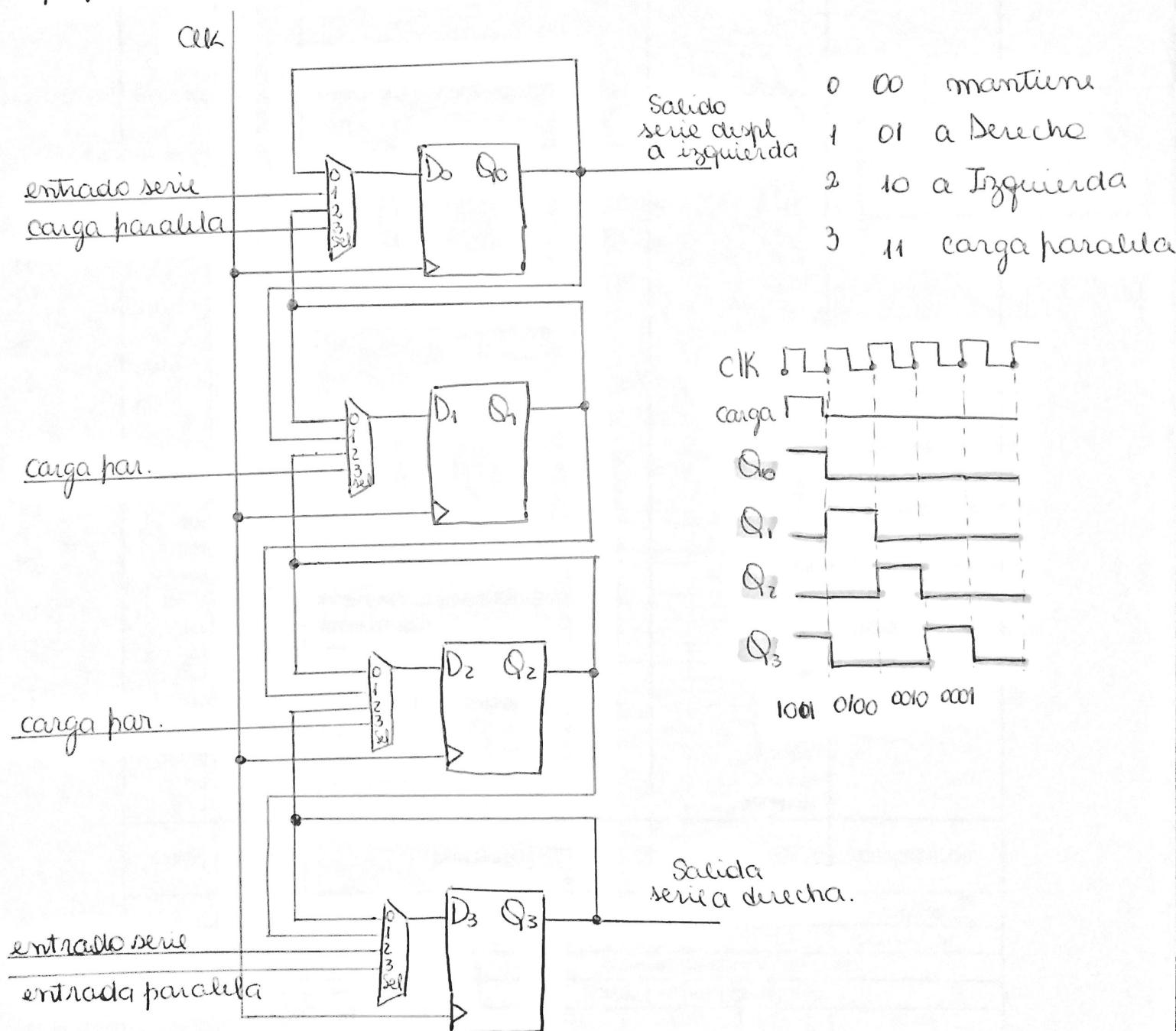
sistema de desplazamiento universal

funcionamiento:

Diagrama usando flip flop D

Diagrama de tiempos para dato 1001, desplazamiento a la derecha.

Graficar clk, carga paralela, salida serie y salidas de cada flip flop



Ejercicio 2

Inversor de teclado a BCD

	7	8	9	Fila
	4	5	6	00
	1	2	3	01
	0			01
Columna	00	01	10	11

Cód	BCD	Dec
0111	0000	0
0010	0001	1
0110	0010	2
1010	0011	3
0001	0100	4
0101	0101	5
1001	0110	6
0000	0111	7
0100	1000	8
1000	1001	9
AB CD	EF GH	

Mapas de Karnaugh para los salidas. Las salidas fuera de 0-9 no importan

$$E = B\bar{C}\bar{D} + A\bar{C}\bar{D}$$

AB \ CD	00	01	11	10
00	0	0	X	0
01	1	0	0	0
11	X	X	X	X
10	1	0	X	0

$$F = \bar{C}D + \bar{A}\bar{B}\bar{C}$$

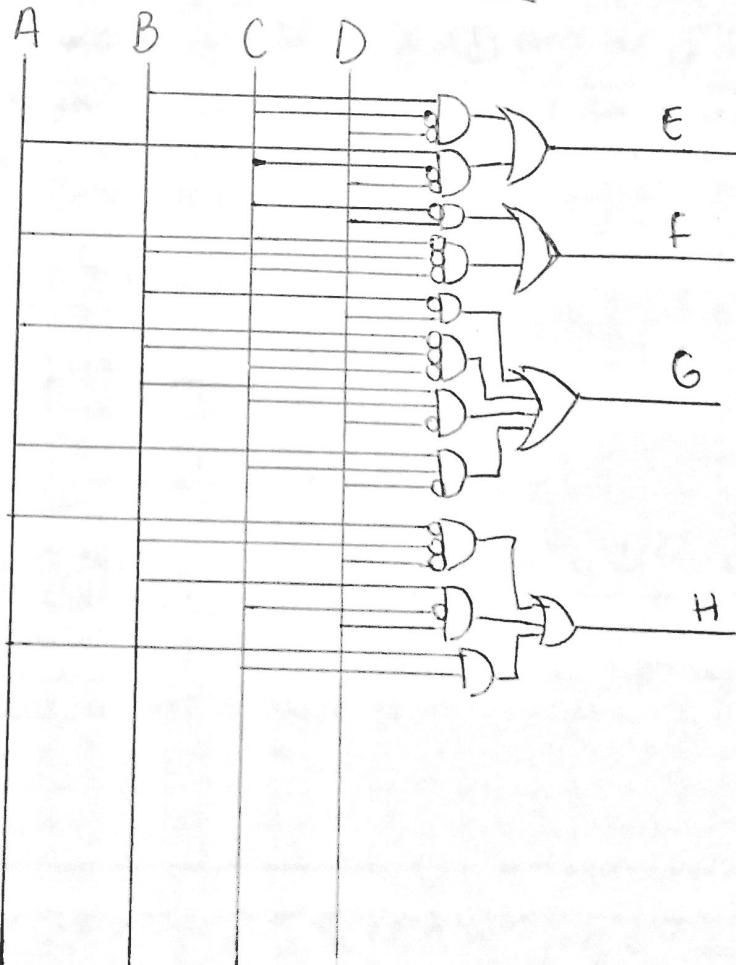
AB \ CD	00	01	11	10
00	1	1	X	0
01	0	1	0	0
11	X	X	X	X
10	0	1	X	0

$$G = \bar{B}D + \bar{A}\bar{B}\bar{C} + B\bar{C}\bar{D} + AC\bar{D}$$

AB \ CD	00	01	11	10
00	1	1	X	0
01	0	0	0	1
11	X	X	X	X
10	0	1	X	1

$$H = \bar{A}\bar{B}\bar{D} + B\bar{C}\bar{D} + AC$$

AB \ CD	00	01	11	10
00	1	0	X	1
01	0	1	0	0
11	X	X	X	X
10	1	0	X	1



EJERCICIO 3

Borlet, Jirón - 41867235

Sumador con acarreo anticipado de 3 bits.

El sumador de acarreos anticipados tiene la ventaja de poder calcular las sumas inmediatamente luego de recibidos los entradas, puesto que el acarreo de entrada de cada sumador se obtiene en función de los entradas y no debe esperar que el sumador al su derecho realice la suma para saber si hay acarreos.

De esta forma planteo lo T.V para la suma Σ y el acarreo de salida en base al acarreo de entrada y las entradas.

A	B	Cin	Σ	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

De esta forma puede verse que la suma es 1 si A XOR B son 1 y cuando esto XOR el acarreo de entrada es 1. Con lo cual la suma queda expresada por

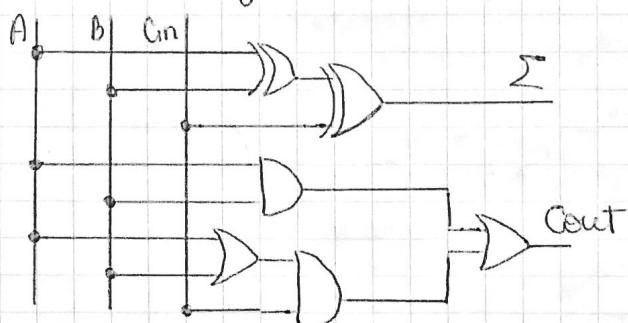
$$\Sigma = (A \oplus B) \oplus C_{in}.$$

Ahora, el acarreo de salida será 1 si la suma lo genera ($AB=1$) o si no lo genera y el acarreo de entrada es 1 ($A+B$). $C_{in}=1$ entonces la expresión general queda

$$Cout = \underbrace{AB}_{\textcircled{1}} + \underbrace{(A+B) \cdot C_{in}}_{\textcircled{2}}$$

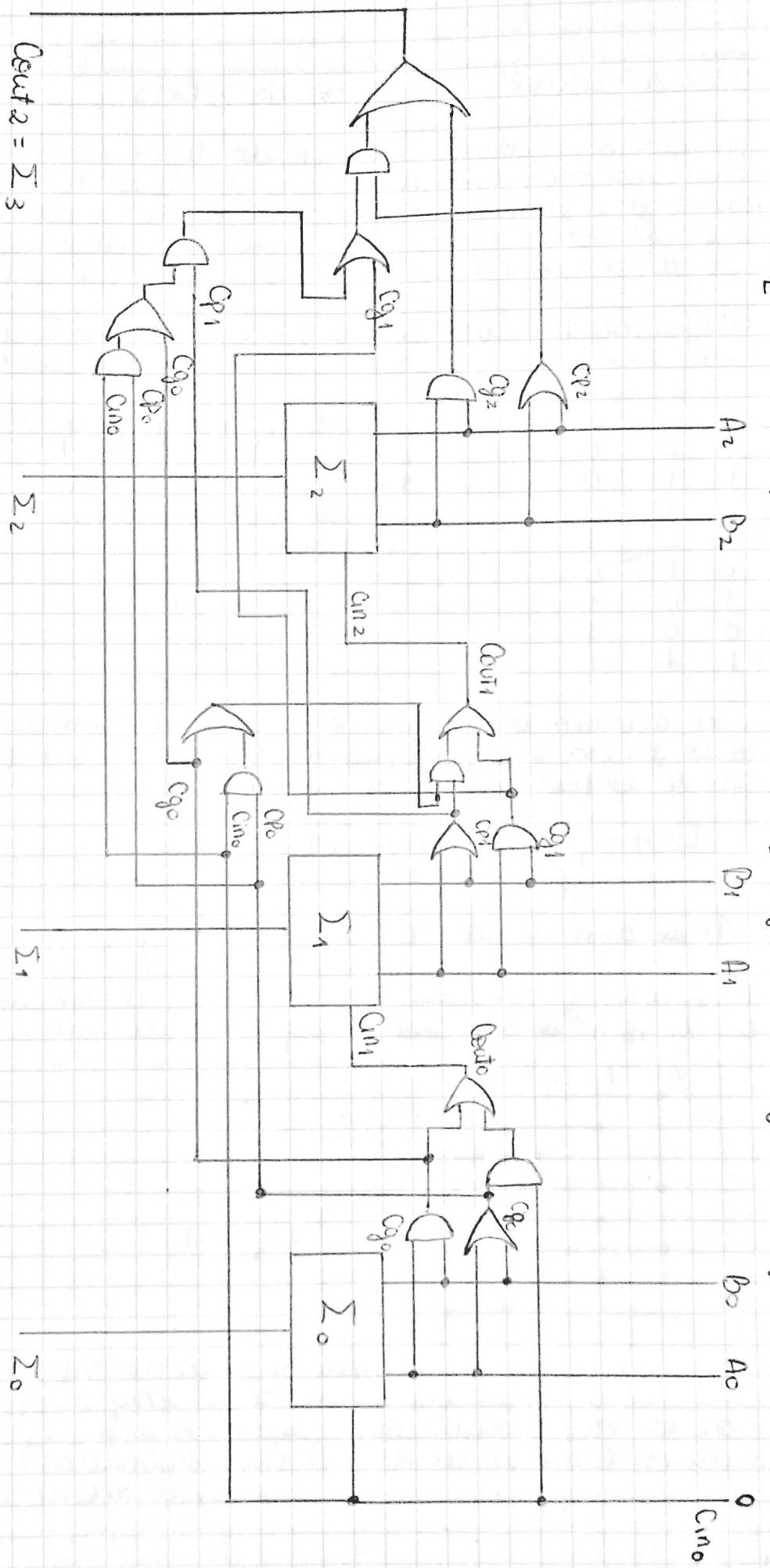
donde $\textcircled{1}$ se denomina acarreo generado y $\textcircled{2}$ acarreo propagado.

De esta forma, el módulo sumador y el módulo generador de acarreos tienen el siguiente diagrama del circuito asociado:



A continuación, como este sumador será de 3 bits, tendrá que expresarse el acarreo inicial de cada etapa como el acarreo de salida de la etapa anterior; y además expresar ese acarreo de salida en función de A y B (los entradas). Con lo cual, las expresiones quedarán de lo siguiente monero.

$$\begin{aligned}
 C_{in}^0 &= A_0 B_0 + (A_0 + B_0) \cdot C_{in0} = C_{g0} + C_p \cdot C_{in0} \\
 \text{out}_1 &= A_1 B_1 + (A_1 + B_1) \cdot [A_0 B_0 + (A_0 + B_0) \cdot C_{in0}] = C_{g1} + A_{p1} (C_{g0} + C_p \cdot C_{in0}) \\
 \text{out}_2 &= A_2 B_2 + (A_2 + B_2) \cdot [A_1 B_1 + (A_1 + B_1) \cdot [A_0 B_0 + (A_0 + B_0) \cdot C_{in0}]] = C_{g2} + A_{p2} \cdot [C_{g1} + A_{p1} (C_{g0} + C_p \cdot C_{in0})]
 \end{aligned}$$



$$\text{out}_2 = \Sigma_3$$

$$\Sigma_2$$

$$\Sigma_1$$

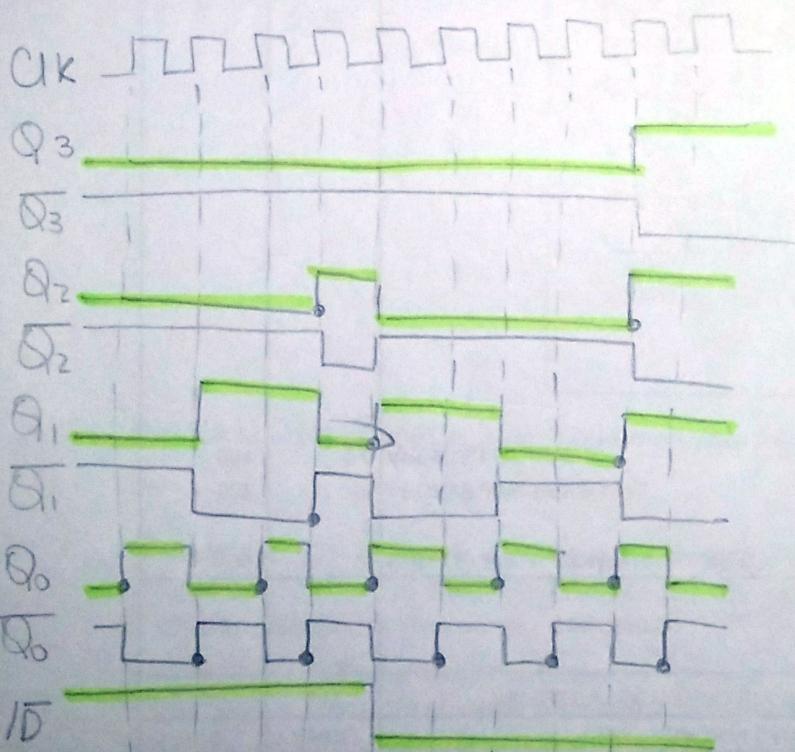
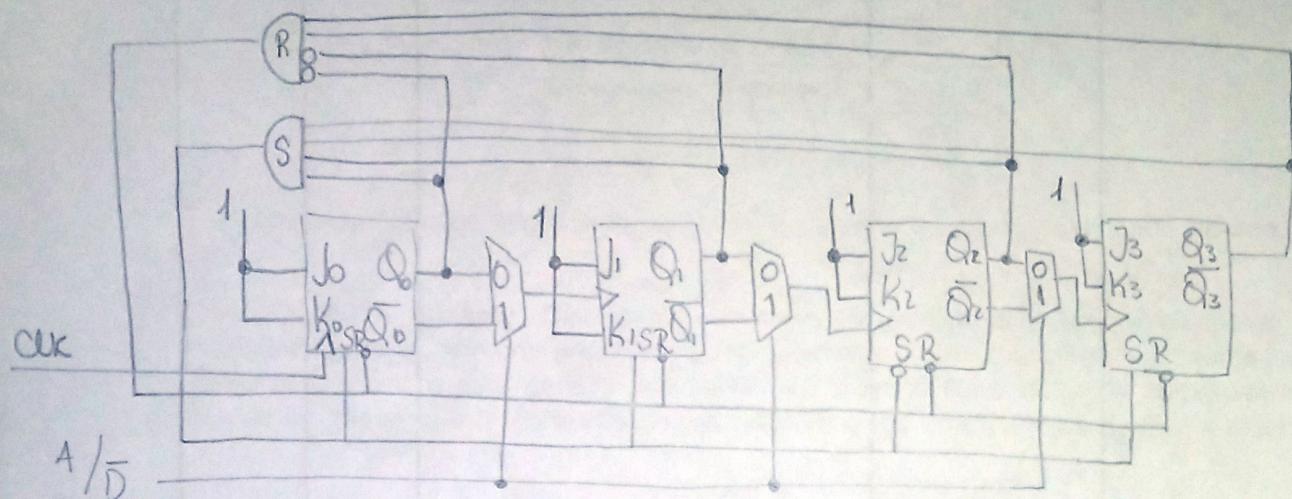
$$\Sigma_0$$

Contador ascendente-descendente módulo 12

Ejercicio 4

Como la diferencia entre los contadores está en cuál entrada se elige como clock del siguiente F.F, se coloca un multiplexor en cada salida, de manera tal que 1 será ascendente (conecta a \bar{Q}) y 0 será descendente (conecta Q)

Se pide que si llega a 1111, haga set en 1011, y si llega a 1100, resetee a 0000.



$$J_1 = D, K = 1, Q_n = \bar{Q}_{n-1}$$

0000 0001 0010 0011 0100 0011 0010 0001 0000 1111

A
0 1 2 3 4 3 2 1 0 ↑
reset

Tercer Parcial Electrónica Digital - 28/06/2019 - (Realizar cada ejercicio en hojas separadas).

Ejercicio 1 (25 puntos): Defina qué es un autómata. Describa los tipos de autómatas. Explique el procedimiento de diseño de un autómata de estado finito.

Ejercicio 2 (25 puntos): Diseñe un contador sincrónico que realice siguiente secuencia: **0, 5, 7, 1.** Para el diseño utilice Flip-Flop T. Recuerde que debe realizar las tablas de transición de estados y simplificar las ecuaciones lógicas mediante mapas de Karnaugh. Dibuje el circuito resultante.

Ejercicio 3 (25 puntos): Realice los diagramas de estados que permitan detectar la secuencia de entrada **1, 0, 1, 1** mediante máquina de Mealy y máquina de Moore. Los bits de entrada a analizar ingresan por la entrada serial **w**. Tenga en cuenta que debe considerar que pueden ocurrir solapamientos en los bits al momento de detectar la secuencia. Cada vez que la secuencia es detectada, la salida **z** debe ser bajo. Se dispone además de una entrada de reset **rst** asíncrono.

Ejercicio 4 (25 puntos): Para el caso de la máquina de Moore obtenida en el ejercicio 3, realice las tablas de transición de estados y la tabla de salida. Simplifique mediante mapas de Karnaugh y obtenga las ecuaciones lógicas simplificadas. Dibuje el circuito resultante. Para el diseño de la máquina de estados, utilice Flip-Flop JK.