



UNIVERSIDAD NACIONAL DE LA PLATA

FACULTAD DE INGENIERÍA

Diseño de un amplificador de audio clase D

Asignatura:
Proyecto Integrador

Tutor:
Enrique Spinelli

Integrantes:
Mario Andrés Del Negro
Santiago Garay

Comisión 8

2025

Índice general

Introducción	1
1 Amplificador clase D	3
1.1 Introducción	3
1.2 Principio de funcionamiento	4
1.3 Topologías	4
1.3.1 Modulación basada en portadora (Onda triangular)	4
1.3.2 Realimentadas	5
1.4 Consideraciones Críticas de Diseño	7
1.4.1 Topología de la etapa de salida	8
1.4.2 Tiempo muerto	9
1.4.3 Eficiencia y pérdidas	9
1.4.4 Filtrado de salida	10
1.4.5 Fuentes de distorsión y PSRR	10
1.5 Conclusiones y selección de topología	10
2 Diseño	12
2.1 Descripción del funcionamiento dinámico	12
2.2 Bloque de histéresis	13
2.3 Bloque integrador	15
2.4 Etapa de salida y control de potencia	15
2.4.1 Driver de compuerta y método de excitación	15

2.4.2	Selección de los MOSFETs de potencia	17
2.4.3	Comportamiento resonante y amortiguamiento	17
2.4.4	Protección y apagado forzado	17
2.5	Fuentes de alimentación	17
2.6	Generación de señales de control	18
2.6.1	Conversor lógico	18
2.6.2	Círculo de tiempo muerto	18
2.6.3	Integración y obtención de señales complementarias	18
2.7	Filtro de salida	19
2.8	Condensadores de desacoplo en la alimentación de potencia	20
2.9	Etapa de regulación de ganancia	21
2.10	Proceso de diseño	22
2.10.1	Simulación	24
2.11	Diseño de PCB	24
2.11.1	Dimensionamiento de pistas y planos de potencia	24
2.11.2	Separación entre tierras de señal y de potencia	24
2.11.3	Protecciones de alimentación y señal	25
2.11.4	Diseño final	25
2.12	Conclusiones	25
3	Implementación	28
3.1	Implementación preliminar en protoboard	28
3.1.1	Bloque integrador	28
3.1.2	Tiempo muerto	30
3.1.3	Alimentación	30
3.2	Implementación en PCB	30

3.2.1	Señal PWM y frecuencia de conmutación	31
3.2.2	Potencia de Salida	31
3.2.3	Distorsión armónica total	33
3.3	Pruebas de integración	34
3.4	Conclusiones	34
4	Conclusiones	36
ANEXOS		38
1	Dimensionamiento del capacitor de bootstrap	38
1.1	Datos utilizados	38
1.2	Cálculo	39
1.3	Selección final	39

Resumen

El proyecto implica el diseño y fabricación de un circuito amplificador de audio que amplifique señales de entrada de nivel de línea y sea capaz de proporcionar una salida de $10W$ para un altavoz de 8Ω . El circuito será utilizado como la etapa final de un sistema de audio construido por los alumnos de la materia “Proyecto Integrador Ing. Electrónica”.

El objetivo principal es diseñar un amplificador de potencia, con baja distorsión y alta eficiencia. El proyecto se divide en cuatro etapas: búsqueda bibliográfica, diseño del circuito, implementación y validación experimental. Durante la etapa de búsqueda bibliográfica, se realiza un análisis comparativo de los distintos circuitos disponibles. En la etapa de diseño, se determinan las expresiones que gobiernan su funcionamiento y se establecen los parámetros críticos. Las etapas de implementación y validación incluyen la construcción de un prototipo y la realización de ensayos destinados a verificar el cumplimiento de las especificaciones técnicas.

El resultado del proyecto es un amplificador de audio clase D capaz de amplificar señales de entrada de $\pm 1V$ en un ancho de banda de $0 - 20kHz$, con una eficiencia superior a la de un amplificador clase AB y manteniendo una calidad de sonido óptima.

Abstract

The project involves the design and fabrication of an audio power amplifier circuit capable of amplifying line-level input signals and delivering an output power of $10W$ to an 8Ω loudspeaker. The circuit will be used as the final stage of an audio system developed by students in the course “Proyecto Integrador Ing. Electrónica”.

The main objective is to design a power amplifier with low distortion and high efficiency. The project is divided into four stages: literature review, circuit design, implementation, and experimental validation. During the literature review stage, a comparative analysis of different available circuit topologies is carried out. In the design stage, the governing expressions of the system are derived and the critical parameters are established. The implementation and validation stages include the construction of a prototype and the execution of experimental tests aimed at verifying compliance with the technical specifications.

The outcome of the project is a Class D audio amplifier capable of amplifying input signals of $\pm 1V$ over a bandwidth of $0 - 20kHz$, achieving an efficiency higher than that of a Class AB amplifier while maintaining optimal audio quality.

Introducción

Un amplificador de audio es el dispositivo encargado de aumentar la amplitud de una señal eléctrica hasta un nivel adecuado para su reproducción en un altavoz, proporcionando, además, la potencia necesaria para moverlo. Los primeros amplificadores de audio tienen su origen en 1912, cuando Lee de Forest desarrolló el triodo. Sin embargo, fue recién a finales de la década de 1960 que los amplificadores basados en transistores se convirtieron en una solución práctica y ampliamente utilizada [1].

A lo largo de los años, las topologías de amplificadores han evolucionado con el objetivo de mejorar simultáneamente la calidad del sonido y la eficiencia energética. Los amplificadores de clase A ofrecen una calidad de audio sobresaliente, aunque con una eficiencia limitada, cercana al 50 %. La clase B, formada por un par complementario de transistores, mejora la eficiencia respecto de la clase A, pero introduce distorsión de cruce. Esta distorsión se produce debido a la tensión mínima necesaria para polarizar los transistores, lo que genera una región muerta alrededor del cruce por cero de la señal, durante la cual ninguno de los dispositivos conduce. Para mitigar este problema, la clase AB combina ambas configuraciones, logrando una buena calidad de sonido con una eficiencia moderada. Aun así, estas arquitecturas lineales siguen presentando limitaciones de eficiencia, lo que ha impulsado el desarrollo de alternativas como las clases G y H, que mejoran el rendimiento mediante la modulación de la tensión en la etapa de salida.

En este contexto, los amplificadores de clase D han ganado popularidad gracias a los avances en la tecnología de semiconductores. Estos amplificadores utilizan dispositivos de conmutación que operan a frecuencias muy elevadas en modo on/off, minimizando la potencia disipada en los transistores y alcanzando eficiencias superiores al 90 % [2]. Si bien esta técnica introduce componentes de alta frecuencia en la señal de salida, un filtrado adecuado permite obtener una calidad de audio satisfactoria.

De las dos topologías predominantes de Clase D (la basada en portadora triangular y la de lazo autosilante), este trabajo adopta la topología de lazo autosilante (conversor sigma-delta), ya que la realimentación se toma directamente desde la señal de salida PWM, ofreciendo un mejor rechazo de perturbaciones y mayor estabilidad [3]. El diseño se basará en la estructura propuesta en [4], que incorpora un driver dedicado para el control de la etapa de salida.

La motivación principal de este proyecto radica en la necesidad de desarrollar una etapa de amplificación eficiente que pueda integrarse adecuadamente con las etapas previas diseñadas en la asignatura Proyecto Integrador. Esta etapa de salida es crucial, pues es

la responsable directa de la reproducción del sonido y, al elegir un amplificador Clase D, también brinda la posibilidad de desarrollar un tipo de amplificador de alta complejidad y en el cual no se ha trabajado anteriormente, poniendo en práctica conocimientos avanzados de la carrera.

El presente proyecto tiene como propósito principal el diseño e implementación de un amplificador de audio Clase D de 10 W. Específicamente, el objetivo general es diseñar e implementar un prototipo de Clase D de alta eficiencia y baja distorsión, compatible con las etapas previas del sistema y capaz de entregar más de 10 W de potencia, cumpliendo con las siguientes especificaciones: eficiencia superior al 70 %, Distorsión Armónica Total (THD) inferior al 5 %, y una potencia de salida mayor a 10 W. Para alcanzar este fin, se plantea una serie de objetivos específicos:

- Analizar y comparar las distintas arquitecturas de amplificadores Clase D para seleccionar la topología más adecuada.
- Diseñar el circuito del amplificador, definiendo y caracterizando sus parámetros principales.
- Verificar su funcionamiento mediante herramientas de simulación.
- Implementar un prototipo físico y evaluar su desempeño experimentalmente.

Organización

El proyecto está organizado en varios capítulos. El primero se dedica a establecer los fundamentos de los amplificadores de Clase D y sus arquitecturas predominantes. A continuación, el segundo capítulo detalla el diseño del circuito propuesto, presentando la metodología de trabajo. El tercer capítulo describe el proceso de implementación del prototipo físico, las pruebas realizadas y la comparación de resultados experimentales con las predicciones de las simulaciones. Finalmente, se presentan las conclusiones.

Capítulo 1

Amplificador clase D

1.1 Introducción

La etapa de salida de un amplificador clase D está compuesta por dispositivos de conmutación que operan en régimen de encendido-apagado, los cuales se implementan típicamente mediante transistores MOSFET o BJT. Como puede verse en Figura 1.1, las llaves aplican la tensión de alimentación positiva a la salida durante un breve período y luego la desconectan para hacer lo mismo con el riel negativo durante el siguiente período. El proceso se repite indefinidamente. Esto da como resultado una onda cuadrada en la salida. Si estos dos intervalos son iguales, el valor medio de tensión es nulo. Si el primero es más largo que el segundo, la salida tiene un valor positivo y, en el caso opuesto, negativo. Un filtro pasa-bajos extrae el valor promedio para controlar el altavoz. La frecuencia de corte del filtro suele estar en el rango de 30 a 60 kHz.

Este proceso se conoce como modulación de ancho de pulso (PWM). Estos intervalos de conmutación se alternan a alta frecuencia, usualmente alrededor de 500 kHz y permite variar el valor medio de la tensión de salida, por ejemplo, reproduciendo una señal de audio. Debido a que las llaves no disipan potencia porque cuando circula corriente por ellas la tensión es nula y cuando existe tensión sobre ellas la corriente es nula. Prácticamente toda la potencia de entrada de los rieles de alimentación se transfiere a la carga, por lo que la eficiencia es muy alta y la disipación de energía es muy baja. Son frecuentes las eficiencias de entre 85 % y 95 %. El resultado es una disminución del tamaño físico de los amplificadores. Un gran desafío en los amplificadores de clase D es la activación adecuada de las llaves de la etapa de salida para que los intervalos de sincronización de encendido y apagado reflejen con precisión la señal de entrada.

Estos dispositivos han adquirido una relevancia significativa en diversas áreas de la industria del audio. Su implementación es fundamental en el sector de dispositivos de consumo portátiles, donde la gestión eficiente de la energía de la batería es prioritaria, pero también se extiende a sistemas de audio de alta fidelidad y profesionales.

La implementación de amplificadores de clase D es mucho más complicada que la simple descripción anterior. Aunque las implementaciones no necesariamente son digitales, estas se están moviendo más hacia lo digital. Existen numerosas formas de construir un

amplificador de potencia de clase D, pero las basadas en PWM son las más antiguas y siguen siendo muy populares.

1.2 Principio de funcionamiento

El principio fundamental de la amplificación de Clase D se basa en convertir la señal de audio analógica en un tren de pulsos de amplitud constante pero de duración variable. A diferencia de las topologías lineales (A, B, AB), donde los transistores operan en su región activa y disipan potencia constantemente, en la Clase D los dispositivos de salida funcionan como llaves binarias: están completamente abiertos o completamente cerrados. Este proceso de codificación se denomina Modulación por Ancho de Pulso (PWM). En esta señal modulada, la información de la amplitud instantánea de la señal de audio está contenida en el ciclo de trabajo de la onda cuadrada.

La señal PWM es la encargada de entregar la potencia necesaria a la etapa de salida. Finalmente, para recuperar la señal de audio original y enviarla al altavoz, es necesario extraer el valor promedio de este tren de pulsos. Esto se logra mediante un filtro pasobajos (típicamente LC) colocado entre la etapa de conmutación y la carga. Este filtro elimina las componentes de alta frecuencia de la conmutación, dejando pasar únicamente las frecuencias de audio. El esquema de bloques fundamental de un amplificador de Clase D se ilustra en la Figura 1.1.

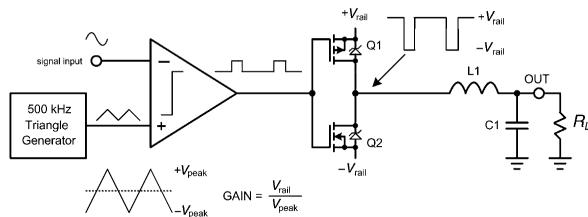


Figura 1.1: Esquema general de un amplificador clase D.

1.3 Topologías

Para generar la señal PWM necesaria para controlar los llaves, existen diversas estrategias.

1.3.1 Modulación basada en portadora (Onda triangular)

Esta es la implementación clásica y más intuitiva, ilustrada en la Figura 1.2. El circuito, utiliza un comparador analógico y un generador de onda triangular de alta frecuencia.

Como se observa en la figura, la intersección de la señal de audio con la rampa lineal de la triangular determina los instantes de conmutación. Esto resulta en que el ancho del pulso sea linealmente proporcional a la amplitud de la entrada. En esta topología, la

ganancia del amplificador queda definida por la relación entre la tensión de alimentación y la amplitud pico de la onda triangular:

$$A_v = \frac{V_{bus}}{V_{tri,pico}} \quad (1.1)$$

Esta configuración se caracteriza por tener una frecuencia de conmutación fija definida por la portadora. Sin embargo, al ser típicamente una topología de lazo abierto (sin realimentación desde la salida de potencia), es sensible a las variaciones en la fuente de alimentación, ya que cualquier ruido en la tensión del bus (V_{bus}) se transfiere directamente a la carga.

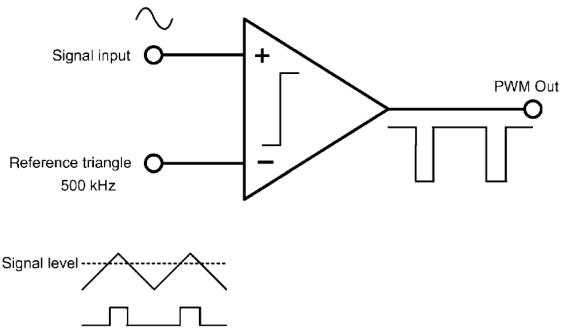


Figura 1.2: Generación de PWM mediante comparación con onda triangular.

1.3.2 Realimentadas

Sin embargo, las estrategias realimentadas permiten rechazar las perturbaciones presentes en el lazo. A continuación se presentan algunas de las mas conocidas.

Modo deslizante

Esta estrategia de control se basa en forzar al sistema a evolucionar sobre una superficie de conmutación predefinida. Se considera como diseño inicial un filtro de salida con un inductor L , tomando la realimentación de corriente desde la salida misma, con un esquema como el de Figura 1.3.

Se plantea una superficie de deslizamiento s definida como el error entre la corriente medida escalada y la referencia:

$$s = KI - r \quad (1.2)$$

donde I es la corriente del inductor, r es la señal de referencia de audio y K es una constante de proporcionalidad. La dinámica del sistema viene dada por:

$$\dot{s} = -\frac{R}{L}I + \frac{1}{L}V - \dot{r}. \quad (1.3)$$

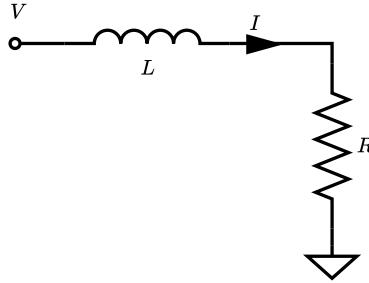


Figura 1.3: Esquema de salida para un modo deslizante.

Para garantizar la estabilidad, se utiliza el método del control equivalente (u_{eq}), que representa la tensión media necesaria para mantener el estado sobre la superficie $\dot{s} = 0$:

$$u_{eq} = \frac{L}{K} \dot{r} + RI. \quad (1.4)$$

Para que el modo deslizante exista, el control disponible en la etapa de potencia (U_- y U_+) debe ser capaz de cubrir este control equivalente, imponiendo la condición: $U_- < u_{eq} < U_+$. Despejando para la corriente, se obtienen los límites operativos:

$$I_- - \dot{r} \frac{L}{KR} < I < I_+ - \dot{r} \frac{L}{KR}, \quad (1.5)$$

donde $I_- = U_- / R$ e $I_+ = U_+ / R$.

Esta restricción pone de manifiesto los principales características de esta topología:

1. Frecuencia variable: La frecuencia de conmutación depende de la señal y la carga, lo que dificulta el filtrado.
2. Valores de los componentes: Para que el algoritmo siga variaciones rápidas (\dot{r} alto), se requeriría una inductancia L muy pequeña.
3. Problemas de sensado: Medir la corriente asumiendo una carga resistiva ($I = V/R$) es incorrecto para un altavoz real, resultando en una medida errónea. Para lo cual sería necesario agregar un resistor shunt.

Por estas razones, se decidió analizar otro tipo de alternativas.

Lazo auto-oscilante (Sigma-Delta)

Esta topología, frecuentemente denominada en la literatura como modulación Sigma-Delta o esquema auto-oscilante, elimina la necesidad de una señal portadora externa (como la onda triangular). En su lugar, el propio lazo genera la frecuencia de conmutación a partir del comportamiento dinámico del sistema.

El principio de funcionamiento se basa en un lazo cerrado compuesto por un integrador y un comparador con histéresis, como se observa en la Figura 1.4a. El integrador acumula

el error entre la entrada y la salida; cuando este error supera los límites definidos por la ventana de histéresis del comparador, la salida comuta de estado. Este mecanismo garantiza que el valor promedio de la señal PWM siga fielmente a la señal de entrada.

Una característica esencial de este esquema es que la frecuencia de commutación no es constante, sino que varía en función de la amplitud de la señal de audio. Para el caso ideal, su valor está dado por:

$$f = \frac{V_{out}}{2d\tau} \left(1 - \left(\frac{V_{in}}{V_{out}} \right)^2 \right) \quad (1.6)$$

donde:

- d es el ancho de la ventana de histéresis,
- $\tau = RC$ es la constante de tiempo del integrador,
- V_{in} y V_{out} son las tensiones de entrada y alimentación.

Esta arquitectura, base de la propuesta de [3], presenta ventajas significativas: robustez frente a variaciones de la fuente de alimentación, simplicidad de implementación y baja distorsión armónica gracias a la alta ganancia de lazo en la banda de audio.

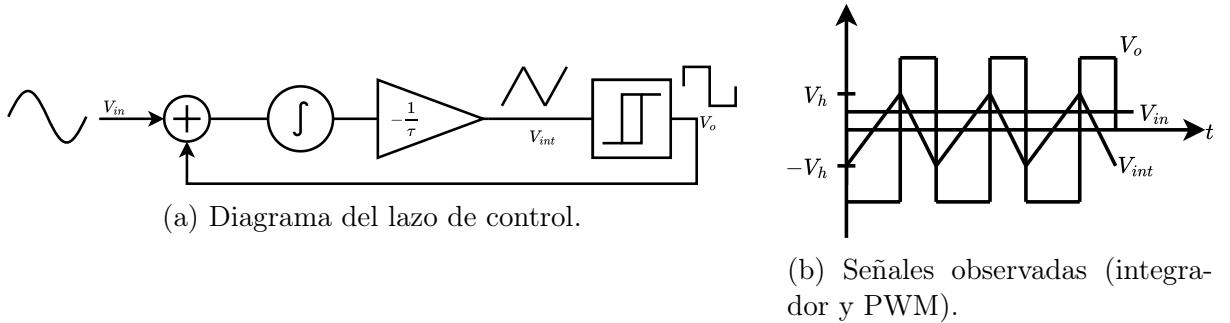


Figura 1.4: Esquema del modulador auto-oscilante tipo Sigma-Delta y formas de onda características.

Una consecuencia directa de la expresión de la frecuencia es que la ganancia entrada/salida aplicada en el lazo afecta la dinámica del sistema. En la Figura 1.5 se ilustra el efecto de aplicar la ganancia como un escalado dentro del lazo de realimentación, mientras que en la Figura 1.6 se muestra el comportamiento cuando la ganancia se aplica fuera del lazo, es decir, directamente sobre la señal de entrada V_{in} .

1.4 Consideraciones Críticas de Diseño

La implementación exitosa de un amplificador Clase D, requiere abordar diversos factores críticos de diseño que impactan directamente en el rendimiento acústico y la estabilidad

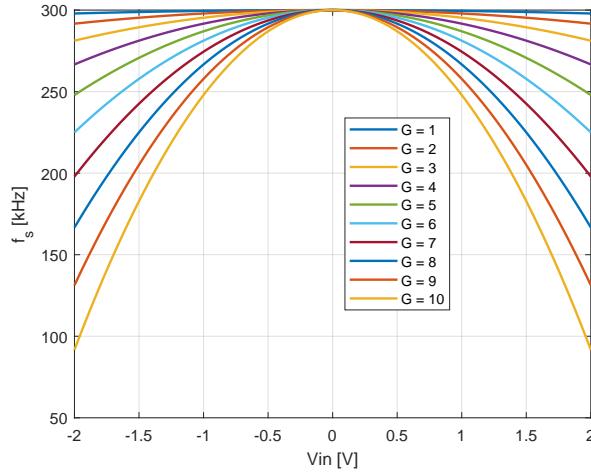


Figura 1.5: Frecuencia resultante cuando la ganancia se aplica dentro del lazo de realimentación.

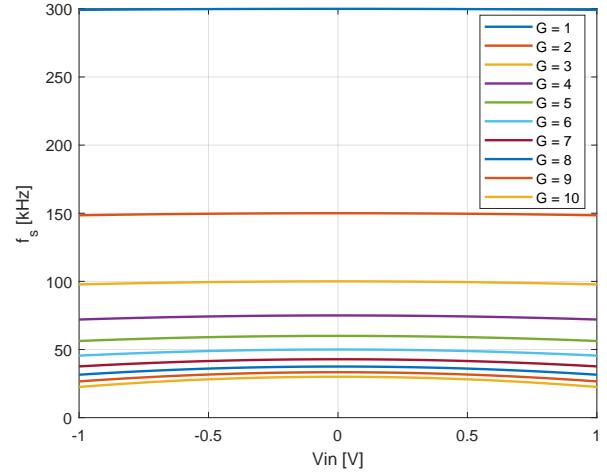
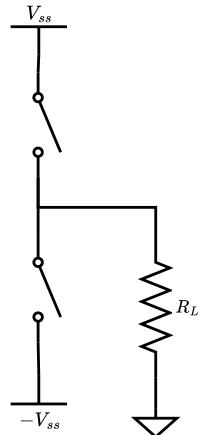


Figura 1.6: Frecuencia de conmutación en función de V_{in} para distintas ganancias aplicadas fuera del lazo.

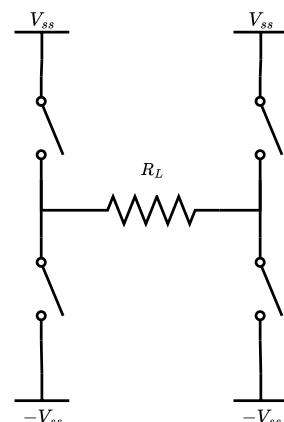
del sistema. A continuación, se detallan los aspectos a considerar para optimizar el diseño, incluyendo la topología de la etapa de salida, la gestión de ruido y la mitigación de la distorsión.

1.4.1 Topología de la etapa de salida

La etapa de potencia se implementa generalmente en dos configuraciones principales: medio puente (*Half-Bridge*) y puente completo (*Full-Bridge* o H-Bridge), las cuales se ilustran en la Figura 1.7.



(a) Medio puente.



(b) Puente completo.

Figura 1.7: Topologías de la etapa de salida: medio puente y puente completo.

- Medio puente: Requiere una fuente de alimentación bipolar, o bien, fuente simple con capacitores de desacople en la carga.
- Puente completo: Utiliza cuatro llaves de conmutación. Aunque requiere más componentes y un control más complejo, permite operar con fuente simple y cancela armónicos pares.

Respecto a los dispositivos de conmutación, la impedancia de entrada de la compuerta (*gate*) de un MOSFET es alta a bajas frecuencias, pero disminuye significativamente al aumentar la frecuencia debido a las capacitancias parásitas puerta–fuente (C_{gs}) y puerta–drenaje (C_{gd}). Estas capacitancias deben cargarse y descargarse rápidamente para reducir las pérdidas por conmutación. Además, el efecto Miller asociado a C_{gd} incrementa la carga dinámica que debe manejar el driver, aumentando la corriente instantánea requerida durante los transitorios.

En comparación con los BJTs, los MOSFETs se prefieren en aplicaciones de conmutación de alta frecuencia debido a su control por tensión, menores pérdidas de conmutación y a la ausencia de corriente de base continua, lo que simplifica el diseño del driver y mejora la eficiencia.

Por este motivo se emplean drivers especializados, capaces de entregar picos de corriente elevados y controlar adecuadamente los tiempos de encendido y apagado. A su vez, muchos drivers permiten utilizar solo MOSFETs tipo N en configuraciones de puente o medio puente. En estos casos se recurre a un capacitor de *bootstrap* para elevar temporalmente la tensión de compuerta del MOSFET alto y garantizar su correcta conducción.

1.4.2 Tiempo muerto

Dado que las llaves conectan alternativamente los rieles positivo y negativo a un nodo común, existe el riesgo de que ambos conduzcan simultáneamente durante la transición. Esto provocaría un cortocircuito momentáneo conocido como *shoot-through*, generando picos de corriente destructivos y gran disipación de calor.

Para evitarlo, se introduce un pequeño retardo conocido como tiempo muerto o *dead-time*, asegurando que un transistor se apague completamente antes de que el otro se encienda. Sin embargo, este tiempo muerto introduce un error de no linealidad en la salida, ya que durante este intervalo la tensión de salida queda determinada por la corriente del inductor y los diodos de salida, generando distorsión armónica.

1.4.3 Eficiencia y pérdidas

Aunque teóricamente la eficiencia es del 100 %, en la práctica existen dos mecanismos principales de pérdida de energía:

1. Pérdidas por conducción: Ocurren cuando el MOSFET está encendido. Están determinadas por la resistencia $R_{DS(on)}$ del dispositivo. Son dominantes a altas potencias de salida y bajas frecuencias.

2. Pérdidas por conmutación: Ocurren durante las transiciones de encendido y apagado, donde la tensión y corriente se solapan brevemente. Aumentan linealmente con la frecuencia de conmutación (f_{sw}) y son dominantes en reposo o a baja potencia. También se incluye aquí la energía necesaria para cargar las capacitancias de compuerta (Q_g).

1.4.4 Filtrado de salida

El filtro paso-bajos LC es crítico para demodular la señal PWM y recuperar el audio. Su frecuencia de corte debe situarse por encima del ancho de banda de audio (20 kHz) pero muy por debajo de la frecuencia de conmutación. Un desafío particular es la linealidad del inductor de salida. Dado que maneja altas corrientes, el núcleo magnético puede acercarse a la saturación, lo que reduciría su inductancia instantánea provocando un aumento drástico en la distorsión armónica (THD) a altas potencias.

1.4.5 Fuentes de distorsión y PSRR

Dependiendo de la topología, la etapa de salida de un Clase D básico no tiene rechazo intrínseco al ruido de la fuente de alimentación (PSRR es 0 dB en lazo abierto). Si la tensión del bus varía, la amplitud de los pulsos cambia, modulando la señal de salida directamente. Otras fuentes de error incluyen:

- La no linealidad de la onda triangular (en moduladores PWM clásicos).
- El ruido de fase en el reloj de conmutación.
- La modulación del tiempo muerto mencionada anteriormente.

Por estas razones, el uso de realimentación es necesario para aplicaciones de alta fidelidad.

1.5 Conclusiones y selección de topología

El análisis de los fundamentos de operación y los factores de diseño presentados en este capítulo permite extraer conclusiones determinantes para la implementación del amplificador.

En primer lugar, se descartaron las arquitecturas de lazo abierto (como el PWM basado en portadora triangular simple) debido a su incapacidad para rechazar las perturbaciones de la fuente de alimentación (bajo PSRR) y corregir las no linealidades introducidas por la etapa de potencia. Por consiguiente, se determinó que el uso de una estrategia realimentada es indispensable para garantizar un desempeño de audio aceptable.

Entre las alternativas de control en lazo cerrado evaluadas, se realizó una comparación entre el control por modos deslizantes y la modulación auto-oscilante (Sigma-Delta):

- La estrategia de control en modo deslizante fue analizada inicialmente, pero se descartó para esta implementación, ya que su capacidad de seguimiento se ve restringida

a señales de entrada con frecuencia acotada, además de presentar dificultades prácticas para el sensado de corriente.

- Por el contrario, la topología auto-oscilante (Sigma-Delta), basada en el trabajo de [3], demostró ofrecer el mejor compromiso. Esta arquitectura permite una implementación más flexible y robusta.

En virtud de estos resultados, se seleccionó la topología basada en el conversor Sigma-Delta como la arquitectura definitiva para este trabajo. Una vez definido el esquema de control, se procede en el siguiente capítulo al diseño detallado y dimensionamiento de los bloques funcionales necesarios para su implementación física.

Capítulo 2

Diseño

A partir del esquema seleccionado, se identificaron los bloques funcionales necesarios, procediendo al diseño detallado de cada uno de ellos en la siguiente sección.

Como punto de partida, se tomó la solución propuesta en [4], la cual utiliza un driver IR2110 a la salida para el control de los MOSFETs, esto permitió adoptar algunos de los componentes e ideas utilizadas en dicho trabajo. Posteriormente, se analizó detalladamente el circuito para ajustar los valores de los elementos pasivos y definir las condiciones de operación óptimas para la topología seleccionada.

En las secciones siguientes se presenta el análisis y diseño de cada uno de los bloques que conforman el sistema de control del amplificador.

2.1 Descripción del funcionamiento dinámico

Antes de profundizar en el diseño detallado de cada bloque, es fundamental comprender la naturaleza de las señales que circulan por el sistema, cuyo esquema se presenta en la Figura 2.1. El amplificador opera bajo un esquema de control auto-oscilante, donde la frecuencia de conmutación ($f_{sw} \approx 300$ kHz) es significativamente mayor que la frecuencia de la señal de audio de entrada (V_{in}). Debido a esta diferencia de escalas temporales, el sistema puede analizarse mediante el comportamiento de su lazo de realimentación en alta frecuencia, como se ilustra en la Figura 2.2.

En la Figura 2.2 se observa, en primer lugar, la señal de audio completa y el área de interés donde se realiza el análisis. A continuación, se describen las señales principales presentes en dicho intervalo:

- Señal de Entrada: En la escala de la conmutación, la señal V_{in} se comporta prácticamente como un nivel de DC constante, el cual actúa como la referencia para el lazo.
- Salida del Integrador (V_A): El integrador procesa la diferencia entre la entrada y la realimentación, convirtiendo el error en una señal triangular. Esta rampa oscila continuamente buscando los umbrales de conmutación del siguiente bloque (Figura 2.2, tercer gráfica).

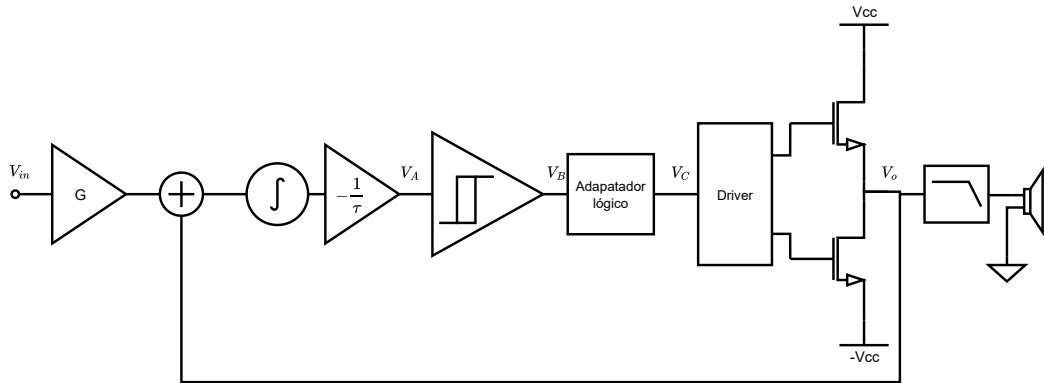


Figura 2.1: Esquema de bloques general del amplificador auto-oscilante.

- Salida del Comparador (V_B): Cuando la rampa del integrador alcanza los umbrales superior (V_H^+) o inferior (V_H^-) del comparador, la salida cambia de estado, generando una señal cuadrada. El ancho de estos pulsos (duty cycle) queda codificado por el nivel instantáneo de la señal de entrada.
- Adaptador Lógico (V_C): Debido a que la etapa de potencia opera con fuentes partidas ($\pm V_{cc}$), el adaptador lógico desplaza los niveles de la señal PWM para que estén referenciados respecto a $-V_{cc}$ (Figura 2.2, quinta gráfica).
- Señal de salida (V_o): finalmente, luego de la conmutación de los MOSFETs, la señal de salida es una señal cuadrada cuyos niveles de tensión corresponden a los de la etapa de potencia.

2.2 Bloque de histéresis

El bloque de histéresis se implementó mediante un comparador, como se muestra en la Figura 2.3a. Los límites de conmutación están determinados por la red resistiva formada por R_{h1} y R_{h2} , que definen la realimentación positiva:

$$V_h = V_{dd} \frac{R_{h1}}{R_{h2}}.$$

Estas tensiones establecen la amplitud máxima que alcanzará la señal generada por el integrador.

Para su implementación se empleó un LM311. Dado que la salida es de tipo colector abierto, se incorporó una resistencia de *pull-up* R_{pu} conectada a 5 V, seleccionada para limitar la corriente de salida y minimizar el consumo.

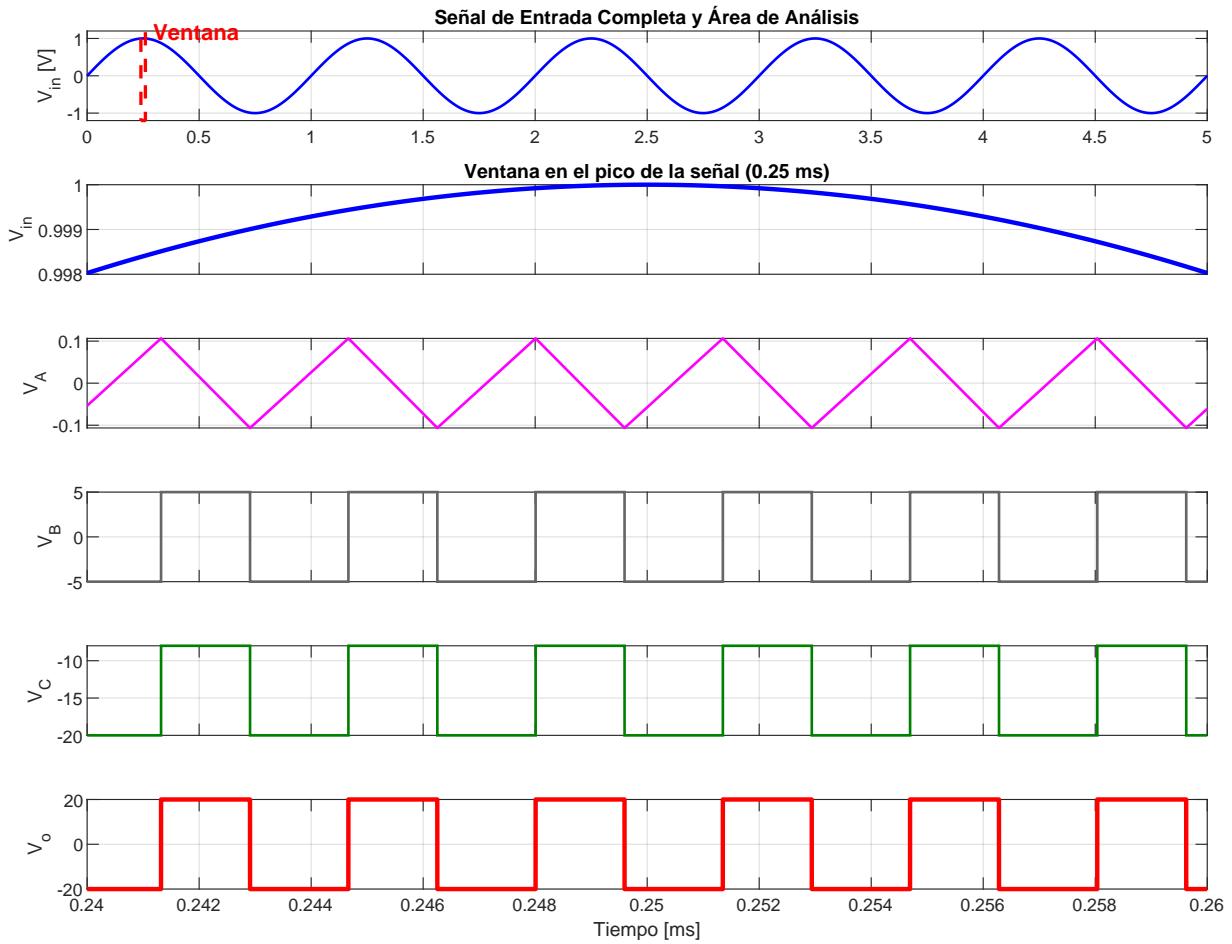
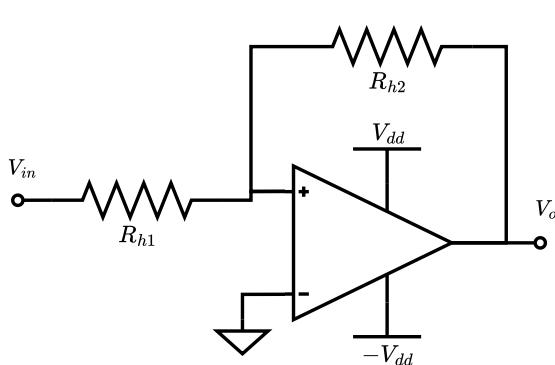
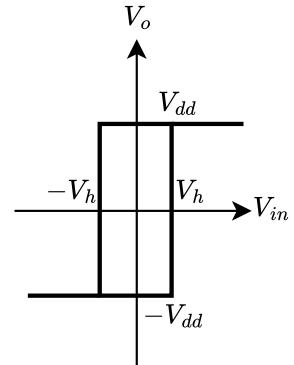


Figura 2.2: Análisis de señales del lazo: (arriba) señal de audio completa con ventana de observación; (abajo) comportamiento dinámico de la entrada, integrador, señales de conmutación y salida filtrada.



(a) Circuito comparador con histéresis.



(b) Curva característica de histéresis.

Figura 2.3: Circuito implementado y respuesta del comparador con histéresis.

2.3 Bloque integrador

Se evaluaron distintas configuraciones para implementar el bloque integrador, las cuales se describen a continuación:

Primera opción: La Figura 2.4a muestra un integrador tradicional, caracterizado por presentar alta impedancia en la realimentación. Sin embargo, presenta la desventaja de que la salida (V_o) suma la tensión aplicada a la entrada no inversora (V_r):

$$V_o = V_r + \frac{1}{C_{\text{int}} R_{\text{in}}} \int (V_r - V_{\text{in}}) d\tau.$$

Segunda opción: Se separaron las funciones de suma e integración utilizando un sumador y un integrador independientes, como se observa en la Figura 2.4c. Esta topología estuvo limitada por la velocidad de respuesta del amplificador operacional (slew rate), dado que la salida del primer operacional debería ser prácticamente cuadrada, pero este no puede generarla correctamente debido a dicha limitación.

Tercera opción: Se combinaron ambas funciones en un mismo bloque, como se muestra en la Figura 2.4b, invirtiendo la realimentación para que el circuito actuara como restador. Dado que la operación de inversión ya la realiza el integrador, solo fue necesario tomar la realimentación desde su salida. Esta configuración demostró ser la más adecuada. Su tensión de salida viene dada por:

$$V_o = -\frac{1}{\tau} \int (GV_{\text{in}} + V_r) d\tau,$$

siendo la ganancia $G = R_{\text{fb}}/R_{\text{in}}$ y la constante de tiempo del integrador $\tau = C_{\text{int}}R_{\text{fb}}$.

A partir de (1.6) se observa que la frecuencia puede fijarse para $V_{\text{in}} = 0$, caso en el cual alcanza su valor máximo. De este modo, una vez definidos τ , la ganancia del amplificador puede ajustarse mediante R_{in} sin alterar dicha frecuencia máxima.

2.4 Etapa de salida y control de potencia

La etapa de salida está conformada por los MOSFET y su correspondiente circuito de control. Su función es conmutar la corriente hacia la carga de manera eficiente, minimizando las pérdidas y garantizando una respuesta rápida.

2.4.1 Driver de compuerta y método de excitación

Para lograr una conmutación rápida y completa, el circuito de control debe ser capaz de entregar altos picos de corriente en tiempos muy breves. Una opción es implementar un driver discreto con transistores, como el propuesto en [5], que emplea un capacitor de *bootstrap* para permitir el uso de dos MOSFET tipo N en configuración de medio puente. Este capacitor eleva temporalmente la tensión de compuerta del MOSFET superior por encima de la tensión de alimentación, habilitando su conducción. El dimensionado del mismo se hace en Anexo 1.

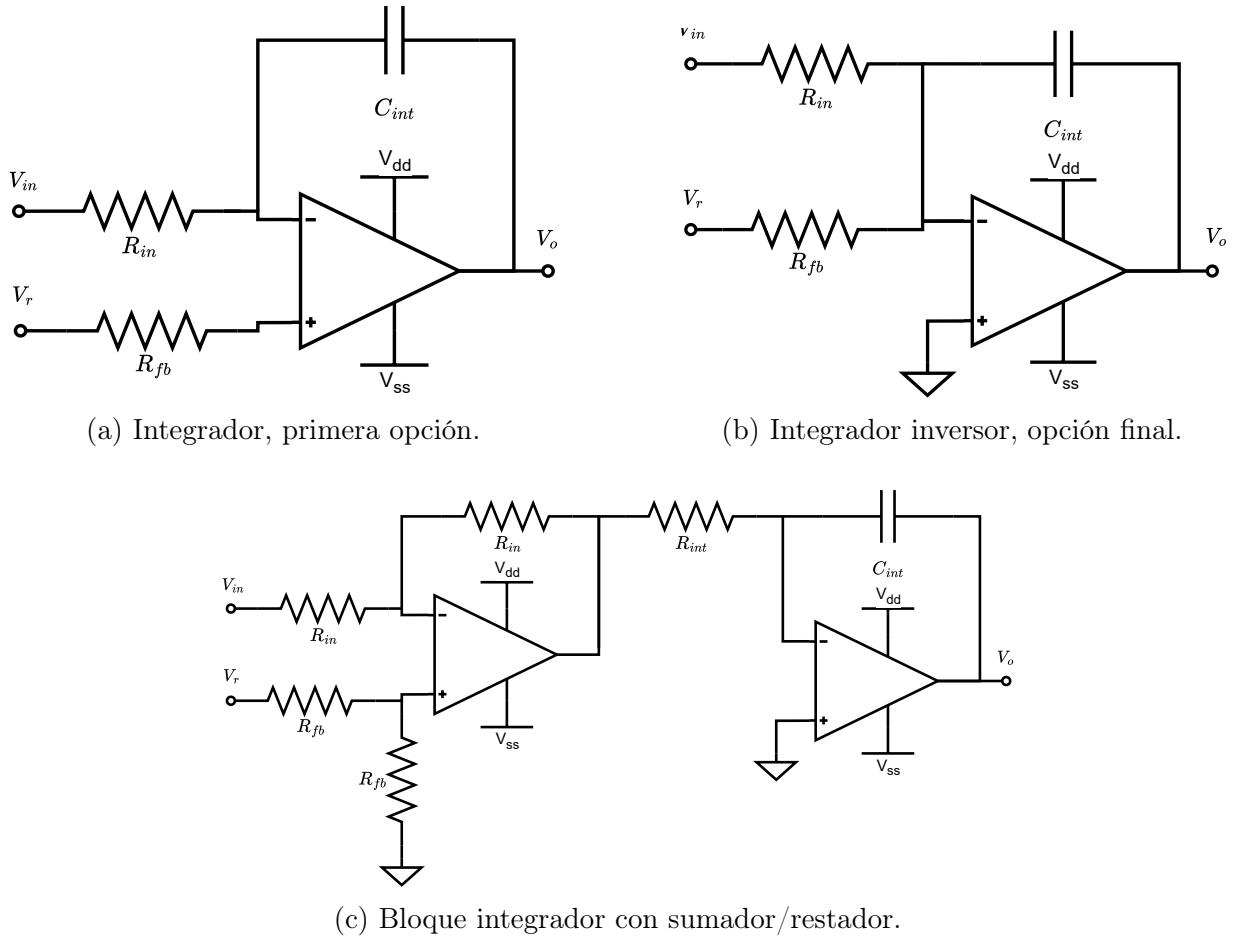


Figura 2.4: Comparación de distintas configuraciones de integradores.

En este proyecto se seleccionó el driver IR2110, que integra estas funciones y simplifica el diseño. El capacitor de *bootstrap* se dimensiona según la metodología de [6], considerando la carga de compuerta, las pérdidas de fuga y la corriente de refresco necesarias.

A su vez, [7] destaca la conveniencia de colocar una resistencia (R_{DUMMY}) en paralelo con el parlante para limitar la circulación de corriente continua durante el arranque. Este criterio se tuvo en cuenta durante el diseño.

2.4.2 Selección de los MOSFETs de potencia

La selección de los MOSFET es un aspecto clave del diseño, ya que sus características eléctricas impactan directamente en la eficiencia y el comportamiento térmico del sistema. Entre los parámetros más relevantes se encuentra la resistencia $R_{ds(on)}$, que debe ser lo más baja posible para minimizar las pérdidas por conducción.

Inicialmente se realizaron pruebas con transistores IRF840; sin embargo, finalmente se seleccionaron los IRFZ44 debido a su menor $R_{ds(on)}$ y mejor desempeño en conmutación a la frecuencia de operación del circuito.

2.4.3 Comportamiento resonante y amortiguamiento

En circuitos de conmutación es común la aparición de oscilaciones debidas a la respuesta resonante formada entre la inductancia y capacitancias parásitas del semiconductor. Una práctica habitual consiste en agregar redes RC de amortiguamiento (snubbers) para limitar estas oscilaciones y reducir el *ringing*.

Si bien este aspecto se evaluó, en las pruebas realizadas el circuito no presentó comportamientos oscilatorios críticos, por lo que se decidió prescindir de estas redes a fin de evitar pérdidas adicionales.

2.4.4 Protección y apagado forzado

La etapa de potencia debe contar con mecanismos de protección ante sobrecorrientes, sobretemperaturas o fallas externas. En este diseño, dichas funciones son gestionadas por otro módulo del sistema. Para permitir su intervención, se implementó una línea de control mediante un optoacoplador que actúa sobre el pin SD del driver, forzando su apagado en situaciones de riesgo.

2.5 Fuentes de alimentación

Se decidió utilizar una fuente partida, lo que permite conectar el altavoz directamente a la salida sin requerir un capacitor de desacoplo. Esta configuración simplifica el diseño y evita distorsiones asociadas a no linealidades del capacitor que es sometido a un régimen de trabajo muy exigente, pues a través de él circula toda la corriente del altavoz.

El sistema requiere distintos niveles de tensión, diferenciando la etapa de potencia de la electrónica de control. La alimentación principal es de aproximadamente ± 20 , V y está destinada exclusivamente a los MOSFETs y a la etapa de salida.

Por otra parte, la electrónica de control opera con tensiones auxiliares de baja potencia. Para ello se incorpora una entrada de ± 12 , V, a partir de la cual se generan ± 5 , V mediante reguladores lineales (LM7805 y LM7905). Estas tensiones alimentan el amplificador no inversor de entrada y el comparador, proporcionando una referencia estable y de bajo ruido, manteniendo ambas secciones eléctricamente independientes.

Finalmente, la etapa lógica del driver requiere 12, V con referencia en $-V_{CC}$, tal como exige su modo de operación. Este nivel se obtiene mediante un regulador LM78L12 dedicado para este fin.

2.6 Generación de señales de control

2.6.1 Conversor lógico

Dado que el driver IR2110 está diseñado para otro tipo de aplicaciones y, en este caso, se desea utilizar una fuente partida, se incorporó un transistor PNP que permite referir las señales de control de la salida del comparador a la tensión negativa. De este modo, es posible prescindir del capacitor de desacople de corriente continua en la salida.

El circuito, mostrado en la Figura 2.5, emplea dos resistencias: la resistencia de colector R_{ct} y la resistencia de emisor R_{et} . Los valores de R_{ct} y R_{et} se seleccionan de manera tal que la tensión de salida del conversor lógico oscile entre $-V_{cc} + 12$ V y $-V_{cc}$, según el nivel lógico aplicado a la base del transistor.

2.6.2 Circuito de tiempo muerto

Para evitar la conducción simultánea de ambos MOSFET se implementó un circuito RC con un diodo, el cual introduce un retardo únicamente en el flanco ascendente de la señal de control. El retardo se genera debido a la carga del capacitor C_{dt} a través de la resistencia R_{dt} , mientras que el diodo D_{dt} descarga rápidamente el capacitor, eliminando el retardo en el flanco descendente.

El tiempo muerto resultante viene dado por:

$$\tau_{dt} = -\frac{t}{\ln\left(1 - \frac{V_{th}}{V_{in}}\right)}$$

donde V_{th} es la tensión umbral de las compuertas y V_{in} es la señal aplicada al circuito $R_{dt}C_{dt}$.

2.6.3 Integración y obtención de señales complementarias

Para integrar los dos circuitos presentados anteriormente, tanto el conversor lógico como el circuito RC, se emplearon compuertas digitales inversoras (en particular, el integrado CB40106) a la entrada del circuito RC. Esto permite que la impedancia de carga del capacitor no afecte al conversor de nivel y, además, facilita la obtención de las señales de control de cada uno de los MOSFET, como se muestra en la Figura 2.7. A la salida no

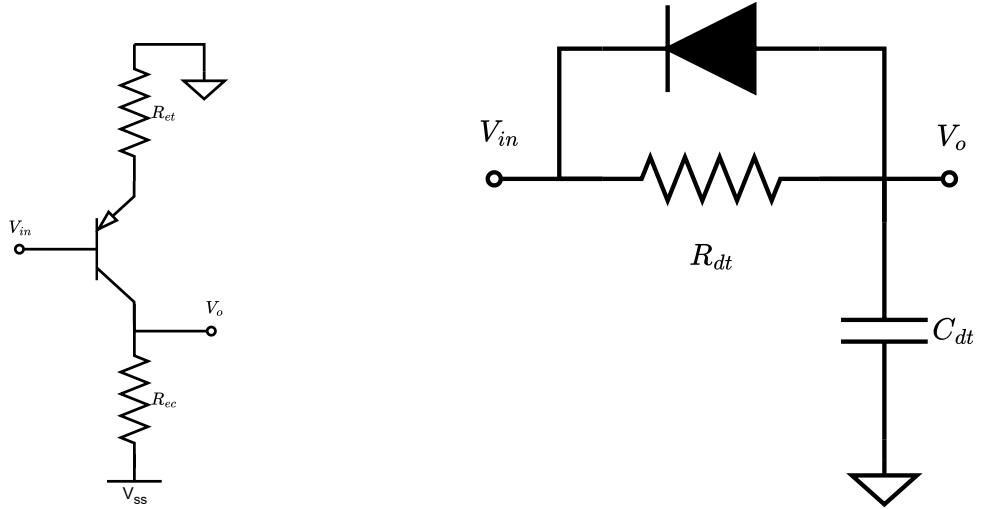


Figura 2.5: Conversor lógico con transistor PNP.

Figura 2.6: Circuito $R_{dt}C_{dt}$ utilizado para generar el tiempo muerto.

se colocaron compuertas adicionales, ya que el driver incorpora internamente disparadores Schmitt trigger, lo que permite minimizar al máximo los retardos en el lazo.

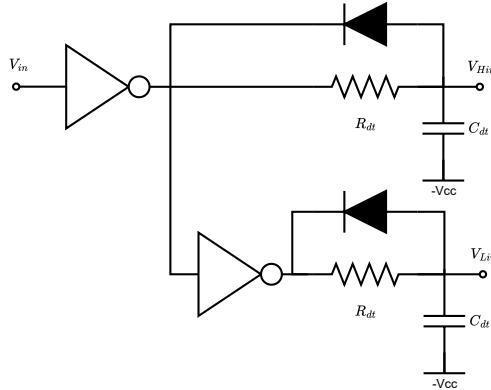


Figura 2.7: Circuito de dead time en conjunto con las compuertas.

2.7 Filtro de salida

La señal PWM generada por los MOSFET no puede aplicarse directamente al altavoz, por lo que se diseñó un filtro pasa-bajos LC como el de la Figura 2.8. Para obtener una respuesta suave en la banda de paso se optó por una configuración de tipo Butterworth.

Considerando un factor $Q = \sqrt{2}$ y una frecuencia de corte $\omega_0 \approx 2\pi \cdot 30 \text{ kHz}$, con un altavoz de 8Ω los valores resultantes son:

$$C_f = \frac{1}{\omega_0 R \sqrt{2}} = 0,47 \mu\text{F}, \quad L_f = \frac{R \sqrt{2}}{\omega_0} = 60 \mu\text{H}. \quad (2.1)$$

Para la implementación del inductor L_f se seleccionó un núcleo tipo E30. A partir de los datos del fabricante, con una permeabilidad relativa aproximada de 1600 y un área efectiva $A_e = 60 \text{ mm}^2$, y considerando una tensión máxima de salida del orden de $\pm 20 \text{ V}$ sobre una carga de 8Ω , la corriente pico alcanza 2,5 A. Bajo estas condiciones, la energía máxima almacenada en el inductor resulta del orden de 0,2 mJ, por lo que se concluye que es necesario incorporar un entrehierro a fin de permitir el almacenamiento de la energía requerida sin alcanzar la saturación del material.

Se impuso un límite conservador para la densidad de flujo magnético, fijando $B_{\max} = 100 \text{ mT}$, con el objetivo de minimizar la no linealidad del inductor. Bajo estas condiciones, la longitud del entrehierro requerida resulta:

$$l_0 = \frac{2E\mu_0}{B_{\max}^2 A_e}.$$

Finalmente, a partir de la inductancia objetivo, el número de espiras necesarias se obtiene de:

$$N = \sqrt{\frac{L_f l_0}{A_e \mu_0}}.$$

Estos cálculos permiten ajustar el entrehierro y la cantidad de espiras para obtener un inductor de $60 \mu\text{H}$ que opere de manera segura y sin saturación en las condiciones previstas.

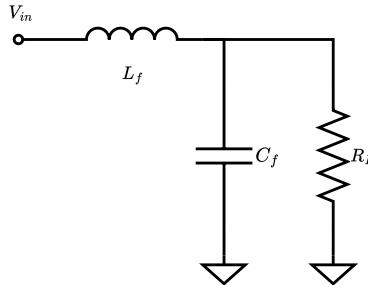


Figura 2.8: Filtro LC pasa-bajo de segundo orden.

2.8 Condensadores de desacoplo en la alimentación de potencia

Los condensadores colocados en la entrada de alimentación de cada MOSFET aseguran el suministro instantáneo de corriente durante las comutaciones y minimizan la caída de tensión en el rail. El criterio de dimensionamiento básico se obtiene de:

$$C = \frac{I \cdot \Delta t}{\Delta V}$$

donde I es la corriente que debe suministrar el condensador, Δt el intervalo sin recarga (aproximadamente $1/f_{sw}$) y ΔV la caída de tensión tolerable en el rail. Tomando $I_{avg} = P_{out}/V_{dc}$ y $\Delta t = 1/f_{sw}$ se obtiene la expresión práctica:

$$C \approx \frac{I_{avg}}{f_{sw} \Delta V}$$

Por ejemplo, para $P_{out} = 30$ W, $V_{dc} = 24$ V, $f_{sw} = 300$ kHz y $\Delta V = 0.5$ V, resulta $C \approx 8.3 \mu\text{F}$.

En la práctica se recomienda una combinación de condensadores en paralelo: un cerámico de baja ESR ($0.1\mu\text{F}$) cercano a los MOSFETs para cubrir picos de alta frecuencia, un condensador de desacoplo local $\approx 1 - 10\mu\text{F}$, cerámico o polímero y un condensador electrolítico $\approx 10 - 100\mu\text{F}$, como reserva. Además, los condensadores deben seleccionarse por su ESR y su corriente de rizado RMS adecuada, y montarse con trazas cortas y anchas entre los MOSFET y los condensadores.

2.9 Etapa de regulación de ganancia

Para la regulación de ganancia del amplificador se evaluaron tres alternativas y se seleccionó finalmente la configuración con potenciómetro como divisor resistivo de entrada.

La primera alternativa consistió en modificar la resistencia de entrada del integrador, R_{in} . El problema de esta opción es que la ganancia del amplificador viene dada por

$$G = \frac{R_{fb}}{R_{in}},$$

por lo que la regulación no resulta lineal respecto a la variación del potenciómetro.

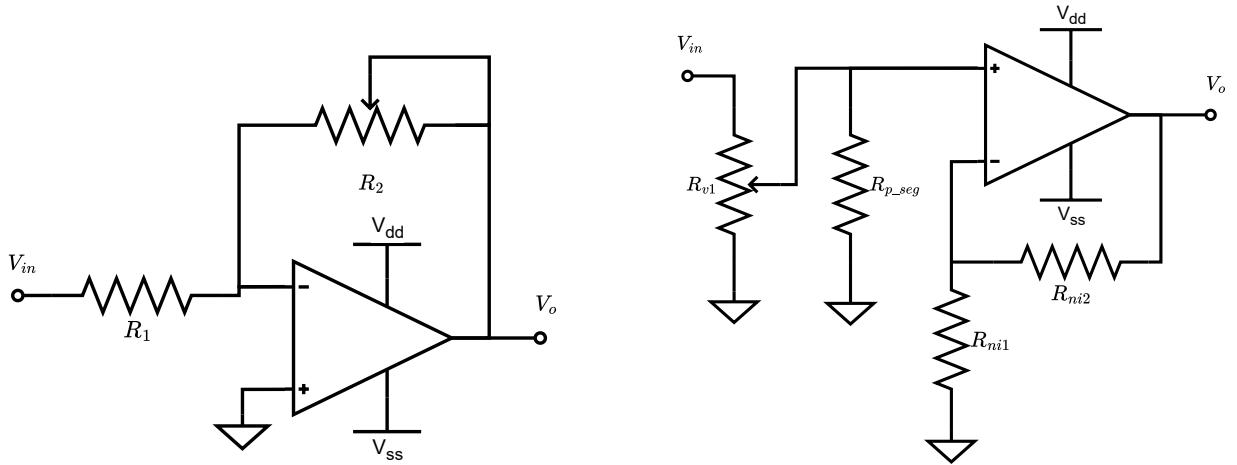
La segunda alternativa fue agregar una etapa inversora mediante un amplificador operacional como se puede ver en la Figura 2.9a. En esta configuración, la ganancia depende del divisor formado por R_{ni1} , R_{ni2} y el potenciómetro RV_1 , de modo que

$$G = -\frac{R_{ni1}}{R_{ni2}}.$$

Esta opción permite una variación lineal de ganancia; sin embargo, presenta un inconveniente importante: si el potenciómetro sufre fallas mecánicas (por ejemplo, la desconexión del cursor), la ganancia del amplificador puede llevarse automáticamente a su valor máximo, generando sonidos indeseables.

Para evitar este problema, se adoptó finalmente la tercera alternativa: utilizar el potenciómetro R_{v1} como divisor resistivo de entrada (Figura 2.9b), acompañado por la resistencia de protección R_{p_seg} . Esta disposición garantiza que, ante cualquier falla mecánica del potenciómetro, la señal aplicada a la etapa siguiente tienda a cero, evitando sonidos indeseables en el altavoz.

Finalmente, dado que esta etapa permite ajustar el nivel de señal que ingresa al amplificador, el potenciómetro cumple en la práctica la función de control de volumen. Por este motivo, se seleccionó un potenciómetro de curva logarítmica (tipo “A”), ya que la percepción humana del volumen es aproximadamente logarítmica. Con un potenciómetro lineal, pequeños cambios al inicio del recorrido producirían variaciones audibles muy



(a) Etapa inversora con regulación de ganancia.

(b) Potenciómetro como divisor resistivo de entrada.

Figura 2.9: Alternativas consideradas para la regulación de ganancia del amplificador.

bruscas, mientras que gran parte del resto del recorrido tendría un efecto mínimo. En cambio, al utilizar un potenciómetro logarítmico la variación de nivel resulta perceptualmente uniforme a lo largo de todo el giro, asegurando una regulación de volumen suave y natural.

2.10 Proceso de diseño

Tras la caracterización de cada bloque, el proceso de diseño se centró en fijar la frecuencia de conmutación y la amplitud deseada a la salida del integrador. Se estableció como frecuencia máxima (para $V_{in} = 0$) un valor de $f = 300$ kHz y, considerando las limitaciones impuestas por el *slew rate* del amplificador operacional, se seleccionó un ancho de histéresis adecuado de $d = 2 \times 100$ mV. A partir de este valor se determinó la relación entre las resistencias del comparador con histéresis. Luego, a partir de (1.6) y fijando $R_{fb} = 10$ k Ω , se obtuvo el valor de la capacidad del integrador:

$$C_{int} = \frac{V_p}{2dR_{fb}f} G \approx 10 \text{ nF}. \quad (2.2)$$

La resistencia de entrada se calculó a partir de la ganancia del lazo, definida en $G = 10$:

$$R_{in} = \frac{R_{fb}}{G} \approx 1 \text{ k}\Omega. \quad (2.3)$$

Como la ganancia total del sistema se definió en aproximadamente 20 ya que la señal de entrada se estima de una amplitud ± 1 V, se configuró la etapa de entrada no inversora con una ganancia igual a 2. De esta forma, junto con la ganancia del lazo, se cumple la especificación de ganancia total y, al mismo tiempo, se fija la impedancia de entrada del sistema.

Finalmente, los valores seleccionados para los componentes se resumen en la Tabla 2.1 mientras que un esquema del circuito completo con cada uno de los bloques se puede ver en Figura 2.10.

Símbolo	Descripción	Valor / Modelo
R_{h1}, R_{h2}	Resistencias del comparador con histéresis	1 kΩ y 47 kΩ
R_{pu}	Resistencia de pull-up del LM311	1 kΩ
R_{dt}	Resistencia de dead time	22 kΩ
C_{dt}	Capacitor de dead time	22 kΩ
C_{int}	Capacitor del integrador	10 nF
R_{fb}	Resistencia de realimentación del integrador	10 kΩ
R_{in}	Resistencia de entrada del lazo	1 kΩ
RV_1	Potenciómetro de ajuste de ganancia	A 100 kΩ
R_{p_seg}	Resistencia de protección del potenciómetro de entrada	660 kΩ
R_{ni1}, R_{ni2}	Resistencias del no inversor	47 kΩ, 100 kΩ
C_{bs}	Capacitor de bootstrap del IR2110	22 μF
C_f	Capacitor del filtro LC	0.47 μF
L_f	Inductor del filtro LC	60 μH
Q_1, Q_2	MOSFET de salida	IRFZ44N
Q_3	Transistor PNP del adaptador lógico	2N3906
R_{ct}, R_{et}	Resistencias del transistor PNP	330 Ω y 1 kΩ
U_1	Comparador	LM311
U_2	Driver de compuerta	IR2110
U_3	Amplificador operacional	TL072
N	Vueltas del inductor	34
R_{DUMMY}	Resistencia de salida	1.5k

Cuadro 2.1: Valores de los componentes utilizados en el amplificador Clase D.

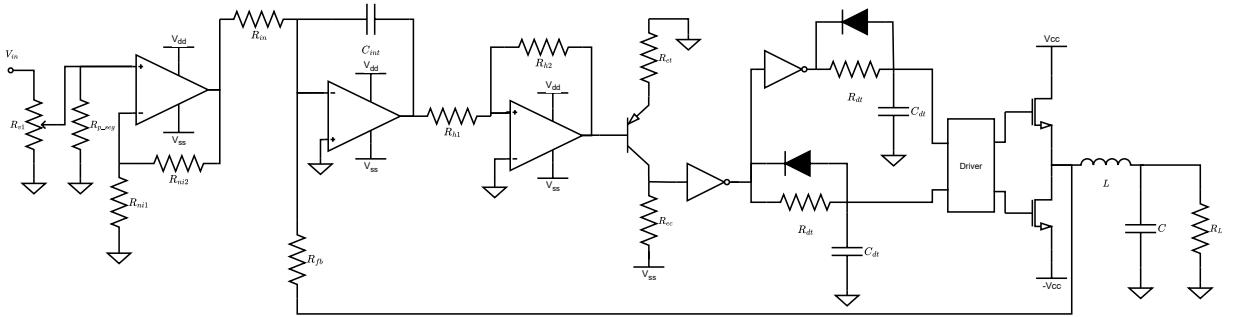


Figura 2.10: Circuito completo del amplificador.

2.10.1 Simulación

En paralelo al diseño y a la selección de componentes, se realizaron simulaciones individuales de cada uno de los bloques. Estas permitieron anticipar el comportamiento esperado del sistema y verificar la coherencia de los modelos teóricos adoptados.

En el capítulo siguiente se presenta la comparación entre los resultados obtenidos por simulación y las mediciones realizadas sobre el circuito implementado, lo que permite evaluar el desempeño real del sistema.

2.11 Diseño de PCB

El diseño de la PCB del amplificador requirió considerar múltiples aspectos relacionados con la conducción de potencia, la integridad de señal y la mitigación del ruido de conmutación. A continuación, se describen los criterios principales aplicados durante el proceso.

2.11.1 Dimensionamiento de pistas y planos de potencia

Dado que la corriente de salida del amplificador circula íntegramente a través de la placa, se priorizó la reducción de la resistencia serie y un adecuado desempeño térmico. Para ello, se implementaron planos de alimentación ($+V_{CC}$ y $-V_{CC}$) sobre la misma cara del PCB, maximizando el área efectiva de conducción. Esta estrategia reduce caídas de tensión en las trayectorias de alta corriente y evita puntos de calentamiento localizados.

2.11.2 Separación entre tierras de señal y de potencia

El sistema admite la posibilidad de ser alimentado por dos fuentes distintas: una para la etapa de señal y otra para la etapa de potencia. Para minimizar el acoplamiento de ruido entre ambas, se diseñaron dos planos de tierra independientes: tierra de señal y tierra de potencia. Estos planos permanecen separados en todo el diseño y se unen únicamente en un punto común de referencia, ubicado próximo a la red de realimentación. Esta topología reduce la formación de lazos de masa y mejora la inmunidad al ruido generado por el driver y los MOSFET.

2.11.3 Protecciones de alimentación y señal

Se incorporaron protecciones adicionales para mejorar la robustez del sistema. En las entradas de alimentación se colocaron diodos de protección para evitar daños por conexiones incorrectas. Se añadieron indicadores mediante diodos LED para verificar la presencia de las tensiones de alimentación.

En la salida del adaptador de nivel se agregó un diodo zener, cuya función es limitar la tensión máxima ante posibles fallas, evitando que niveles excesivos que puedan dañar otros componentes del circuito.

2.11.4 Diseño final

El esquemático general del sistema se presenta en la Figura 2.11. En la Figura 2.12 se muestra la cara principal de cobre del PCB, donde pueden distinguirse los planos de potencia y las zonas de señal de bajo nivel. La Figura 2.13 muestra el montaje final.

2.12 Conclusiones

El proceso de diseño permitió definir y optimizar las distintas etapas del amplificador Clase D, atendiendo tanto a los requisitos eléctricos como a las restricciones físicas del PCB. Se establecieron criterios claros para el manejo de potencia, la separación de tierras, el control del ruido de conmutación y el ruteo de señales sensibles, lo que resultó en un diseño robusto y adecuado para su implementación.

La caracterización previa mediante simulación y análisis teórico facilitó la selección de componentes, la verificación de las condiciones de operación y la anticipación de posibles limitaciones asociadas al comportamiento dinámico y a las pérdidas de conmutación.

Con estos elementos definidos, el diseño se encuentra en condiciones de ser implementado y evaluado experimentalmente, validando el desempeño de cada etapa y comparando los resultados reales con los obtenidos en la simulación.

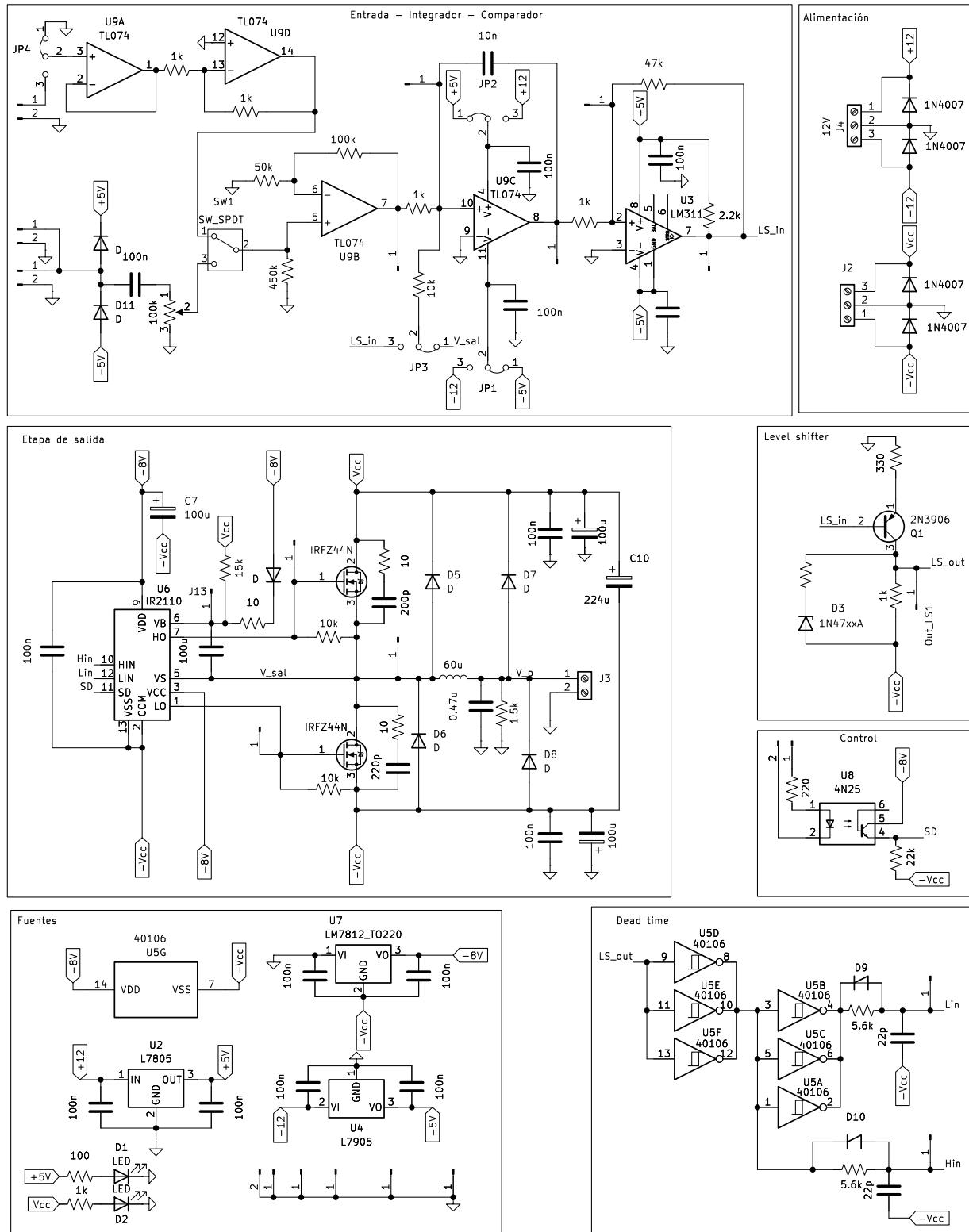


Figura 2.11: Esquemático completo del amplificador Clase D.

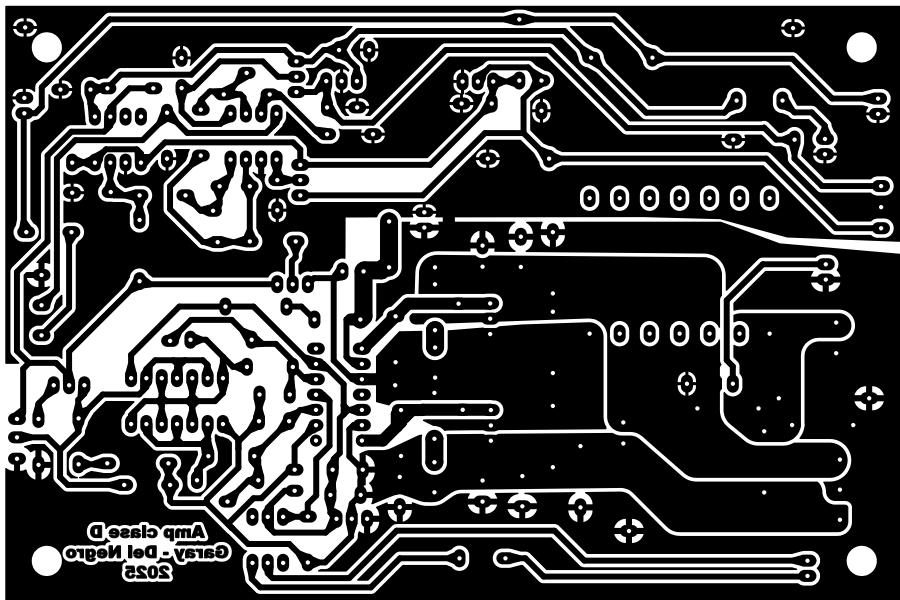


Figura 2.12: Capa de cobre del PCB, mostrando los planos de alimentación, el enrutado de potencia y las zonas de señal.

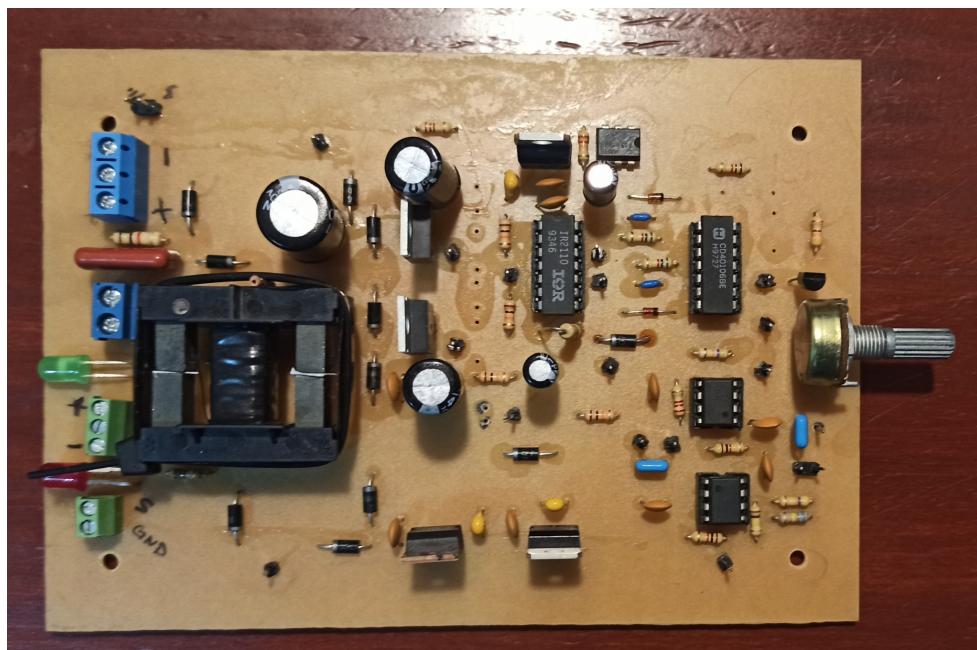


Figura 2.13: Placa ensamblada del amplificador Clase D.

Capítulo 3

Implementación

En este capítulo se presenta la implementación física de los distintos bloques que componen el amplificador Clase D, siguiendo el diseño analítico desarrollado en el capítulo anterior. El proceso se abordó en dos etapas: primero una implementación preliminar sobre protoboard, destinada a validar el funcionamiento básico del lazo modulador y de los bloques auxiliares; luego se realiza la verificación de la PCB final.

3.1 Implementación preliminar en protoboard

La primera etapa de ensamblado se llevó a cabo sobre una protoboard, permitiendo comprobar el funcionamiento conjunto del integrador, el comparador de histéresis, la generación de tiempo muerto, las etapas lógicas y la alimentación. La Figura 3.1 muestra el montaje utilizado.

El uso de protoboard introduce resistencias serie y capacitancias parásitas significativas, particularmente relevantes dado que la frecuencia de conmutación del sistema se encuentra en el rango de cientos de kilohertz. Estas no idealidades producen caídas de tensión, un incremento en el *ripple* de la señal PWM y una reducción de la eficiencia global.

3.1.1 Bloque integrador

El integrador constituye el núcleo del lazo auto-oscilante y es responsable de generar la rampa triangular que gobierna el comparador. Idealmente, su salida debería presentar una señal triangular.

Sin embargo, en la implementación real se observaron diferencias respecto del comportamiento ideal. La Figura 3.2 muestra la señal del integrador superpuesta con la salida del comparador. En los cambios de pendiente aparecen picos causados por la limitación del *slew rate* del amplificador operacional utilizado.

Dado que el *slew rate* establece la velocidad máxima de variación de la salida, si la pendiente supera esta capacidad, la señal deja de ser estrictamente lineal. Aun así, estas

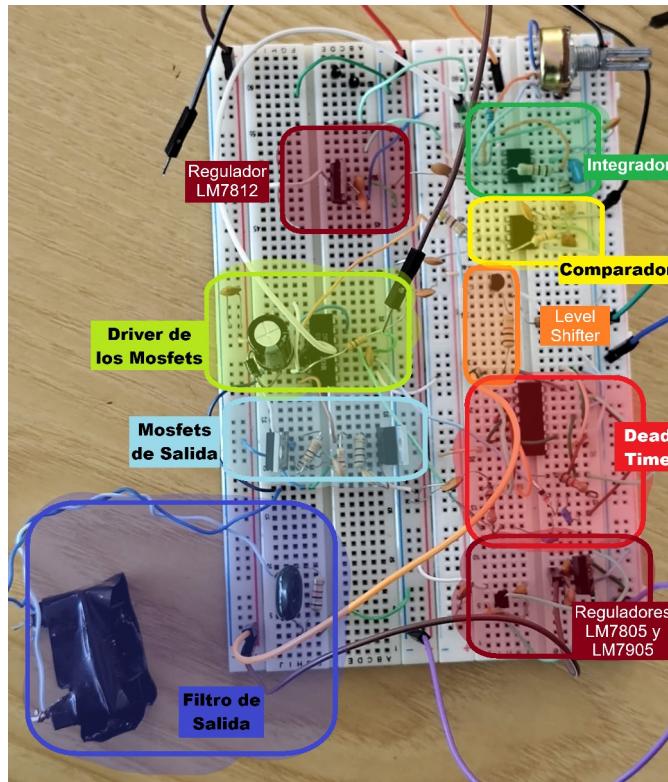


Figura 3.1: Implementación preliminar del circuito en protoboard.

no idealidades no alteraron de manera significativa la frecuencia de conmutación ni el ciclo de trabajo resultante, por lo que el desempeño del lazo se mantuvo dentro de lo esperado.



Figura 3.2: Salida del integrador superpuesta con la señal del comparador de histéresis. Se observan pequeñas no idealidades en los cambios de pendiente debido al *slew rate*.

3.1.2 Tiempo muerto

En la Figura 3.3 se observan las señales obtenidas a la salida de los circuitos RC utilizados para generar el tiempo muerto. Puede apreciarse la forma característica de este tipo de redes, cuya respuesta introduce el retardo necesario entre las señales de conmutación. Estas mismas señales son las que posteriormente ingresan al driver de potencia para accionar los MOSFET.



Figura 3.3: Salida del circuito RC encargado de generar el tiempo muerto. Se muestran las señales asociadas al MOSFET alto y al MOSFET bajo.

3.1.3 Alimentación

El sistema se alimentó inicialmente con una fuente partida de $\pm 20\text{ V}$ para la etapa de potencia y reguladores lineales de $\pm 5\text{ V}$ para lógica e integración. El ripple en las ramas de baja tensión fue despreciable, mientras que en la rama principal de potencia se observaron caídas de tensión considerables debido a las resistencias de conexión (Figura 3.4).

Este comportamiento puso de manifiesto la capacidad del amplificador para rechazar perturbaciones de la fuente (PSRR), pero también evidenció la limitación impuesta por las resistencias e inductancias parásitas de la protoboard, especialmente bajo condiciones de alta corriente.

En resumen, las mediciones realizadas en protoboard permitieron identificar los principales efectos parásitos y ajustar el diseño antes de su implementación final en PCB. En la siguiente sección se presenta la transición hacia la versión ensamblada en placa, junto con las mediciones correspondientes.

3.2 Implementación en PCB

Luego de las pruebas preliminares en protoboard, se procedió a la fabricación de la PCB definitiva. Esta versión permitió realizar mediciones más precisas y evaluar los pará-

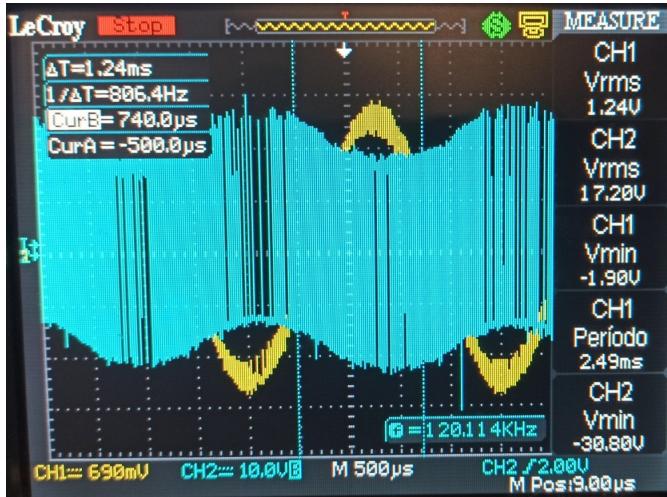


Figura 3.4: Prueba del amplificador a máxima potencia con carga resistiva de 8Ω . En CH2 se observa la señal PWM a la salida de los MOSFET, mientras que CH1 muestra la señal filtrada en la salida del amplificador.

metros especificados al inicio del proyecto, sin las limitaciones propias del montaje sobre protoboard.

3.2.1 Señal PWM y frecuencia de conmutación

La Figura 3.5 muestra la señal PWM obtenida a la salida de los MOSFETs. A partir del período medido con los cursores del osciloscopio se determinó la frecuencia de conmutación:

$$f = \frac{1}{T} \simeq 257 \text{ kHz.}$$

Este valor es ligeramente inferior al estimado teóricamente, diferencia atribuible al retardo introducido por las compuertas lógicas y por el circuito de *dead time*. Aun así, la frecuencia obtenida se mantiene dentro del rango previsto y garantiza un adecuado funcionamiento del modulador y del filtro de salida.

3.2.2 Potencia de Salida

En la Figura 3.6 se comparan los resultados obtenidos mediante simulación (spice) con las mediciones reales sobre una carga resistiva de 8Ω . Para ambos casos se aplicó una señal senoidal de 1kHz y 2Vpp como entrada.

Comparando ambas señales se observa una buena correspondencia entre la simulación y la medición real. En ambos casos, aparece la reducción de la frecuencia de conmutación a medida que aumenta la amplitud de la señal de salida, efecto esperado en este tipo de moduladores. Además, las mediciones muestran que el amplificador es capaz de entregar más de 20W sobre una carga de 8Ω , superando ampliamente la especificación del proyecto, que requería al menos 10W de potencia de salida.

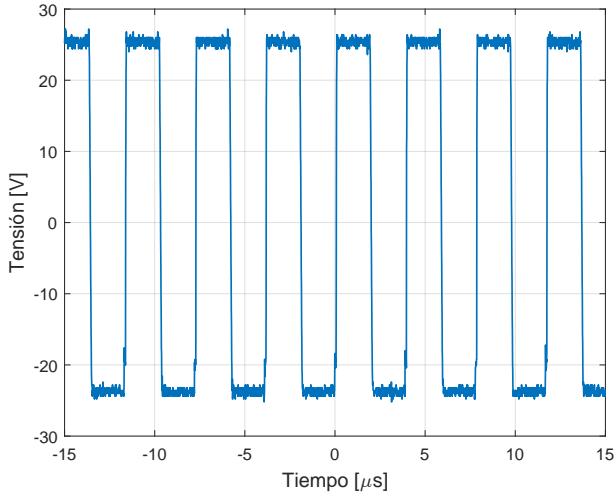
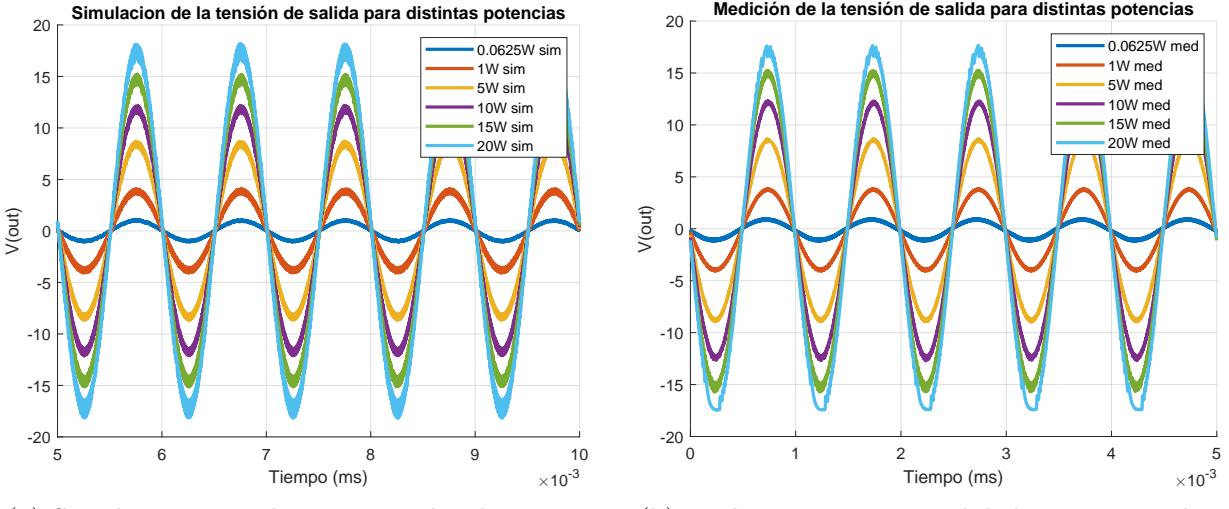


Figura 3.5: Forma de onda PWM medida a la salida del puente MOSFET.

Figura 3.6: Comparación entre la tensión de salida del amplificador clase D para distintos niveles de potencia: (a) simulación en LTspice y (b) medición experimental con una alimentación de $\pm 20\text{ V}$ y carga resistiva de 8Ω .

Eficiencia

La medición de eficiencia se realizó utilizando una fuente partida de $\pm 20\text{ V}$ de laboratorio. La corriente consumida se midió en la entrada mediante un amperímetro, mientras que la corriente de salida se obtuvo con una pinza amperométrica conectada al osciloscopio, permitiendo registrar la forma de onda correspondiente. A partir de estas mediciones se obtuvieron los valores resumidos en la Tabla 3.1.

En la Figura 3.7 se muestra la comparación entre la eficiencia obtenida mediante simu-

P_{OUT} [W]	I_{IN} [A]	V_{IN} [V]	P_{IN} [W]	η
0.065	0.085	20	3.4	0.02
1	0.11	20	4.4	0.23
5	0.21	20	8.4	0.6
10	0.35	20	14	0.71
15	0.49	20	13.6	0.76
20	0.62	20	24.8	0.80

Cuadro 3.1: Resultado de las mediciones.

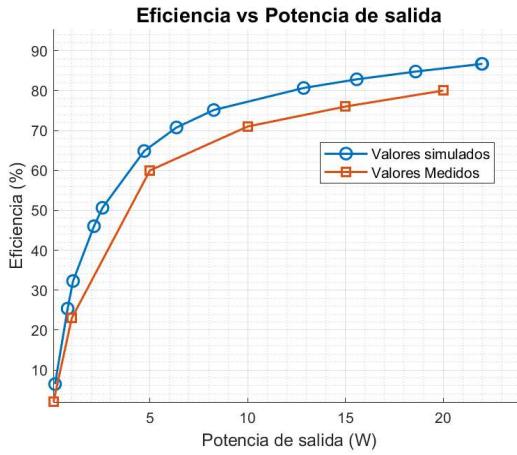


Figura 3.7: Comparación entre la eficiencia simulada y la real en función de la potencia de salida.

lación y la medida en el prototipo. Como es característico en los amplificadores clase D, la eficiencia aumenta con la potencia entregada y alcanza su valor máximo próximo a la potencia nominal.

Cabe destacar que, durante la medición, toda la electrónica fue alimentada con ± 20 V. En la práctica, es posible alimentar la etapa de señal con ± 12 V, lo cual incrementa la eficiencia global debido a la menor disipación en los reguladores lineales de ± 5 V.

A su vez, las diferencias respecto de la eficiencia simulada pueden atribuirse a no idealidades presentes únicamente en el prototipo real, tales como la resistencia serie del inductor, ESR de capacitores y pérdidas de conmutación en los MOSFET.

3.2.3 Distorsión armónica total

La distorsión armónica total (THD) fue medida utilizando el analizador desarrollado por otro grupo participante del proyecto. La Figura 3.8 muestra la comparación entre el THD simulado y el obtenido experimentalmente. Las mayores diferencias aparecen a baja potencia, donde el ruido y las no idealidades del hardware tienen un peso más significativo.

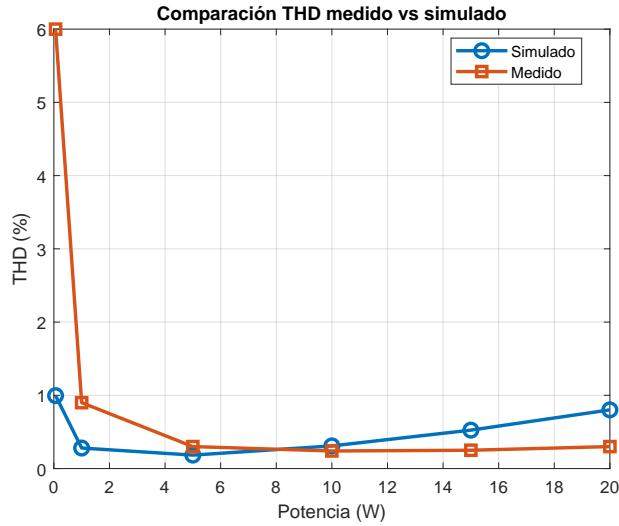


Figura 3.8: Comparación entre el THD simulado y el THD medido experimentalmente.

3.3 Pruebas de integración

La etapa final del proyecto consistió en integrar el amplificador Clase D con el resto del sistema de audio, compuesto por los módulos de acondicionamiento de señal. Las pruebas se realizaron incorporando progresivamente cada bloque y verificando la estabilidad general del conjunto.

El proceso de integración fue exitoso, el amplificador respondió adecuadamente a la señal procesada por el sistema de audio y mantuvo un funcionamiento estable. No se detectaron problemas de acople, incompatibilidades ni ruidos adicionales introducidos por la interacción entre etapas. La calidad sonora obtenida coincide con el desempeño esperado.

A continuación, se presentan los videos correspondientes a las pruebas realizadas durante la integración del sistema:

- **Video 1:** Primera prueba en protoboard — [Ver video](#)
- **Video 2:** Primera prueba de la PCB — [Ver video](#)
- **Video 3:** Integración del amplificador con la fuente de alimentación — [Ver video](#)
- **Video 4:** Funcionamiento del sistema desde caja directa hasta el amplificador — [Ver video](#)

Estos registros evidencian el correcto funcionamiento de la cadena completa de audio y confirman la viabilidad del diseño implementado.

3.4 Conclusiones

A lo largo del capítulo se demostró que el amplificador Clase D fue implementado con éxito, cumpliendo con las especificaciones planteadas al inicio del proyecto.

Los requisitos de distorsión armónica total (THD) se alcanzaron de manera satisfactoria, así como también las especificaciones de potencia. Tal como es característico en este tipo de topologías, el desempeño a baja potencia no es el óptimo; sin embargo, la distorsión disminuye a medida que aumenta la potencia de salida, cumpliendo los valores esperados a partir de un cierto nivel de operación. Este comportamiento es inherente a los amplificadores clase D y se corresponde con lo previsto teóricamente.

En cuanto a la eficiencia, si bien los resultados obtenidos son adecuados, existe margen de mejora. El consumo global se ve afectado por el uso de fuentes lineales, particularmente en la alimentación del driver de la etapa de salida. La implementación de una fuente de alimentación más eficiente por ejemplo, una fuente conmutada o el uso de un transformador permitiría optimizar significativamente este parámetro y reducir las pérdidas del sistema.

En conjunto, los resultados obtenidos tanto en simulación como en la implementación práctica validan la arquitectura escogida y confirman la correcta funcionalidad del amplificador desarrollado.

Capítulo 4

Conclusiones

El trabajo desarrollado permitió completar satisfactoriamente el diseño, implementación y validación de un amplificador Clase D funcional. A lo largo del proyecto se integraron conocimientos de electrónica analógica, circuitos de potencia, diseño de placas de circuito impreso y técnicas de medición, logrando un dispositivo capaz de operar de manera estable y reproducir audio con buena calidad.

La construcción del prototipo y su posterior implementación en PCB demostraron la viabilidad práctica del diseño propuesto. El sistema funcionó conforme a las expectativas iniciales, alcanzando los niveles de potencia definidos y manteniendo una distorsión y una calidad sonora adecuadas para la aplicación planteada. A su vez, la interacción entre las distintas etapas modulación, filtrado, potencia y alimentación se llevó a cabo sin inconvenientes, evidenciando una integración correcta del conjunto.

El proyecto permitió contrastar el comportamiento real del circuito con lo estimado mediante análisis y simulación, verificando la coherencia general entre ambos. Aunque surgieron diferencias propias de las no idealidades de los componentes y de las condiciones de montaje, estas no afectaron de forma significativa el desempeño global.

Finalmente, el amplificador desarrollado cumplió satisfactoriamente con la función prevista dentro del sistema de audio general, integrándose de manera adecuada con las demás etapas y con el trabajo realizado por los otros grupos.

Bibliografía

- [1] B. Cordell, *Designing Audio Power Amplifiers*. New York: McGraw Hill Professional, 2011.
- [2] A. I. Colli-Menchi, M. A. Rojas-Gonzalez, and E. Sánchez-Sinencio, *Design Techniques for Integrated CMOS Class-D Audio Amplifiers*. World Scientific Publishing Company, 2016, vol. 16.
- [3] G. Pillonnet, R. Cellier, N. Abouchi, and M. Chiollaz, “A high performance switching audio amplifier using sliding mode control,” in *Proc. IEEE NEWCAS-TAISA*, 2008, pp. 305–309.
- [4] A. Satheesh, “Class d amplifier circuit 900w,” SolderingMind.com; Jul 2025, accessed: 2025-11-03. [Online]. Available: <https://solderingmind.com/class-d-amplifier-circuit-900w/>
- [5] Sine Lab. (2024) Discrete class d amplifier. Accessed on 2025-09-29. [Online]. Available: <https://sinelab.net/post/discrete-class-d-amplifier/>
- [6] Infineon Technologies AG, “An-978 hv floating mos-gate driver ics,” Infineon Technologies AG, Munich, Germany, Application Note AN-978, 2025, revision 1.01, April 9, 2025. [Online]. Available: <https://www.infineon.com/assets/row/public/documents/24/42/infineon-hv-floating-mos-gate-drivers-applicationnotes-en.pdf>
- [7] I. T. AG, “Irs2452am class d amplifier ic — functional description and design guide,” Application Note, Infineon Technologies, Jun 2019, revision 1.5. [Online]. Available: https://www.infineon.com/dgdl/Infineon-ClassD_Audio_IRS2452AM_functional_description-ApplicationNotes-v01_05-EN.pdf?fileId=5546d462677d0f460167a6c240ef14f3

Anexo 1

Dimensionamiento del capacitor de bootstrap

El capacitor de bootstrap es un elemento esencial para el funcionamiento del driver IR2110, ya que permite elevar la tensión de compuerta del MOSFET del lado alto. Para que el transistor conduzca correctamente, es necesario que la tensión entre los pines V_B y V_S se mantenga por encima de la tensión mínima especificada por el fabricante.

El dimensionamiento del capacitor se realizó siguiendo la metodología propuesta en [6]. El valor mínimo requerido se obtiene a partir de:

$$C_{bs} \geq \frac{2Q_g + \frac{I_{qbs}}{f} + Q_{ls} + \frac{I_{Cbs}}{f}}{V_{cc} - V_f - V_{LS} - V_{min}} \quad (1.1)$$

donde cada término representa las cargas y corrientes que deben ser sostenidas durante el intervalo de conducción del MOSFET superior.

1.1 Datos utilizados

Para el cálculo se utilizaron los valores que se detallan a continuación:

- Carga total de compuerta del MOSFET IRFZ44N: $Q_g = 67 \text{ nC}$.
- Corriente de reposo del lado alto del IR2110: $I_{qbs} = 230 \mu\text{A}$.
- Frecuencia de commutación: $f = 300 \text{ kHz}$.
- Carga asociada al low-side: $Q_{ls} \approx 5 \text{ nC}$ (valor típico).
- Corriente de fuga del capacitor: $I_{Cbs} \approx 1 \mu\text{A}$.
- Tensión de alimentación del driver: $V_{cc} = 12 \text{ V}$.
- Caída en el diodo bootstrap: $V_f = 0,7 \text{ V}$.
- Tensiones internas del IR2110: $V_{LS} \approx 0,2 \text{ V}$, $V_{min} = 10 \text{ V}$.

1.2 Cálculo

Sustituyendo en (1.1):

$$C_{bs} \geq \frac{2(67 \text{ nC}) + \frac{230 \mu\text{A}}{300 \text{ kHz}} + 5 \text{ nC} + \frac{1 \mu\text{A}}{300 \text{ kHz}}}{12V - 0,7V - 0,2V - 10V}.$$

Se evalúan los términos dependientes de corriente:

$$\frac{230 \mu\text{A}}{300 \text{ kHz}} = 0,77 \text{ nC}, \quad \frac{1 \mu\text{A}}{300 \text{ kHz}} \approx 0,003 \text{ nC}.$$

Sumando las cargas:

$$Q_{\text{total}} \approx 134 \text{ nC} + 0,77 \text{ nC} + 5 \text{ nC} \approx 140 \text{ nC}.$$

El denominador:

$$V_{\text{disp}} = 12V - 0,7V - 0,2V - 10V = 1,1 \text{ V}.$$

Entonces:

$$C_{bs} \geq \frac{140 \text{ nC}}{1,1 \text{ V}} \approx 127 \text{ nF}.$$

1.3 Selección final

En la práctica se recomienda multiplicar el valor mínimo por un factor entre 10 y 20, para garantizar margen ante:

- tolerancias del MOSFET,
- variación de la frecuencia efectiva,
- caída dinámica en el diodo,
- tiempos de conducción prolongados del lado alto.