

# Cuestionario Previo (LAB 1)

*Jose Emanuel Varela , Andres Madrigal , Santiago Chavarria, Thomas Reed*

**1. Investigue las características de las familias TTL bajo las series 74\*xx en particular las diferencias entre las variantes \* ∈ {L, LS y HC}.**

74L low power TTL

Características:

- Tecnología bipolar TTL clásica.
- Diseñada para reducir consumo frente al 7400 original.
- Muy lenta comparada con estándares modernos.
- Consumo todavía significativo.
- Requiere estrictamente 5 V.

74LS low power Schottky TTL

Características:

- Tecnología bipolar TTL clásica.
- Diseñada para reducir consumo frente al 7400 original.
- Muy lenta comparada con estándares modernos.
- Consumo todavía significativo.
- Requiere estrictamente 5 V.
- Obsoleta desde hace décadas.

74HC High Speed CMOS

Características clave:

- Tecnología MOS complementaria.
- Voltaje flexible: 2 V a 6 V
- Consumo casi cero en estado estable.
- Alta impedancia de entrada.
- Muchísima densidad.
- Velocidad comparable o superior a LS.

## **2. Investigue las características de la familia CMOS 4000.**

### Características de la familia CMOS

- Amplio rango de alimentación: típicamente **3 V a 15 V** (algunos dispositivos hasta 18 V).
- Consumo extremadamente bajo en reposo: del orden de **nanoamperios a microamperios**.
- Velocidad baja: retardos de propagación típicos entre **60 ns y 300 ns**, dependiendo del voltaje de alimentación.
- Niveles lógicos proporcionales al VDD:
  - $\text{LOW} \leq 0.3 \cdot \text{VDD}$
  - $\text{HIGH} \geq 0.7 \cdot \text{VDD}$ 
    - No es compatible TTL directamente.
- Entradas de **muy alta impedancia** (tecnología CMOS pura).
- Las entradas **no deben quedar flotando**; siempre se requieren resistencias pull-up o pull-down.
- Capacidad de corriente de salida limitada: típicamente **1–2 mA**.
- No puede manejar cargas directamente (relés, motores, LEDs de potencia).
- Buena inmunidad al ruido, especialmente cuando opera a voltajes altos.
- Tecnología CMOS sin transistores bipolares.
- Gran variedad de funciones disponibles:
  - compuertas lógicas
  - flip-flops
  - contadores
  - multiplexores
  - switches analógicos
  - PLL
- Mucho más lenta que 74HC/74HCT.
- Menor densidad lógica que familias CMOS modernas.
- Bajo costo y amplia disponibilidad.
- Muy usada en:
  - sistemas alimentados por batería
  - control secuencial lento
  - instrumentación básica

## **3. Investigue qué cuidados deben tenerse al manipular las tecnologías CMOS**

- Cuidados esenciales en tecnología CMOS
- Proteger contra descargas electrostáticas (ESD): usar pulsera antiestática, tapete ESD y manipular los IC por los bordes.
- No tocar directamente los pines del integrado.
- No dejar entradas flotando; siempre conectarlas a VDD, GND o mediante resistencias pull-up/pull-down.
- Respetar estrictamente el rango de voltaje de alimentación indicado en el datasheet.
- Colocar un capacitor de desacoplo ( $\approx 100 \text{ nF}$ ) entre VDD y GND lo más cerca posible del IC.
- No aplicar señales a las entradas cuando el dispositivo esté sin alimentación.
- No exceder la corriente máxima de salida; usar resistencias o transistores para manejar cargas.
- Evitar picos de tensión y transitorios (especialmente con cargas inductivas).
- No superar los límites máximos absolutos de voltaje, corriente o temperatura.

#### **4. Investigue el significado de los parámetros VIL, VIH , VOL, VOH , IIK , IOK**

VIL — Voltage Input Low

- **Máximo voltaje reconocido como “0” lógico en una entrada.**
- Si el voltaje está **por debajo de VIL**, el circuito garantiza leer LOW.
- Por encima de este valor, el estado ya no es confiable.

VIH — Voltage Input High

- **Mínimo voltaje reconocido como “1” lógico en una entrada.**
- Si el voltaje está **por encima de VIH**, el circuito garantiza leer HIGH.
- Por debajo de este valor, el “1” no es seguro.

VOL — Voltage Output Low

- **Máximo voltaje que puede tener una salida cuando entrega un LOW.**
- Idealmente sería 0 V, pero en la práctica siempre hay un pequeño voltaje residual.
- Se especifica junto con una corriente de carga.

IIK — Input Clamp Current

- **Corriente que fluye por el diodo interno de protección de una entrada** cuando:
  - el voltaje cae por debajo de GND
  - o sube por encima de VDD

IOK — Output Clamp Current

- Lo mismo que IIK, pero en una **salida**.
- Corriente que circula por los diodos internos cuando fuerzas la salida fuera de GND–VDD.

Investigue qué son los tiempos de propagación tP D, tP LH y tP HL y los tiempos de transición tt, tr y tf

tPD — Propagation Delay (retardo de propagación)

- Retardo promedio entre un cambio en la entrada y el cambio correspondiente en la salida.
- Se mide típicamente entre el 50% de entrada y el 50% de salida.
- Es el valor que se usa para estimar la **frecuencia máxima de operación**.

tPLH — Propagation Low to High

- Tiempo que tarda la salida en pasar de LOW a HIGH después del cambio en la entrada.
- Medido del 50% de la señal de entrada al 50% del flanco ascendente de salida.

tPHL — Propagation High to Low

- Tiempo que tarda la salida en pasar de HIGH a LOW después del cambio en la entrada.
- Medido del 50% de entrada al 50% del flanco descendente de salida.

tr — Rise Time

- Tiempo que tarda la salida en subir desde:
  - 10% hasta 90% del nivel alto (algunos datasheets usan 20–80%).

tf — Fall Time

- Tiempo que tarda la salida en bajar desde:
  - 90% hasta 10% del nivel.

tt — Transition Time

- Término genérico que se usa para referirse a:
  - tr o tf
  - o al tiempo total de transición del flanco

## **5. Investigue qué son los tiempos de propagación tPD, tPLH y tPHL y los tiempos de transición tt, tr y tf.**

Estos son tiempos cuales un circuito puede cambiar su transición de estado lógico cuando su entrada cambia, en ellos se definen como:

tPD (Propogation Delay Time) Es el tiempo total el cual la salida cambia respecto a la entrada.

tPLH (Propagation Delay Low to High) Es el tiempo en que la salida cambia de un nivel bajo a un nivel alto luego que la entrada cambie

tPHL (Propagation Delay High to Low) Es el tiempo que tarda la salida en pasar de nivel alto (1) a nivel bajo (0).

tr (Rise Time) Tiempo que tarda una señal en subir, normalmente medido del 10% al 90% del nivel máximo.

tf (Fall Time) Tiempo que tarda una señal en bajar, medido del 90% al 10%.

tt (Transition Time) Es un término general para referirse al tiempo de transición (puede equivaler a tr o tf según el caso).

## 6. Fan-out en familias TTL y CMOS

Fan-out es el número máximo de entradas de compuertas lógicas que puede manejar la salida de una compuerta sin que los niveles lógicos de tensión se degraden.

Depende de la corriente que puede entregar/absorber la salida y la que requieren las entradas conectadas.

Valores típicos:

Familia lógica	Fan-out típico
TTL estándar (74xx)	10
TTL LS (74LSxx)	20
TTL ALS	40
CMOS 4000	50 o más
CMOS HC	50
CMOS HCT	10–20

## 7. Tabla comparativa TTL vs CMOS

a) Rango de alimentación:

Familia	VCC / VDD	VSS
TTL 74xx	4.75 – 5.25 V	0 V
TTL LS	4.75 – 5.25 V	0 V
CMOS 4000	3 – 15 V	0 V
CMOS HC	2 – 6 V	0 V
CMOS HCT	4.5 – 5.5 V	0 V

b) Tensiones de entrada y salida (niveles lógicos):

TTL (5 V)

Parámetro	Valor típico
VIN LOW	0 – 0.8 V
VIN HIGH	2 – 5 V
VOUT LOW	0 – 0.4 V
VOUT HIGH	2.4 – 5 V

CMOS 4000 (VDD = 5 V)

Parámetro	Valor típico
VIN LOW	0 – 1.5 V
VIN HIGH	3.5 – 5 V
VOUT LOW	$\approx$ 0 V
VOUT HIGH	$\approx$ 5 V

c) Tiempos de propagación y transición:

Familia	tpd típico	Transición
TTL	10 ns	5–10 ns
TTL LS	9 ns	5–10 ns
CMOS 4000	50–200 ns	50–150 ns
CMOS HC	8–15 ns	6–12 ns

## 8. Función de los CI

CI	Tipo	Función
74x00	TTL	4 compuertas NAND
74x02	TTL	4 compuertas NOR
74x04	TTL	6 inversores (NOT)
74x14	TTL	6 inversores Schmitt trigger
4001	CMOS	4 compuertas NOR
4011	CMOS	4 compuertas NAND
4069	CMOS	6 inversores
40106	CMOS	6 inversores Schmitt trigger

## 9. Estructura transistor-nivel de una NAND CMOS

Una compuerta NAND CMOS tiene:

-2 transistores PMOS en paralelo (arriba)

-2 transistores NMOS en serie (abajo)

A	B	PMOS	NMOS	Salida
0	0	ON	OFF	1
0	1	ON	OFF	1
1	0	ON	OFF	1
1	1	OFF	ON	0

Solo cuando A=1 y B=1 la salida baja  $\rightarrow$  NAND.

## **10. Pull-up y Pull-down**

Concepto y uso de circuitos pull-up y pull-down en electrónica digital

En electrónica digital, los circuitos pull-up y pull-down son resistencias utilizadas para asegurar que una entrada o línea de señal tenga un nivel lógico definido cuando ningún dispositivo activo la está controlando. Esto es importante porque las entradas de los circuitos digitales, especialmente en tecnología CMOS, tienen una impedancia muy alta y pueden quedar en un estado indeterminado o “flotante” si no están conectadas a un nivel lógico fijo, lo que puede provocar comportamientos erráticos. Una resistencia pull-up conecta la señal a la tensión de alimentación positiva (VCC o VDD), de modo que la entrada se mantiene en nivel lógico alto (1) cuando no hay otra conexión. Por el contrario, una resistencia pull-down conecta la señal a tierra (GND o VSS), manteniendo la entrada en nivel lógico bajo (0) cuando está inactiva. Estos circuitos se usan comúnmente en entradas de compuertas lógicas, pulsadores, buses digitales y salidas de colector abierto o drenador abierto, donde el dispositivo solo puede llevar la señal a un nivel y la resistencia se encarga del nivel opuesto. En la práctica, cuando se usa un pulsador con pull-up, la entrada permanece en 1 mientras el botón no se presiona y pasa a 0 al presionarlo, evitando estados indefinidos. Los valores típicos de estas resistencias dependen de la tecnología: en TTL suelen ser menores (aproximadamente 1 kΩ a 4.7 kΩ) debido a mayores corrientes de entrada, mientras que en CMOS pueden ser mayores (4.7 kΩ hasta 100 kΩ) porque las corrientes son muy bajas. En resumen, los circuitos pull-up y pull-down garantizan niveles lógicos estables y confiables en sistemas digitales.

## **11. Investigue que es un circuito disparador Schmitt (Schmitt trigger). Revise las características técnicas del circuito 74\*14.**

Es un circuito comparador que permite pasar una señal analógica (Limpia o ruidosa) a una digital, donde este varía a un estado alto y a un estado bajo mediante el principio de histéresis. Ejemplo; el circuito disparador contará con 2 niveles de referencia, si la señal entrante alcanza o supera el umbral superior, la señal de salida sufre de un cambio, ejemplo pasa de 0V a 5V, en caso contrario si la señal entrante alcanza o supera el límite inferior, la señal de salida igualmente sufrirá de un cambio, ejemplo de 5V a 0V.

El circuito 74\*14 es un circuito integrado el cual contiene 6 inversores de tecnología CMOS con disparador Schmitt, este permite limpiar señales entrantes de transiciones lentas.

## **12. Investigue en qué consiste la modulación de ancho de pulso (PWM).**

La Modulación por Ancho de Pulso (PWM) es un método de control que reduce la potencia promedio de una señal eléctrica aplicada, dividiéndola eficientemente en partes diferenciadas. La PWM controla la amplitud promedio de una señal analógica mediante una fuente digital.

**13. Investigue que es el efecto de rebote y típicos circuitos anti-rebote (debouncing circuits)**

Al presionar un pulsador, un interruptor de palanca o un microinterruptor, dos piezas metálicas entran en contacto y cortocircuitan la alimentación. Sin embargo, no se conectan instantáneamente; se conectan y desconectan varias veces antes de que se establezca la conexión estable. Lo mismo ocurre al soltar el botón. Esto provoca una falsa activación o una activación múltiple, como si se presionara el botón varias veces. Se puede crear un debouncer de hardware sencillo con componentes pasivos. El uso de un filtro de resistencia-condensador con un diodo disparador Schmitt puede suavizar la transición a una curva. Se puede lograr un antirrebote digital con un pestillo de ajuste/reinicio. Existen circuitos integrados específicos para antirrebote de interruptores y botones que se pueden añadir a un diseño.

**14. Explique que es el modelado de comportamiento y de estructura en diseño digital. Brinde un ejemplo de cada uno**

En diseño digital existen distintas formas de describir un circuito. El modelado de comportamiento consiste en describir lo que el sistema hace, es decir, la relación entre sus entradas y salidas, sin detallar cómo está construido internamente. Se enfoca en la función lógica del circuito y utiliza expresiones, ecuaciones o instrucciones que representan su operación. Por ejemplo, en un sumador de 1 bit se puede indicar que la salida de suma es  $S = A + B$  y el acarreo es  $C = A \cdot B$ . Aquí solo se está definiendo el resultado lógico que debe producir el sistema, sin especificar qué compuertas físicas lo implementan.

Por otro lado, el modelado estructural describe cómo está construido el circuito, es decir, qué componentes lo conforman y cómo están conectados entre sí. En este caso sí se detallan las compuertas lógicas, módulos o bloques utilizados. Siguiendo el mismo ejemplo del sumador de 1 bit, el modelado estructural indicaría que se utiliza una compuerta XOR para generar la suma y una compuerta AND para generar el acarreo, además de mostrar cómo se conectan las entradas A y B a cada compuerta. En resumen, el modelado de comportamiento describe la función del sistema, mientras que el modelado estructural describe su implementación física.

**15. Explique el proceso de síntesis lógica en el diseño de circuitos digitales, tanto para el desarrollo de un ASIC como para una FPGA.**

La síntesis lógica es el proceso mediante el cual una descripción del circuito se transforma en una implementación física compuesta por compuertas lógicas reales o bloques programables. Básicamente, convierte una descripción abstracta del comportamiento en hardware que puede fabricarse o configurarse.

En el desarrollo de un ASIC, la síntesis toma el código HDL y lo traduce a una red de compuertas lógicas estándar disponibles en una biblioteca tecnológica específica del fabricante. El proceso incluye optimización de área, consumo de potencia y velocidad, según las restricciones de diseño. Luego, esa red lógica pasa a etapas posteriores como placement, routing, verificación y finalmente fabricación del chip. En ASIC, la síntesis es crítica porque el resultado será un circuito físico permanente que no se puede modificar después de fabricado.

En el caso de una FPGA , la síntesis también parte de una descripción en HDL, pero en lugar de generar una red de compuertas físicas personalizadas, la herramienta traduce el diseño a LUTs, flip-flops y recursos internos específicos del dispositivo. Luego se realiza el mapeo, ubicación y enrutamiento dentro de la FPGA, generando finalmente un bitstream que programa el dispositivo. A diferencia del ASIC, la FPGA puede reprogramarse múltiples veces, lo que facilita correcciones y prototipado.

**16. Investigue sobre la tecnología de FPGAs. Describa el funcionamiento de la lógica programable en general, así como los componentes básicos de una.**

La lógica programable en una FPGA funciona mediante una matriz de bloques configurables que pueden realizar diferentes funciones lógicas según cómo se programen. El diseñador describe el sistema usando un lenguaje de descripción de hardware como VHDL o Verilog, y las herramientas de síntesis traducen esa descripción a configuraciones internas del dispositivo. Al cargarse el archivo de configuración, se activan conexiones internas que determinan qué función realiza cada bloque y cómo se interconectan entre sí. En esencia, la FPGA no cambia físicamente su estructura, sino que modifica electrónicamente sus conexiones internas.

Los componentes básicos de una FPGA incluyen bloques lógicos configurables, que contienen tablas de búsqueda (LUTs) para implementar funciones booleanas y flip-flops para almacenar información y construir circuitos secuenciales. También posee

una red de interconexión programable que permite enlazar los distintos bloques entre sí, y bloques de entrada/salida que permiten comunicar la FPGA con el exterior.

## **17. Investigue sobre el protocolo UART y cómo se implementará la sección de TX.**

El UART (Universal Asynchronous Receiver-Transmitter) es un protocolo de comunicación serial asíncrono ampliamente utilizado para la transmisión de datos entre dispositivos digitales. Se denomina asíncrono porque no utiliza una señal de reloj compartida entre emisor y receptor; en su lugar, ambos deben configurarse previamente con la misma velocidad de transmisión (baud rate). La comunicación se realiza bit por bit a través de una sola línea de transmisión (TX) y una de recepción (RX), siguiendo un formato definido que incluye un bit de inicio, un conjunto de bits de datos (generalmente 8), un bit opcional de paridad y uno o más bits de parada.

La transmisión en UART comienza cuando la línea TX, que normalmente permanece en nivel lógico alto (estado de reposo), envía un bit de inicio en nivel bajo. Esto indica al receptor que comienza una trama de datos. A continuación, se transmiten los bits de datos desde el menos significativo (LSB) hasta el más significativo (MSB). Finalmente, se envía el bit de parada en nivel alto, que marca el final de la trama y devuelve la línea al estado de reposo. Todo esto ocurre respetando el tiempo determinado por el baud rate, que define la duración de cada bit.

Para implementar la sección de TX en un diseño digital, se requiere principalmente un generador de baud rate, un registro de desplazamiento y una máquina de estados. El generador de baud rate divide la frecuencia del reloj principal para obtener el período correspondiente a cada bit transmitido. El registro de desplazamiento almacena el dato a enviar y lo desplaza un bit por cada pulso de baud rate. La máquina de estados controla la secuencia de transmisión: primero envía el bit de inicio, luego los bits de datos, y finalmente el bit o bits de parada. Cuando todos los bits han sido enviados, el sistema regresa al estado de reposo y queda listo para transmitir un nuevo dato. De esta manera, la sección TX convierte datos paralelos internos en una secuencia serial compatible con el protocolo UART.