

--esim1 komponenttien kytkeminen VHDL

library ieee;

use ieee.std_logic_1164.all;

--oorin kuvaus voisi olla tässä, jos sitä ei entuudestaan

-- ole work-kirjastossa

entity iso_oori is

port(AA, BB, CC, DD: in std_logic; YY: out std_logic);

end iso_oori;

architecture toiminta of iso_oori is

component oor --oor komponentin nimi

port(A, B: in std_logic; Y: out std_logic);

end component; --komponentin esittely

signal S1, S2: std_logic; --"lankaa käyttöön"

begin

O1: oor port map (A=>AA, B=>BB, Y=>S1); --(AA, BB, S1)

O2: oor port map (A=>CC, B=>DD, Y=>S2);

O3: oor port map (A=>S1, B=>S2, Y=>YY);

end toiminta;

-- oorin kuvaus jos sitä ei olisi

entity oor is

port(A, B: in std_logic; Y: out std_logic);

end oor;

architecture toiminta of oor is

begin

process(A, B)

begin

Y<=A or B;

end process;

end toiminta;

```

--esim2, harjoitus 10/teht3
library ieee;
use ieee.std_logic_1164.all;
    --tähän väliin komponenttikuvauksia
entity harj3 is
    port(A, B, C, D: in std_logic; Y: out std_logic);
end harj3;

architecture toiminta of harj3 is
    component oor
        port(X, Y: in std_logic; Z: out std_logic);
    end component;
    component andi
        port(X, Y: in std_logic; Z: out std_logic);
    end component;
    signal S1, S2: std_logic; --"lankaa käyttöön"
begin
    A1: andi port map (X=>A, Y=>B, Z=>S1);
    A2: andi port map (X=>C, Y=>D, Z=>S2);
    O1: oor port map (X=>S1, Y=>S2, Z=>Y);
end toiminta;

```

```

-- oorin kuvaus jos sitä ei olisi
entity oor is
    port(X, Y: in std_logic; Z: out std_logic);
end oor;
architecture toiminta of oor is
begin
    process(X, Y)
    begin
        Z<=X or Y;
    end process;
end toiminta;

```

```

-- andin kuvaus jos sitä ei olisi
entity andi is
    port(X, Y: in std_logic; Z: out std_logic);
end andi;
architecture toiminta of andi is
begin
    process(X, Y)
    begin
        Z<=X and Y;
    end process;
end toiminta;

```

