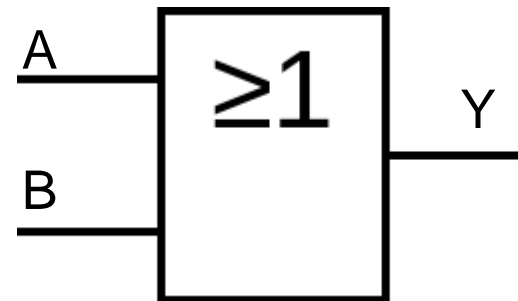


VHDL-kieli

```
library ieee;  
use ieee.std_logic_1164.all;  
entity oor is  
  port( A, B: in std_logic; Y: out std_logic);  
end oor;
```

```
Architecture toiminta of oor is  
begin  
  process (A,B)  
  begin  
    Y<=A or B;  
  end process;  
end toiminta;
```



Luennoitsija

Timo Vainio

- Sähköposti: timo.vainio@oamk.fi
- Puh. +358 503174922
- Huone 3350

Kurssisisältö

- VHDL:n kielen rakenne
- VHDL-kielen käyttö logiikkasuunnittelussa

Suoritusvaatimukset

- Harjoitustyö ja harjoitukset (100%)