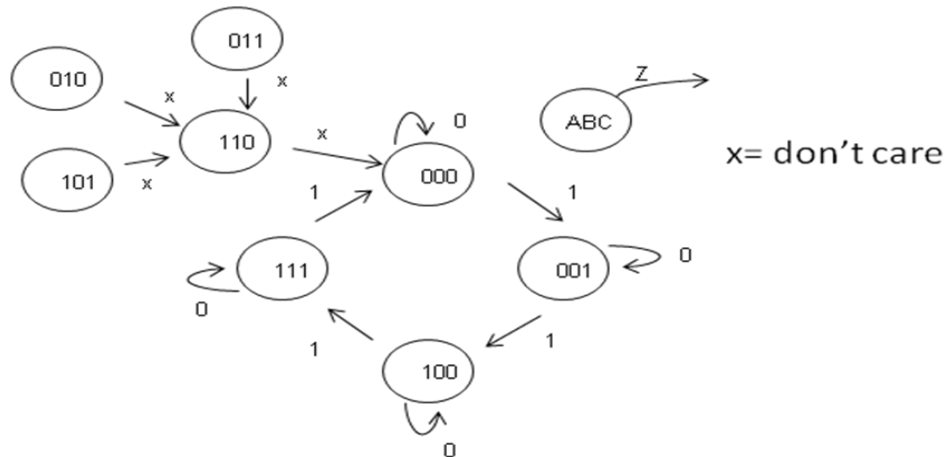
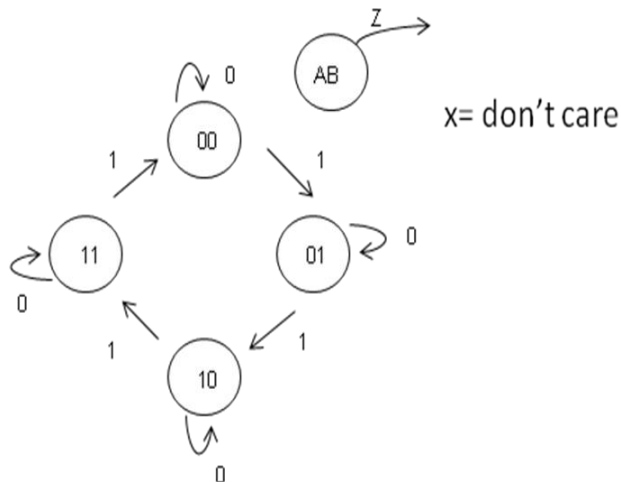


Laboratoriotyö 2

1. Suunnittele seuraavan sekvenssin toteuttava piiri **JK-kiikuilla**. Piirrä piirikaavio Quartus-ohjelmalla. Käytä kellosignaalina kytkintä. Käännä ja lataa kytkentä kokeilukorttiin. Mieti muut sopivat liittynät testausta varten. Testaa kytkennän toiminta.



2. Tee symboli oheisesta VHDL –kuvauksesta symboli Quartukseen. Liitä symboli kytkimille ja ledeille. Testaa kytkennän toiminta. Vertaa vastaako kuvaus oheista sekvenssiä.



```
library ieee;
use ieee.std_logic_1164.all;
entity ylosalas is
    port( CLK, Z: in std_logic; A,B: out std_logic);
end ylosalas;
```

```
architecture toiminta of ylosalas is
begin
    process (CLK, Z)
        variable apu: std_logic_vector(1 downto 0); --0 to 1
    begin
        if (CLK='1' and CLK'event) then
            if (Z='1') then
                if (apu="00") then apu:="01";
                elsif (apu="01") then apu:="10";
                elsif (apu="10") then apu:="11";
                else apu:="00";
            end if;
            else
                if (apu="11") then apu:="10";
                elsif (apu="10") then apu:="01";
                elsif (apu="01") then apu:="00";
                else apu:="11";
            end if;
        end if;
        A<=apu(1);
        B<=apu(0);
    end process;
end toiminta;
```

