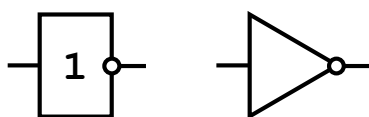


Логические элементы

Для условного представления цифровых схем используют систему, принятую Международной Электротехнической Комиссией (МЭК) и применяемую в России в качестве стандарта, а также американскую систему Milspec, которая часто встречается в зарубежной специальной литературе.

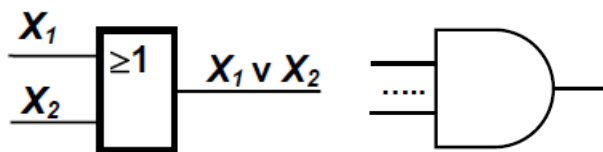
Простейшие схемы, работа которых может быть описана с помощью основных операций алгебры логики, называются логическими элементами. В системе, принятой МЭК, схема логического элемента обозначается в виде прямоугольника с одним или несколькими входами и одним выходом. Входы соответствуют аргументам функции, а выход — значению функции.

Элемент НЕ



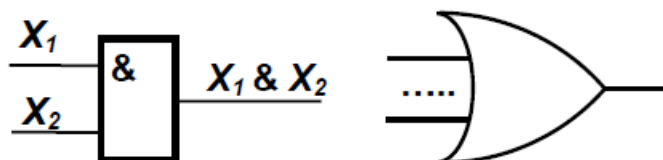
Элемент 2ИЛИ

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

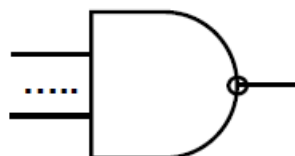
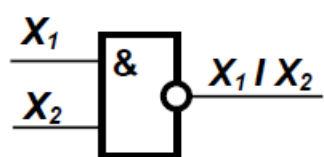


Элемент 2И

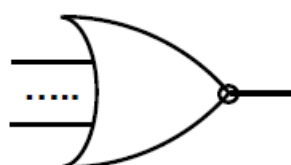
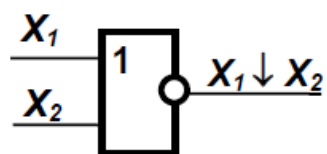
x_1	x_2	y
0	0	0
0	1	0
1	0	0
1	1	1



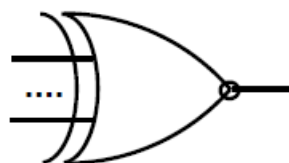
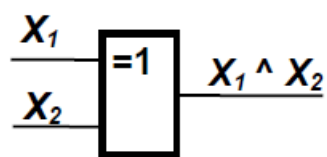
2И-НЕ



2ИЛИ-НЕ



Исключающее ИЛИ



Логическая информация (0 и 1) может быть физически представлена несколькими способами: потенциальным, импульсным, динамическим. Наибольшее распространение в электронике получил **потенциальный** способ, при котором уровням логической единицы и логического нуля соответствуют определенные фиксированные напряжения (потенциалы). Логической единице соответствует напряжение, называемое напряжением **высокого логического уровня** (например 4,5 В), а логическому нулю — напряжение **низкого логического уровня** (например 0,1 В). Для простоты чаще всего под напряжением высокого логического уровня подразумевают положительное напряжение питания цифровой (логической) микросхемы (2,5 В; 3,3 В; 5 В; 15 В), а под напряжением низкого логического уровня отрицательное напряжение питания цифровой микросхемы (0 В).

Схемотехнические решения логических элементов

Диодно-транзисторная логика (ДТЛ)

Наиболее простой логический элемент получается при помощи диодов. Схема базового логического элемента диодной логики приведена на рисунке 1.

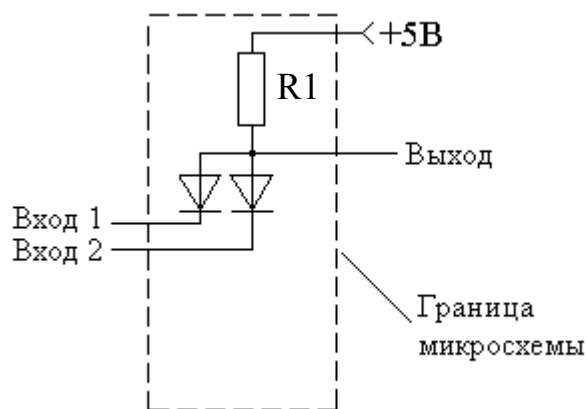


Рисунок 1. Принципиальная схема базового логического элемента 2И, выполненного на диодах

Количество входов логического элемента И зависит от количества диодов. Если использовать два диода, то получится логический элемент 2И, если три диода — то логический элемент 3И, если четыре диода, то логический элемент 4И, и так далее. В микросхемах средней интеграции выпускается максимальный логический элемент 8И.

В данной схеме при подаче нулевого потенциала на любой из входов (или на оба сразу) через резистор R1 будет протекать ток, и на его сопротивлении возникнет падение напряжения. Так как сопротивление открытого диода мало (существенно меньше R1), то низкий потенциал со входа через открытый диод будет передаваться на выход. Диоды, подключенные к входам, на которые действует высокий уровень напряжения, оказываются закрытыми. Таким образом, если хотя бы на одном из входов действует напряжение низкого уровня, то на выходе элемента образуется напряжение низкого уровня.

Пусть на всех входах действуют напряжения высокого уровня. При этом будут открыты все диоды и напряжение высокого уровня будет передаваться на

выход. В результате на выходе логического элемента будет присутствовать высокий уровень напряжения только если подать высокие уровни сразу на все входы микросхемы. То есть приведенная схема базового логического элемента реализует функцию 2И.

Рассмотрим форму выходного импульса (рис.2.5).

Будем считать, что к выходу подключен некоторый эквивалентный емкостной элемент $C_{\text{эк}}$, емкость которого включает в себя емкости нагрузки, монтажа и закрытых диодов. В момент подачи импульса напряжения одновременно на все входы напряжение на $C_{\text{эк}}$ (на выходе элемента) не может возрасти скачком. Конденсатор $C_{\text{эк}}$ заряжается от источника питания через резистор R . Напряжение на конденсаторе (а значит и на выходе элемента) растет по экспоненциальному закону с постоянной времени $t_{\text{нар}} = RC_{\text{эк}}$ (рис. 2.5,б). В момент времени, когда $u_{\text{вых}}$ превысит минимальное из входных напряжений, откроется соответствующий диод и рост $u_{\text{вых}}$ прекратится. Ток от источника питания, ранее замыкавшийся через $C_{\text{эк}}$, переключается в цепь открытого диода.

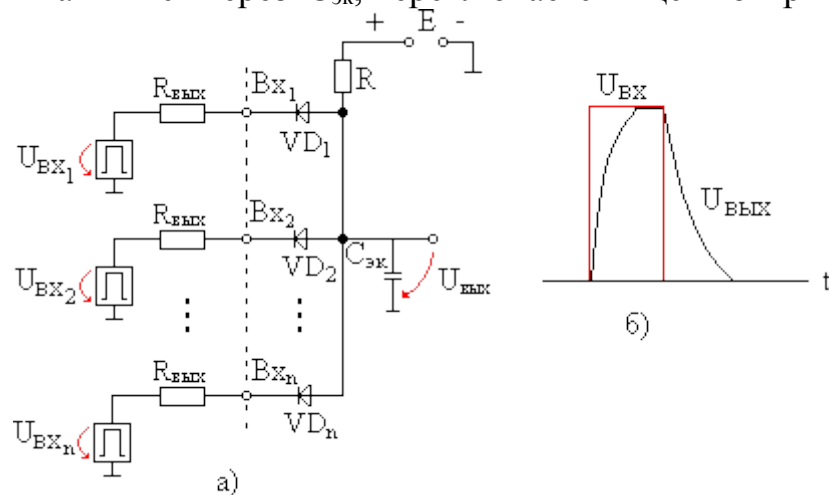


рис. 2.5.

В момент окончания входных импульсов все диоды открываются и происходит быстрый разряд $C_{\text{эк}}$ через открытые диоды и малые выходные сопротивления источников входных сигналов. Напряжение на выходе снижается по экспоненциальному закону с малой постоянной времени $t_{\text{сп}} \ll t_{\text{нар}}$.

Приведенная схема логического элемента И обладает таким недостатком, как смещение логических уровней на ее выходе. Напряжение нуля и напряжения единицы на выходе схемы выше входных уровней на 0.7 В. Это вызвано падением напряжения на входных диодах. Скомпенсировать это смещение уровней можно диодом, включенном на выходе схемы диодного логического элемента, как это показано на рисунке 2.

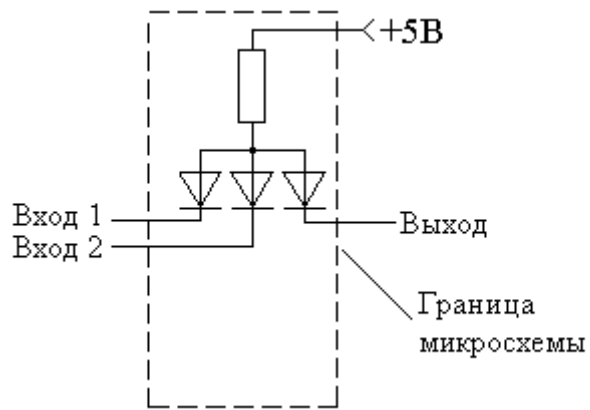


Рисунок 2. Принципиальная схема усовершенствованного логического элемента 2И, выполненного на диодах

В схеме логического элемента, приведенной на рисунке 2 логические уровни на входе и выходе схемы одинаковы.

Аналогично строится схема логического элемента ИЛИ на диодах (рис. 2.2).

Если потенциал высокого уровня действует лишь на одном или нескольких входах, то открываются подключенные к этим входам диоды и высокий потенциал передается через открытые диоды на резистор R , на котором образуется положительное напряжение, запирающее остальные диоды.

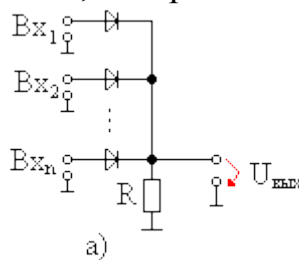


рис. 2.2.

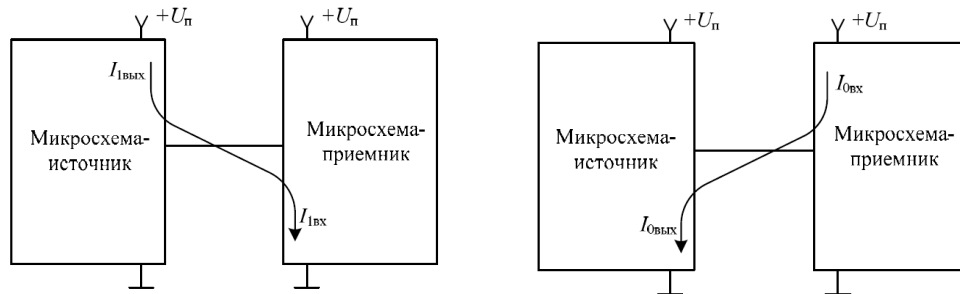
Сопротивление открытых диодов мало по сравнению с сопротивлением резистора R , поэтому уровень выходного напряжения будет близок к уровню входного сигнала независимо от того, на скольких входах одновременно действует сигнал высокого уровня.

Если на всех входах имеется потенциал низкого уровня, то все диоды оказываются закрытыми, и напряжение низкого логического уровня передается через резистор R на выход схемы.

Таким образом, на выходе элемента образуется сигнал, соответствующий лог.1, если хотя бы на одном из входов действует лог.1. Следовательно, элемент реализует операцию ИЛИ.

Рассмотрение динамических характеристик данной схемы аналогично схеме логического элемента И, однако поскольку заряд эквивалентной емкости $C_{эк}$ происходит через малое сопротивление диодов, а разряд — через большое сопротивление R , то время нарастания сигнала будет существенно меньше времени спада $t_{сп} \gg t_{нар}$ (в противоположность процессам в схеме логического И).

К сожалению приведенные схемы логических элементов не могут соединяться последовательно, т. к. вырабатывают выходной ток только одного направления (в схеме логического И только вытекающий ток), а для следующего каскада требуется как вытекающий так и втекающий выходной ток схемы.



Кроме того, мощность сигнала при распространении по схеме уменьшается, т.е. схема не обладает усилением. В результате логические сигналы при распространении в таких схемах будут затухать и схемы не могут каскадироваться. Поэтому к схеме диодного логического элемента И обычно подключается инвертор на биполярных транзисторах, который выполняет роль усилителя сигнала.

Транзисторный элемент НЕ (инвертор)

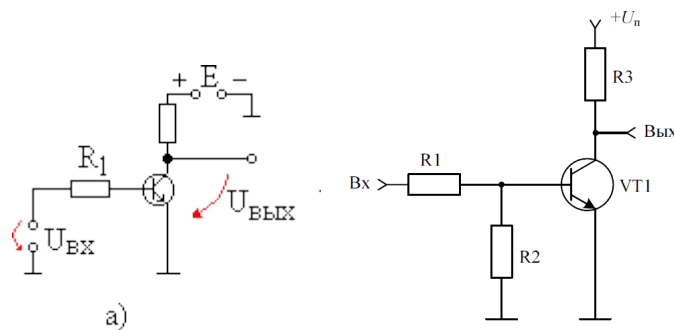


рис. 2.6.

Операция НЕ может быть реализована ключевым элементом, представленным на рис. 2.6,а. При низком уровне входного сигнала, транзистор закрыт, на его выходе устанавливается напряжение высокого уровня Е (лог1). И наоборот, при высоком уровне входного напряжения (уровне лог.1) транзистор полностью открыт, на его выходе устанавливается напряжение, близкое к нулю (уровня лог.0).

Элемент И-НЕ диодно-транзисторной логики (ДТЛ)

Схема интегрального элемента И-НЕ типа ДТЛ показана на рис. 2.7. Элемент может быть разбит на две последовательно включенные функциональные части. Входные величины подаются на часть, представляющую собой диодный логический элемент И. Вторая часть элемента, выполненная на транзисторе, представляет собой инвертор, выполняющий операцию НЕ.

Если на всех входах элемента действует напряжение высокого уровня, то закрываются все диоды на входах, ток через резистор R1 и диод VD проходит в базу транзистора, который открывается, и на выходе схемы образуется напряжение низкого уровня.

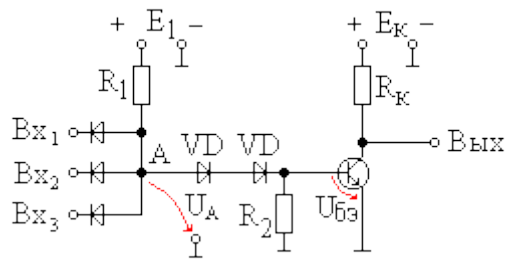


рис. 2.7.

Если же хотя бы на одном из входов будут действовать напряжение низкого уровня, то ток от источника питания течет через резистор R_1 и открытый входной диод. Поскольку сопротивление открытого диода значительно меньше сопротивления R_1 в точке А образуется напряжение низкого уровня, а диод VD обеспечивает дополнительное смещение напряжения на базе транзистора, приводя его к напряжению низкого уровня на входе. Таким образом транзистор оказывается закрытым и на выходе элемента образуется напряжение высокого уровня. Резистор R_2 необходим для протекания тока через диод VD, поскольку транзистор закрыт и ток через его базу не течет.

Главный недостаток данной схемы — сопротивление (нагрузка), подключенное к коллектору транзистора, на котором будет рассеиваться мощность при подаче на выход данной схемы напряжения высокого уровня. Поэтому в реальных логических микросхемах И-НЕ используют транзисторную нагрузку вместо сопротивления, обычно в виде двухтактного транзисторного усилителя.

Логический элемент И-НЕ с двухтактным усилителем на выходе используется во многих современных сериях микросхем. Не следует удивляться тому, что эти микросхемы считаются ТТЛ микросхемами (схемотехника будет рассмотрена дальше). Данные микросхемы на самом деле ведут себя как ТТЛ микросхемы (обладают входными и выходными токами, совместимыми с ТТЛ микросхемами и воспринимают не ДТЛ, а ТТЛ логические уровни), но при этом внутри они реализованы по схеме ДТЛ логических элементов.

На основе базового элемента ДТЛ строится и инвертор. В этом случае на входе используется только один диод.

В состав современных серий микросхем кроме логических элементов И-НЕ входят логические элементы ИЛИ-НЕ, которые строятся по аналогичным схемам соединения ДТЛ логик ИЛИ с транзисторным инвертором (двухтактным усилителем).

Элемент И-НЕ транзисторно-транзисторной логики (ТТЛ)

Основная схема элемента, приведенная на рис.2.9, как и рассмотренная выше схема элемента ДТЛ, состоит из двух последовательно включенных функциональных частей: схемы, выполняющей операцию И, и схемы инвертора. Отличительная особенность построения схемы И в элементе ТТЛ состоит в том, что в ней использован один многоэмиттерный транзистор МТ, заменяющий группу входных диодов схемы ДТЛ. Эмиттерные переходы МТ выполняют роль входных диодов, а коллекторный переход - роль смещающего диода в цепи базы транзистора инвертирующей части схемы элемента.

При рассмотрении принципа работы МТ его можно представить состоящим из отдельных транзисторов с объединёнными базами и коллекторами, как показано на рис.2.9,б.

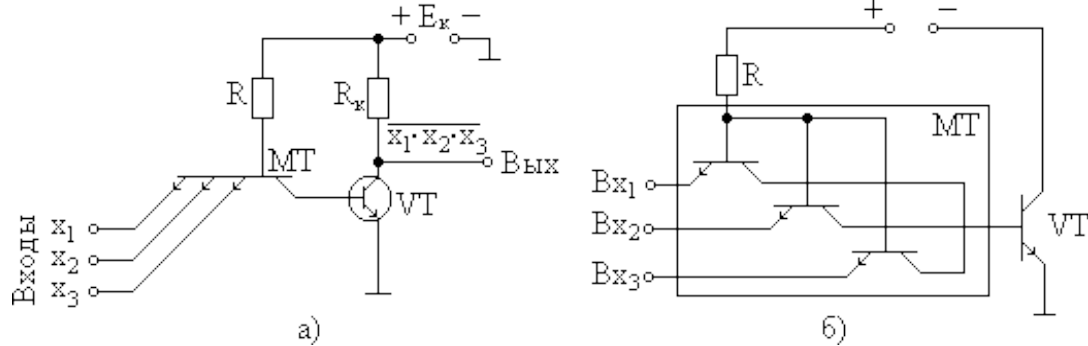


рис. 2.9

Пусть на все входы элемента подано напряжение уровня лог.1 (3,2 В). Возможное при этом распределение потенциалов в отдельных точках схемы приведено на рис.2.10,а. Эмиттерные переходы МТ оказываются смещенными в обратном направлении (потенциалы эмиттеров выше потенциалов базы), коллекторный переход МТ, наоборот, смещен в прямом направлении (потенциал коллектора ниже потенциала базы). Таким образом, МТ можно представить транзисторами, работающими в активном режиме с инверсным включением (в таком включении эмиттер и коллектор меняются ролями). Многоэмиттерный транзистор выполняется таким образом, чтобы его коэффициент усиления в инверсном включении был много меньше единицы. Поэтому эмиттеры отбирают от источников входных сигналов малый ток (в отличие от элементов ДТЛ, где этот ток через закрытые входные диоды практически равен нулю). Базовый ток МТ через коллекторный переход втекает в базу транзистора VT, удерживая последний в режиме насыщения. На выходе устанавливается напряжение низкого уровня (лог.0).

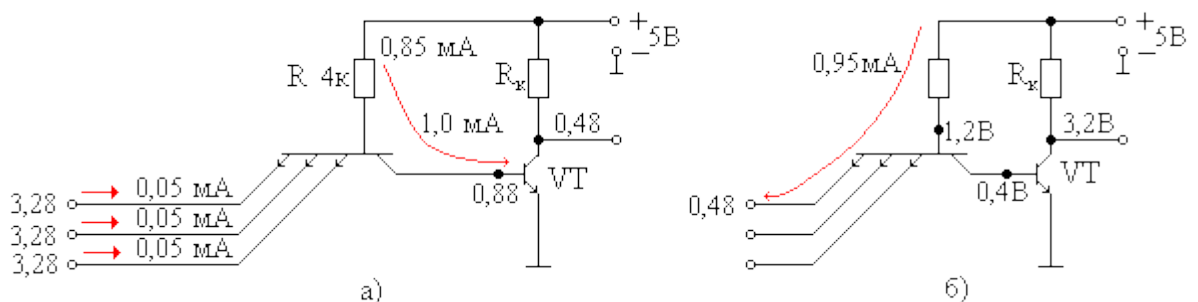


рис. 2.10.

Рассмотрим другое состояние схемы. Пусть хотя бы на одном из входов действует напряжение уровня лог.0. Возникающее при этом распределение потенциалов показано на рис.2.10,б. Потенциал базы МТ выше потенциала эмиттера и коллектора. Следовательно, оба перехода, эмиттерный и коллекторный, смещены в прямом направлении и МТ находится в режиме насыщения. Весь базовый ток МТ замыкается через эмиттерные переходы. Напряжение между эмиттером и коллектором близко к нулю, и действующий на эмиттере низкий уровень напряжения через МТ передается на базу транзистора VT. Транзистор VT закрыт, на выходе высокий уровень напряжения (уровень лог.1). При этом практически весь базовый ток МТ замыкается через смещенный в прямом направлении эмиттерный переход МТ.

В ТТЛ схемах для реализации логического элемента "2И" вместо параллельного соединения диодов используется многоэмиттерный транзистор. Физика работы этого логического элемента не отличается от работы диодного логического элемента "2И". Высокий потенциал на выходе многоэмиттерного транзистора получается только в том случае, когда на обоих входах логического элемента (эмиттерах транзистора) присутствует высокий потенциал (то есть нет эмиттерного тока). Принципиальная схема базового логического элемента ТТЛ микросхемы приведена на рисунке 1.

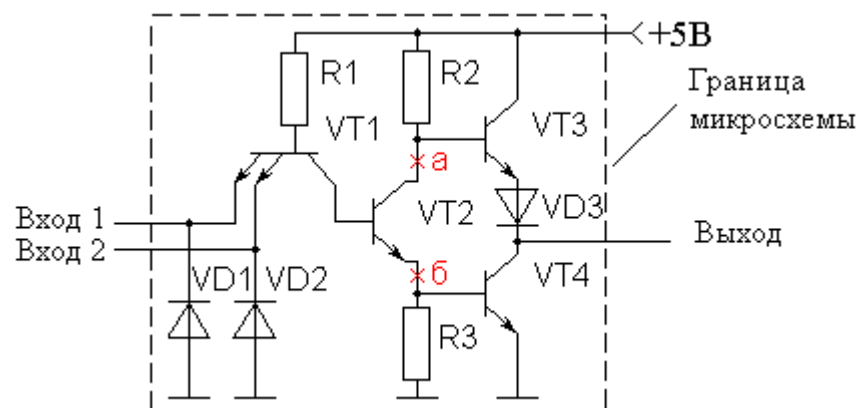


Рисунок 1. Принципиальная схема базового логического элемента ТТЛ микросхемы

Умощняющий усилитель, как и в диодно-транзисторном элементе, инвертирует сигнал на выходе схемы логического элемента. По такой схеме выполнены базовые логические элементы ТТЛ микросхем серий 155, 131, 155 и 531. Схемы "И-НЕ" в этих сериях микросхем обычно имеет обозначение ЛА. Например, схема К531ЛА3 содержит в одном корпусе четыре логических элемента "2И-НЕ". На основе базового логического элемента строится и инвертор. В этом случае на входе схемы используется только один диод. Схема ТТЛ инвертора приведена на рисунке 3.

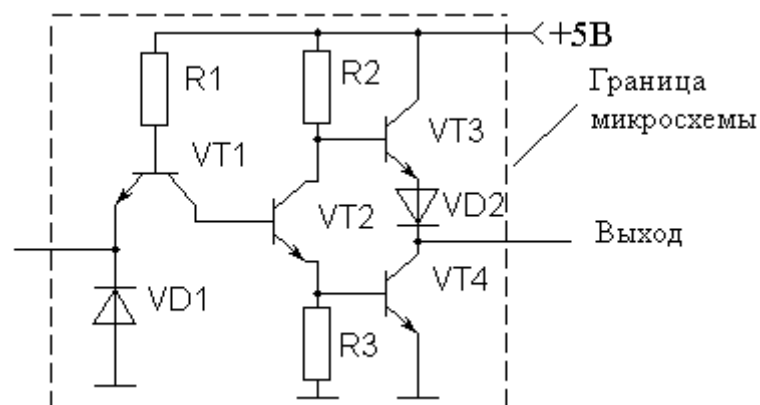


Рисунок 3. Принципиальная схема инвертора ТТЛ микросхемы

Так как в современных схемах ТТЛ и в схемах ДТЛ используется одинаковый выходной усилитель, то и уровни логических сигналов в этих схемах одинаковы. Поэтому часто говорят, что это ТТЛ микросхемы, не уточняя по какой схеме выполнен входной каскад этих микросхем. Тем самым подчеркивается отличие этих микросхем от старых ДТЛ серий микросхем с повышенным напряжением питания. Более того! Появились КМОП микросхемы, совместимые с ТТЛ микросхемами по логическим уровням, например К1564 (иностранный аналог SN74HCT) или К1594 (иностранный аналог SN74ACT).

Логические уровни ТТЛ микросхем

В настоящее время применяются два вида ТТЛ микросхем — с пяти и с трёхвольтовым питанием, но, независимо от напряжения питания микросхем, логические уровни нуля и единицы на выходе этих микросхем совпадают. Поэтому дополнительного согласования между ТТЛ микросхемами обычно не требуется. Допустимый уровень напряжения на выходе цифровой ТТЛ микросхемы показан на рисунке 6.

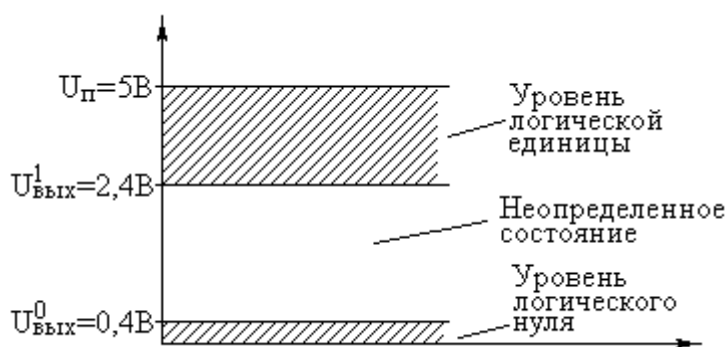


Рисунок 6. Уровни логических сигналов на выходе цифровых ТТЛ микросхем

Как уже говорилось ранее, напряжение на входе цифровой микросхемы по сравнению с выходом обычно допускается в больших пределах. Границы уровней логического нуля и единицы для ТТЛ микросхем приведены на рисунке 7.

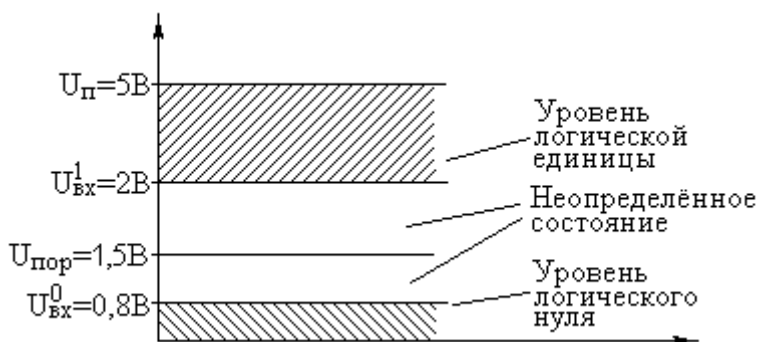


Рисунок 7. Уровни логических сигналов на входе цифровых ТТЛ микросхем

Семейства ТТЛ микросхем

Первые ТТЛ микросхемы оказались на редкость удачным решением, поэтому их можно встретить в аппаратуре, работающей до сих пор. Это семейство микросхем серии К155. Стандартные ТТЛ микросхемы — это микросхемы, питающиеся от источника напряжения +5 В. Зарубежные ТТЛ микросхемы получили название SN74. Конкретные микросхемы этой серии обозначаются цифровым номером микросхемы, следующим за названием серии. Например, в микросхеме SN74S00 содержится четыре логических элемента "И-НЕ". Аналогичные микросхемы с расширенным температурным диапазоном получили название SN54 (отечественный вариант — серия микросхем К133).

Отечественные микросхемы, совместимые с SN74 выпускались в составе серий К134 (низкое быстродействие низкое потребление — SN74L), К155 (среднее быстродействие среднее потребление — SN74) и К131 (высокое быстродействие и большое потребление). Затем были выпущены микросхемы повышенного быстродействия с диодами Шоттки. В названии зарубежных микросхем в обозначении серии появилась буква S. Отечественные серии микросхем сменили цифру 1 на цифру 5. Выпускаются микросхемы серий К555 (низкое быстродействие низкое потребление — SN74LS) и К531 (высокое быстродействие и большое потребление — SN74S).

В настоящее время отечественная промышленность производит микросхемы серий К1533 (низкое быстродействие низкое потребление — SN74ALS) и К1531 (высокое быстродействие и большое потребление — SN74F)

Основы схемотехники логических элементов, реализуемых по КМОП -технологии .

Физически, логические элементы могут быть реализованы различными способами. Например на принципах ,использующих законы квантовой физики – электроны в атоме могут занимать различные ,но строго фиксированные орбиты и переход электрона с одной орбиты на другую может создавать сигнал равный 0 или 1.

Однако с современной массовой технологии реализации логических элементов преобладает полупроводниковая , транзисторная .

Микросхемой называют несколько элементов, конструктивно реализованных в одном корпусе.

КМОП логические элементы выполнены на униполярных или **МОП** (металл – окисел – полупроводник) транзисторах, обычно на **комплементарных(КМОП)** парах МОП транзисторов с **p** и **n** каналами. Никаких других элементов в таких микросхемах нет. В результате технология производства микросхем этого типа оказывается очень простой. Практически все современные цифровые микросхемы, включая микропроцессоры, элементы памяти, программируемые логические интегральные схемы являются КМОП микросхемами.

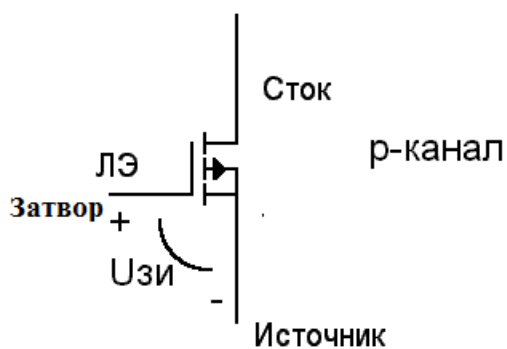
1.4.1. Базовый КМОП инвертор

Базовым элементом любой микросхемы, выпускаемой по КМОП технологии, является инвертор (логический элемент "НЕ"), выполненный на двух последовательно соединенных МОП транзисторов с изолированным затвором. Рассмотрим кратко свойства этих транзисторов. Условное обозначение МОП транзисторов приведено на рис. 1.15. Используемые для обозначения выводов транзистора термины поясняются ниже.

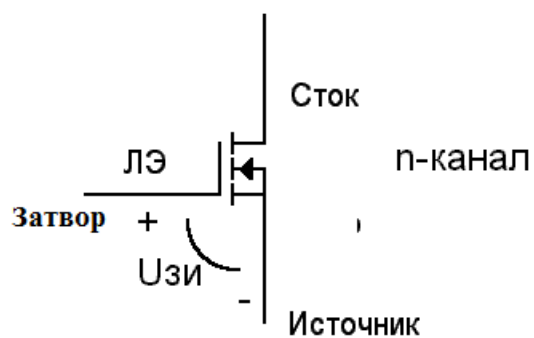
Источник- источник электронов, протекающих через транзистор-

Сток- место , куда электроны стекают,

Затвор- контакт, куда подается управляющий сигнал



Сопротивление Источник - Сток уменьшается с уменьшением $U_{зи}$



Сопротивление Источник - Сток уменьшается с увеличением $U_{зи}$

Рис.

1.15. Условные обозначения МОП транзисторов с каналами р и n типов ($U_{зи}$ -напряжение между Затвором и Источником).

В качестве наглядной модели функционирования МОП транзистора можно представить себе резистор ($R_{си}$), соединяющий источник и сток. Величина сопротивления этого резистора определяется напряжением, поданным на изолированный затвор ЛЭ.

Для МОП транзистора с р-каналом напряжение $U_{зи} \leq 0$, для МОП транзисторов с n-каналом – $U_{зи} \geq 0$.

Если у транзистора с каналом n-типа напряжение $U_{зи} = 0$, то сопротивление между стоком и источником $R_{си}$ очень велико и имеет порядок 1 МОм и больше. С увеличением напряжения на затворе сопротивление $R_{си}$ нелинейно уменьшается до величины 10 Ом и меньше. Это сопротивление зависит от размеров транзистора.

Транзистор с каналом р-типа имеет противоположные свойства. Если у такого транзистора напряжение $U_{зи} = 0$, то сопротивление между стоком и источником $R_{си}$ очень велико и имеет порядок 1 МОм и больше. С уменьшением напряжения на затворе сопротивление $R_{си}$ нелинейно уменьшается до величины 10 Ом и меньше.

Затвор транзистора является изолированным, так как отделен от канала, соединяющего исток и сток, тонким изолирующим слоем окисла. Электроны, собирающиеся на затворе, создают электрическое поле, изменяющее концентрацию электронов в канале, в результате чего и изменяется сопротивление канала МОП транзистора.

Базовая схема КМОП инвертора приведена на **рис. 1.16**. Верхний на схеме МОП транзистор имеет р-канал, нижний транзистор – n-канал. Такие транзисторы, имеющие одинаковые электрические параметры, но разные типы каналов, образуют комплементарную пару. Транзисторы соединены между собой стоками. Исток верхнего транзистора подключен к источнику питания, исток нижнего заземлен. Затворы двух транзисторов объединены и

образуют вход инвертора. Стоки транзисторов подключены к выходу инвертора.

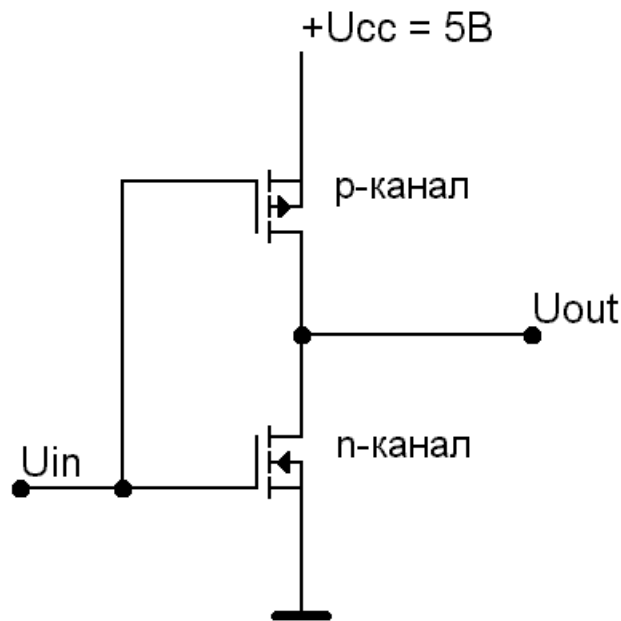


Рис. 1.16. КМОП инвертор, выполненный на МОП транзисторах с р-каналом и n-каналом. Схема работает следующим образом.

1. Пусть входное напряжение $U_{in} = 0$. Тогда нижний транзистор закрыт, так как для него напряжение $U_{зс} = 0$. Верхний транзистор открыт, так как для него напряжение $U_{зс}$ отрицательно (равно -5 В). В результате выходное напряжение $U_{out} = +5$ В.

2. Пусть входное напряжение $U_{in} = +5$ В. Тогда нижний транзистор открыт, так как для него напряжение $U_{зс} = +5$ В. Верхний транзистор закрыт, так как для него $U_{зс} = 0$. В результате $U_{out} = 0$.

В КМОП технологии приняты следующие уровни напряжений (рис. 2.3), соответствующие логическим (цифровым) сигналам лог. "0" и лог. "1".

Рис. 1.17 показывает двойственный характер цифровой схемы. Это, во-первых, обычная аналоговая схема, работающая при подаче на вход *входного напряжения* и вырабатывающей на выходе *выходное напряжение*, соответствующее входному напряжению. Это, во-вторых, цифровая (логическая) схема, выходной сигнал которой может восприниматься как 0 или 1.

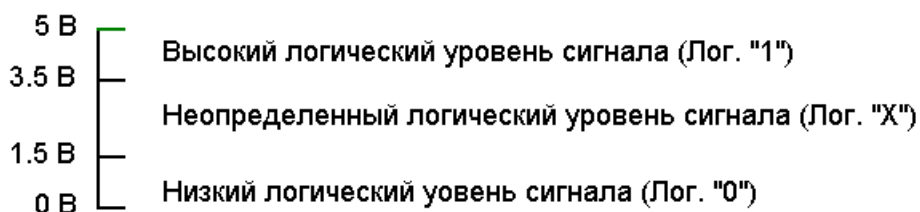


Рис. 1.17. Логические уровни сигналов для КМОП микросхем.

Если **цифровая модель (модель логического уровня)** микросхем уже была рассмотрена выше и для ее описания использовался язык Булевой алгебры и язык описания цифровой аппаратуры VHDL, **то для схемотехнического уровня описания** поведения микросхем на уровне их схемотехнических компонентов типа транзистор, сопротивление, емкость и т.п., используется **язык дифференциальных уравнений**. Для облегчения реализации этих описаний применяются специальные пакеты программ, в которых пользователю предлагается уже готовый набор P-Spice-моделей микросхем [5, 6]). Пользователь получает в процессе моделирования временные аналоговые диаграммы токов и напряжений в исследуемой схеме. Одним из таких пакетов является пакет МИКРОКАП (MicroCap)[5, 6], используемый в лабораторном практикуме МЭИ по курсу Электроника и иногда и по курсу Схемотехника ЭВМ.

1.4.2. Статические характеристики КМОП инвертора.

Рассмотрим работу КМОП схем с точки зрения аналоговой электроники. Подадим на вход КМОП инвертора (**рис. 1.18**) напряжение, линейно возрастающее в диапазоне от 0 до 5 В и построим график напряжения на его выходе.

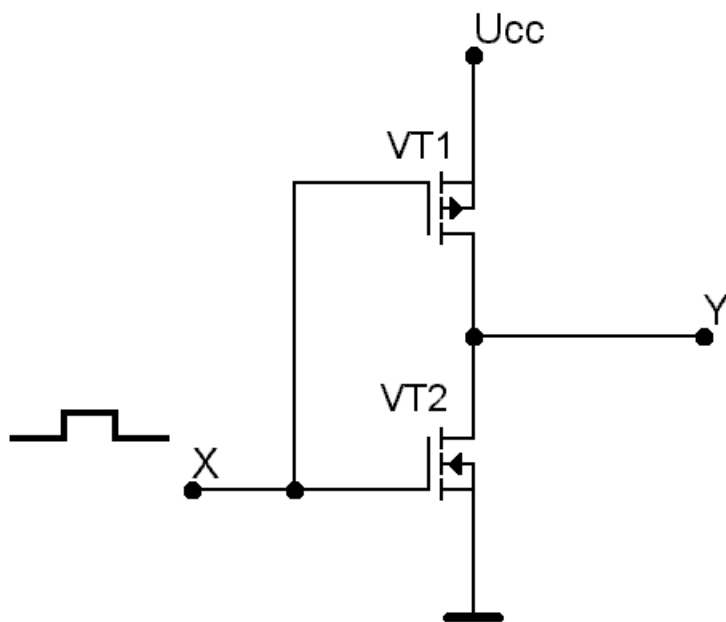


Рис. 1.18. Схема инвертора в режиме холостого хода(без нагрузки).

Характеристика вход – выход инвертора приведена на **рис. 1.19**.

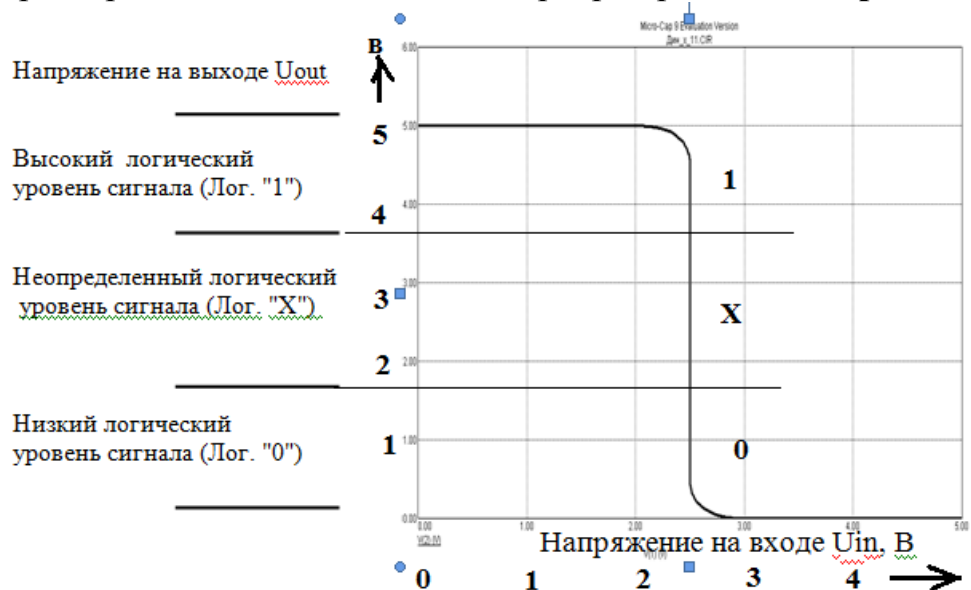


Рис. 1.19.. Характеристика вход – выход КМОП инвертора.

Из графика **рис.1.19** видно, что изменение входного напряжения U_{in} в диапазоне 0 – 1.5 В не изменяет напряжение на выходе U_{out} , при этом выходное напряжение остается в зоне логической "1".

Аналогично, при изменении входного напряжения U_{in} в диапазоне 3.5 – 5 В напряжение на выходе U_{out} не меняется и остается в зоне логического "0". Судя по графику, выходное напряжение остается в зоне логического "0" при изменении входного напряжения от 3 до 5 В.

Базовые КМОП логические элементы И-НЕ и ИЛИ-НЕ.

На базе МОП транзисторов с каналами p и n типов создают многовходовые логические элементы, реализующие функции И-НЕ и ИЛИ-НЕ. В качестве примера приведем двухвходовый логический элемент 2И-НЕ (**рис.1 23**).

Если на входы X_0 и X_1 подать сигналы высокого уровня, то транзисторы VT_2 и VT_3 окажутся открытыми, а транзисторы VT_1 и VT_4 – закрытыми. В результате выход Y окажется подключенным к "земле" (низкому уровню).

Если хотя бы на один из входов X_0 или X_1 будет подан сигнал низкого уровня, то один из последовательно соединенных транзисторов VT_2 и VT_3 окажется закрытым, а хотя бы один из двух соединенных параллельно транзисторов VT_1 и VT_4 окажется открытым. В результате выход Y окажется подключенным к источнику питания U_{cc} (сигналу высокого уровня).

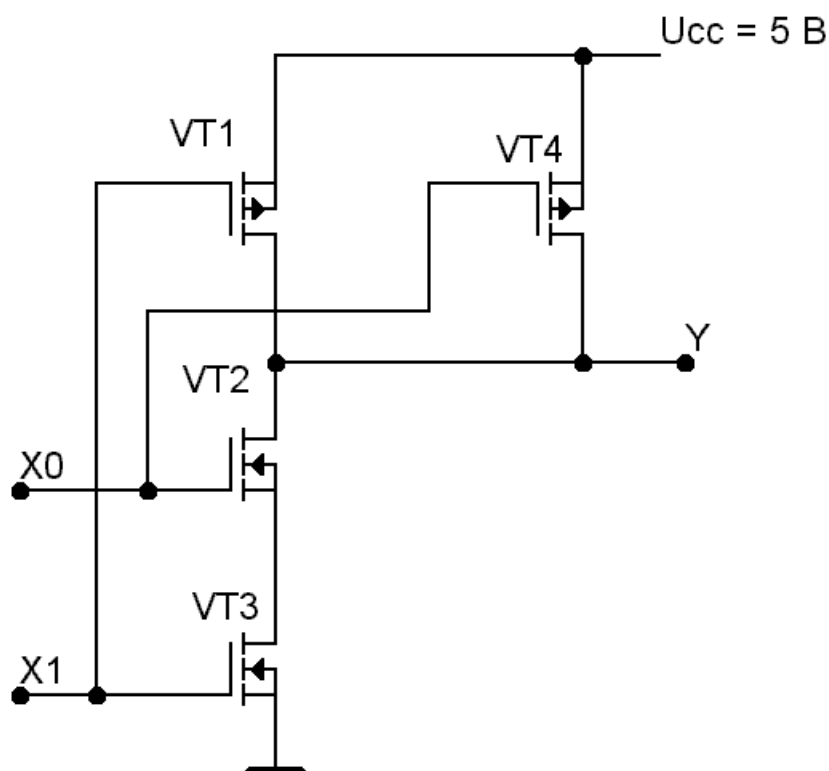


Рис.1. 23. Двухвходовый логический элемент "2И-НЕ".

Схема двухвходового элемента "2ИЛИ-НЕ" приведена на **рис.1. 24.**

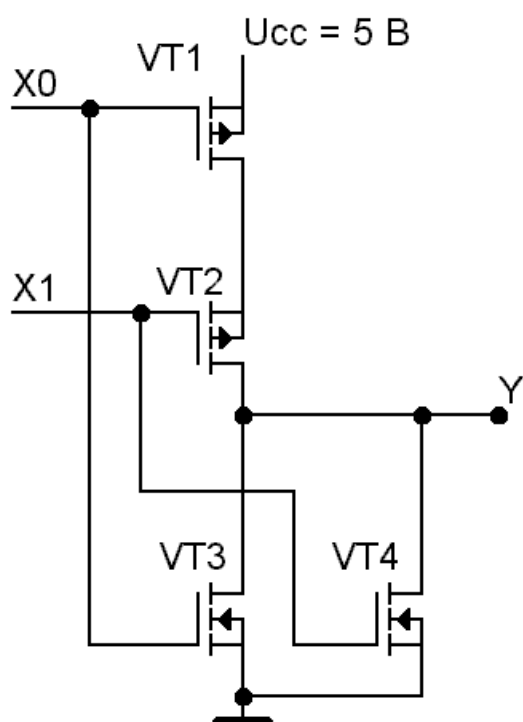


Рис.1. 24. Двухвходовый логический элемент "2ИЛИ-НЕ".

Если на входы X0 и X1 подать сигналы низкого уровня, то транзисторы VT1 и VT2 окажутся открытыми, а транзисторы VT3 и VT4 – закрытыми. В результате на выходе Y окажется сигнал высокого уровня.

Если хотя бы на один из входов подан сигнал высокого уровня, то хотя бы один из транзисторов VT1 или VT2 окажется закрытым, а хотя бы один из транзисторов VT3 или VT4 – открытым. В результате сигнал на выходе Y окажется низкого уровня.

1.4.5. Выходной каскад с открытым стоком.

Верхние по схеме инвертора(см.предыдущий **рис.1.18**) транзисторы в выходных каскадах микросхем осуществляют *активное подтягивание* выходного напряжения к потенциалу источника питания U_{cc} . Промышленность выпускает микросхемы, в которых верхние транзисторы отсутствуют, а сток нижнего по схеме транзистора выведен наружу. Это выходной каскад с открытым стоком (**рис. 1.25**).

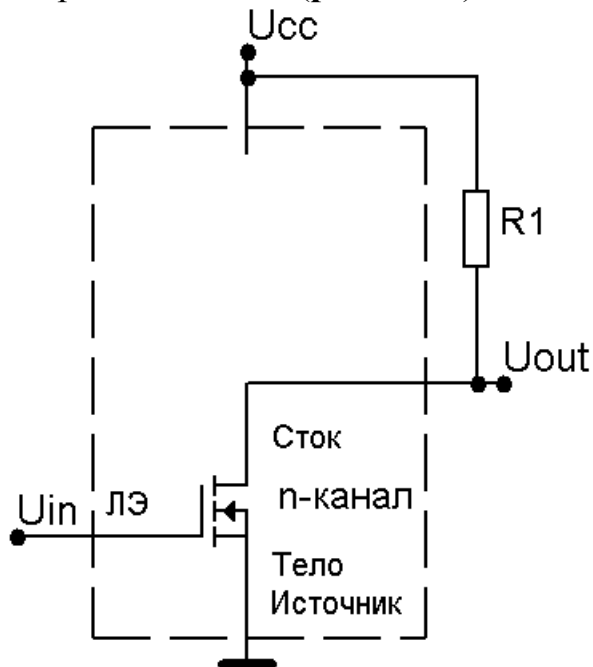


Рис.1. 25. Выходной каскад микросхемы с открытым стоком(общий коллектор).

Схемы выходных каскадов этого типа предусматривают установку внешнего подтягивающего резистора (резистор $R1$ на схеме **рис.1.25**), осуществляющего пассивное подтягивание выходного напряжения к напряжению питания U_{cc} . Выходные каскады этого типа удобны для организации "монтажной логики" и подключения внешней активной нагрузки. Рассмотрим, например, схему организации логической схемы "**монтажное ИЛИ-НЕ**".

Выход

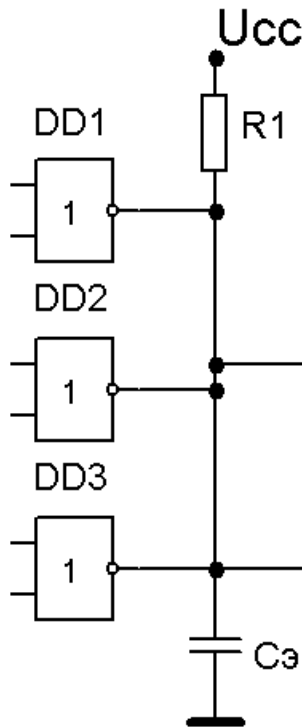


Рис. 1.26. Схема "монтажное ИЛИ-НЕ".

Логические элементы на МДП-транзисторах

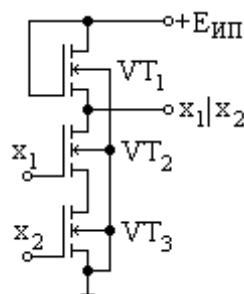


рис. 2.16

На рис. 2.16 показана схема логического элемента с индуцированным каналом типа n (так называемая n МДП - технология). Основные транзисторы VT_1 и VT_2 включены последовательно, транзистор VT_3 выполняет роль нагрузки. В случае, когда на обоих входах элемента действует высокое напряжение U^1 ($x_1=1$, $x_2=1$), оба транзистора VT_1 и VT_2 оказываются открытыми и на выходе устанавливается низкое напряжение U^0 . Во всех остальных случаях хотя бы один из транзисторов VT_1 или VT_2 закрыт и на выходе устанавливается напряжение U^1 . Таким образом, элемент выполняет логическую функцию И-НЕ.

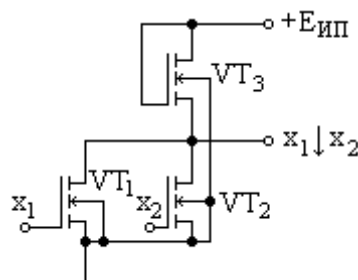


рис. 2.17

На рис. 2.17 приведена схема элемента ИЛИ-НЕ. На его выходе устанавливается низкое напряжение U^0 , если хотя бы на одном из входов действует высокое напряжение U^1 , открывающее один из основных транзисторов VT_1 и VT_2 .

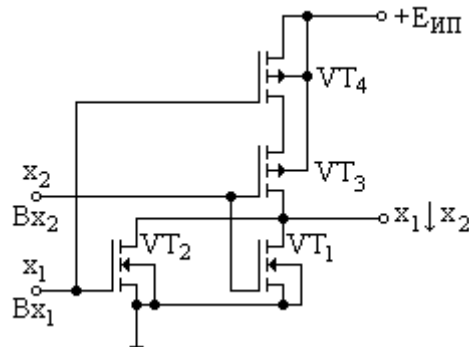


рис. 2.18

Приведенная на рис. 2.18 схема представляет собой схему элемента ИЛИ-НЕ КМДП-технологии. В ней транзисторы VT_1 и VT_2 - основные, транзисторы VT_3 и VT_4 - нагрузочные. Пусть высокое напряжение U^1 . При этом транзистор VT_2 открыт, транзистор VT_4 закрыт и независимо от уровня напряжения на другом входе и состояния остальных транзисторов на выходе устанавливается низкое напряжение U^0 . Элемент реализует логическую операцию ИЛИ-НЕ.

КМДП-схема характеризуется весьма малым потребляемым током (а следовательно, и мощности) от источников питания.

Комплементарный ключ состоит из двух МОП-транзисторов с каналами разного типа проводимости, входы которых соединены параллельно, а выходы последовательно (рисунк 19,а). При напряжении на затворах, больших порогового, для транзистора с каналом определённого типа соответствующий транзистор открыт, а другой закрыт. При напряжении противоположной полярности, открытый и закрытый транзисторы меняются местами.

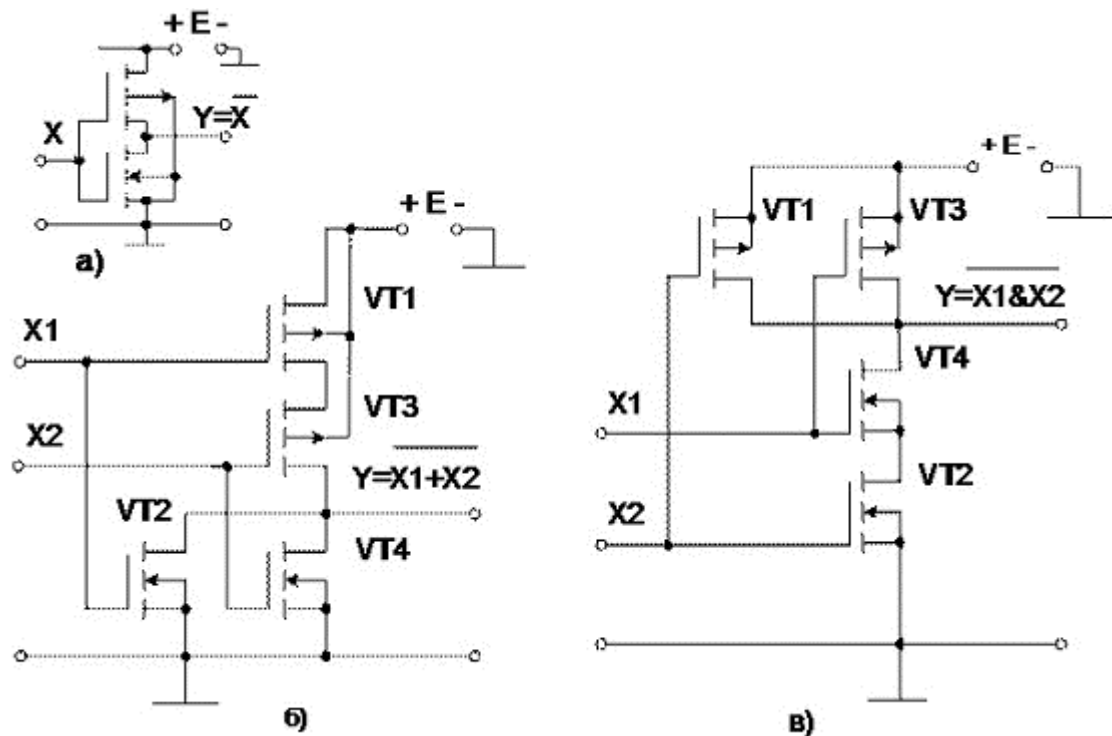
ЛЭ на комплементарных ключах (КМОП) имеют ряд неоспоримых достоинств.

Они успешно работают при изменении в широких пределах напряжения источника питания (от 3 до 15 В), что недостижимо для ЛЭ, в состав которых входят резисторы.

В статическом режиме при большом сопротивлении нагрузки ЛЭ КМОП практически не потребляют мощности.

Для них также характерны: стабильность уровней выходного сигнала и малое его отличие от напряжения источника питания;

высокое входное и малое выходное сопротивления; лёгкость согласования с микросхемами других технологий.



Логические КМОП (КМДП) инверторы

Микросхемы на комплементарных МОП транзисторах (КМОП-микросхемы) строятся на основе МОП транзисторов с n- и p-каналами. Один и тот же входной потенциал открывает транзистор с n-каналом и закрывает транзистор с p-каналом. При формировании логической единицы открыт верхний транзистор, а нижний закрыт. В результате ток через КМОП схему не протекает. При формировании логического нуля открыт нижний транзистор, а верхний закрыт. И в этом случае ток от источника питания через микросхему не протекает. Простейший логический элемент — это инвертор. Принципиальная схема инвертора, выполненного на комплементарных МОП транзисторах, приведена на рисунке 1.

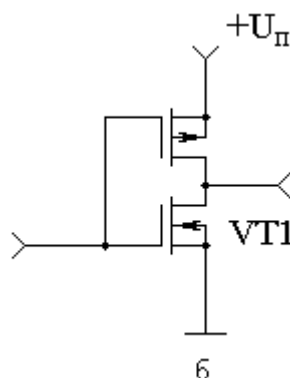


Рисунок 1. Принципиальная схема инвертора, выполненного на комплементарных МОП транзисторах (КМОП-инвертор)

Схему, изображенную на рисунке 1 часто называют базовым элементом КМОП-микросхем. На этой схеме для упрощения понимания принципов работы КМОП микросхемы не показаны защитные и паразитные диоды. **Особенностью микросхем на комплементарных МОП транзисторах (КМОП-микросхем) является то, что в этих микросхемах в статическом режиме ток практически не потребляется.** Потребление тока происходит только в момент ее переключения из единичного состояния в нулевое и наоборот. Этот ток вызван двумя причинами — одновременным переходом верхнего и нижнего МОП транзисторов в активный режим работы и перезарядом паразитной ёмкости нагрузки.

В результате этой особенности КМОП-микросхем, они обладают преимуществом перед рассмотренными ранее видами цифровых микросхем — потребляют ток в зависимости от поданной на вход тактовой частоты. Примерный график зависимости потребления тока КМОП-микросхемы в зависимости от частоты ее переключения приведен на рисунке 2

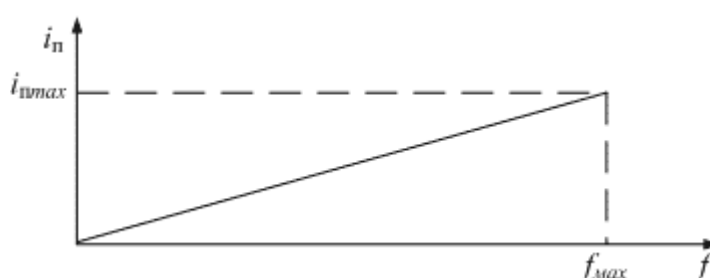


Рисунок 2. Зависимость тока потребления КМОП микросхемы от частоты

Логические КМОП (КМДП) элементы "И"

Схема логического элемента "И-НЕ" на КМОП микросхемах практически совпадает с упрощенной схемой "И" на ключах с электронным управлением, которую мы рассматривали ранее. Отличие заключается в том, что нагрузка подключается не к общему проводу схемы, а к источнику питания. Принципиальная схема логического элемента "2И-НЕ",

выполненного на комплементарных МОП транзисторах (КМОП), приведена на рисунке 3.

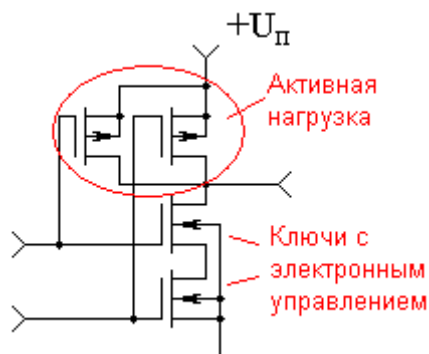


Рисунок 3. Принципиальная схема логического элемента "2И-НЕ", выполненного на комплементарных МОП транзисторах (КМОП)

В этой схеме можно было бы применить в верхнем плече обыкновенный резистор, однако при формировании низкого уровня сигнала схема постоянно потребляла бы ток. Вместо этого, в качестве нагрузки используются p-МОП транзисторы. Эти транзисторы образуют активную нагрузку. Если на выходе требуется сформировать высокий потенциал, то транзисторы открываются, а если низкий — то закрываются.

В приведённой на рисунке 2 схеме логического КМОП-элемента "И", ток от источника питания на выход КМОП-микросхемы будет поступать через один из транзисторов, если хотя бы на одном из входов (или на обоих сразу) будет присутствовать низкий потенциал (уровень логического нуля). Если же на обоих входах логического КМОП-элемента "И" будет присутствовать уровень логической единицы, то оба p-МОП транзистора будут закрыты и на выходе КМОП микросхемы сформируется низкий потенциал. В этой схеме, так же как и в схеме, приведенной на рисунке 1, если транзисторы верхнего плеча будут открыты, то транзисторы нижнего плеча будут закрыты, поэтому в статическом состоянии ток КМОП-микросхемой от источника питания потребляться не будет.

Условно-графическое изображение КМОП логического элемента "2И-НЕ" показано на рисунке 4, а таблица истинности приведена в таблице 1. В таблице 1 входы обозначены как x_1 и x_2 , а выход — F .

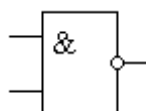
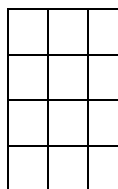


Рисунок 4. Условно-графическое изображение логического элемента "2И-НЕ"

Таблица 1. Таблица истинности КМОП-микросхемы, выполняющей логическую функцию "2И-НЕ"

1	2



Логические КМОП (КМДП) элементы "ИЛИ"

Логический элемент "ИЛИ", выполненный на КМОП транзисторах, представляет собой параллельное соединение ключей с электронным управлением. Отличие от упрощенной схемы "2ИЛИ", рассмотренной ранее, заключается в том, что нагрузка подключается не к общему проводу схемы, а к источнику питания. Вместо резистора в качестве нагрузки используются р-МОП транзисторы. Принципиальная схема логического элемента "2ИЛИ-НЕ", выполненного на комплементарных МОП-транзисторах приведена на рисунке 5.

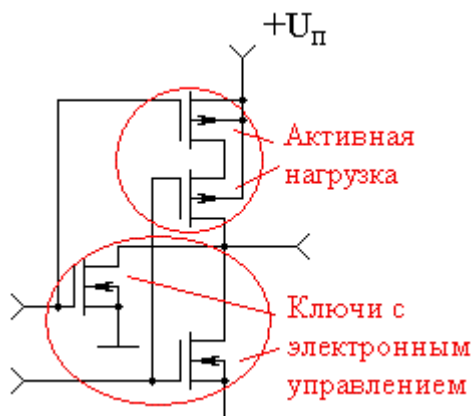


Рисунок 5. Принципиальная схема логического элемента "ИЛИ-НЕ", выполненного на комплементарных МОП транзисторах

В схеме КМОП логического элемента "2ИЛИ-НЕ" в качестве нагрузки используются последовательно включенные р-МОП транзисторы. В ней ток от источника питания на выход КМОП микросхемы будет поступать только если все транзисторы в верхнем плече будут открыты, т.е. если сразу на всех входах будет присутствовать низкий потенциал (уровень логического нуля). Если же хотя бы на одном из входов будет присутствовать уровень логической единицы, то верхнее плечо двухтактного каскада, собранного на КМОП транзисторах, будет закрыто и ток от источника питания поступать на выход КМОП-микросхемы не будет.

В настоящее время именно КМОП-микросхемы получили наибольшее развитие. Причём наблюдается постоянная тенденция к снижению напряжения питания данных микросхем. Первые серии КМОП-микросхем, такие как К1561 (иностраный аналог С4000В) обладали достаточно широким диапазоном изменения напряжения питания (3..18В). При этом при понижении напряжения питания у конкретной микросхемы понижается её предельная частота работы. В дальнейшем, по мере совершенствования технологии производства, появились улучшенные КМОП-микросхемы с

лучшими частотными свойствами и меньшим напряжением питания, например, SN74НС.

Особенности применения КМОП-микросхем

Первой и основной особенностью КМОП-микросхем является большое входное сопротивление этих микросхем. В результате на ее вход может наводиться любое напряжение, в том числе и равное половине напряжения питания, и храниться на нём достаточно долго. При подаче на вход КМОП-элемента половины питания открываются транзисторы как в верхнем, так и в нижнем плече выходного каскада, в результате микросхема начинает потреблять недопустимо большой ток и может выйти из строя [3]. Вывод: **входы цифровых КМОП-микросхем ни в коем случае нельзя оставлять неподключенными!**

Второй особенностью КМОП-микросхем является то, что они могут работать при отключенном питании. Однако работают они чаще всего неправильно. Эта особенность связана с конструкцией входного каскада. Полная принципиальная схема КМОП-инвертора приведена на рисунке 7.

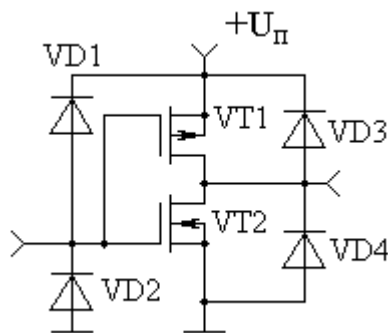


Рисунок 7. Полная принципиальная схема КМОП-инвертора

Диоды VD1 и VD2 были введены для защиты входного каскада от пробоя статическим электричеством. В то же самое время при подаче на вход КМОП-микросхемы высокого потенциала он через диод VD1 попадёт на шину питания микросхемы, и так как она потребляет достаточно малый ток, то КМОП микросхема начнёт работать. Однако в ряде случаев этого тока может не хватить для питания микросхем. В результате КМОП микросхема может работать неправильно. Вывод: **при неправильной работе КМОП микросхемы тщательно проверьте питание микросхемы**, особенно выводы корпуса. При плохо пропаянном выводе отрицательного питания его потенциал будет отличаться от потенциала общего провода схемы.

Третья особенность КМОП микросхем связана с паразитными диодами VD3 и VD4, которые могут быть пробиты при неправильно подключенном источнике питания (микросхемы ТТЛ выдерживают кратковременную переполюсовку питания). **Для защиты КМОП микросхем от переполюсовки питания следует в цепи питания предусмотреть защитный диод.**

Четвёртая особенность КМОП-микросхем — это протекание импульсного тока по цепи питания при ее переключении из нулевого состояния в единичное и наоборот. В результате при переходе с ТТЛ микросхем на КМОП микросхемы-аналоги резко увеличивается уровень помех. В ряде случаев это важно, и приходится отказываться от применения КМОП микросхем в пользу ТТЛ или BiCMOS микросхем.

Логические уровни КМОП-микросхем

Логические уровни КМОП-микросхем существенно отличаются от логических уровней ТТЛ микросхем. При отсутствии тока нагрузки напряжение на выходе КМОП-микросхемы совпадает с напряжением питания (логический уровень единицы) или с потенциалом общего провода (логический уровень нуля). При увеличении тока нагрузки напряжение логической единицы может уменьшаться до 2,8В ($U_{\text{п}}=15\text{В}$) от напряжения питания. Допустимый уровень напряжения на выходе цифровой КМОП микросхемы (серия микросхем К561) при пятивольтовом питании показан на рисунке 8.

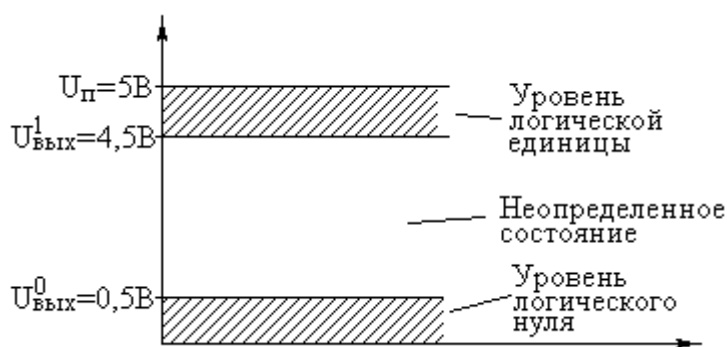


Рисунок 8. Уровни логических сигналов на выходе цифровых КМОП-микросхем

Как уже говорилось ранее, напряжение на входе цифровой микросхемы по сравнению с выходом обычно допускается в больших пределах. Для КМОП-микросхем договорились о 30% запасе. Границы уровней логического нуля и единицы для КМОП-микросхем при пятивольтовом питании приведены на рисунке 9.

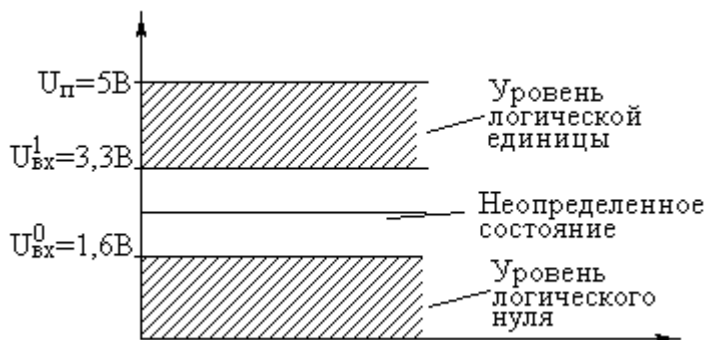


Рисунок 9. Уровни логических сигналов на входе цифровых КМОП-микросхем

При уменьшении напряжения питания границы логического нуля и логической единицы можно определить точно так же (разделить напряжение питания на 3).

Семейства КМОП-микросхем

Первые КМОП-микросхемы не имели защитных диодов на входе, поэтому их монтаж представлял значительные трудности. Это семейство микросхем серии K172. Следующее улучшенное семейство КМОП микросхем серии K176 получило эти защитные диоды. Оно достаточно распространено и в настоящее время. Серия K1561 завершает развитие первого поколения КМОП микросхем. В этом семействе было достигнуто быстродействие на уровне 90 нс и диапазон изменения напряжения питания 3 ... 15В. Так как в настоящее время распространена иностранная аппаратура, то приведу иностранный аналог этих КМОП микросхем — C4000В.

Дальнейшим развитием КМОП-микросхем стала серия SN74НС. Эти микросхемы отечественного аналога не имеют. Они обладают быстродействием 27 нс и могут работать в диапазоне напряжений 2 ... 6 В. Они совпадают по цоколёвке и функциональному ряду с ТТЛ микросхемами, но не совместимы с ними по логическим уровням, поэтому одновременно были разработаны КМОП микросхемы серии SN74НСТ (отечественный аналог — K1564), совместимые с ТТЛ микросхемами и по логическим уровням.

В это время наметился переход на трёхвольтовое питание. Для него были разработаны КМОП-микросхемы SN74ALVC с временем задержки сигнала 5,5 нс и диапазоном питания 1,65 ... 3,6 В. Эти же микросхемы способны работать и при 2,5 вольтовом питании. Время задержки сигнала при этом увеличивается до 9 нс.

Наиболее перспективным семейством КМОП-микросхем в настоящее время считается семейство SN74AUC с временем задержки сигнала 1,9 нс и диапазоном питания 0,8 ... 2,7 В.

Основные параметры интегральных логических элементов

Рассмотрим основные параметры и способы их улучшения.

Нагрузочная способность (или коэффициент разветвления по выходу) определяет число входов аналогичных элементов, которое может быть подключено к выходу данного элемента. Чем выше нагрузочная способность элементов, тем меньше число элементов может потребоваться при построении цифрового устройства.

Для повышения нагрузочной способности в ДТЛ и ТТЛ применяют усложненную схему инвертирующей части. Схема элемента с одним из вариантов сложного инвертора приведена на рис.2.11.

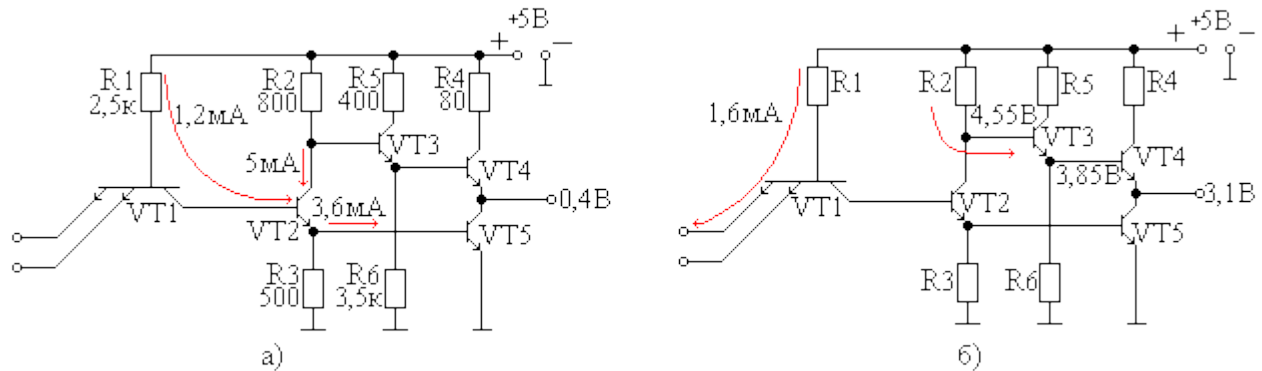


рис. 2.11

Рисунок 2.11,а иллюстрирует режим включенного элемента. Если на всех входах действует напряжение уровня лог.1, весь текущий через резистр R1 ток подается в базу транзистора VT2. Транзистор VT2 открывается и переходит в режим насыщения. Эмиттерный ток транзистора VT2 втекает в базу транзистора VT5, удерживая этот транзистор в открытом состоянии. Транзисторы VT3 и VT4 закрываются, так как при эмиттерном переходе каждого из них действует напряжение 0,3В, недостаточное для открывания транзисторов.

На рис. 2.11,б показан режим выключенного элемента. Если хотя бы на одном из входов действует напряжение уровня лог.0, то ток резистора R1 полностью переключается во входную цепь. Транзисторы VT2 и VT5 закрываются, на выходе напряжение уровня лог.1. Транзисторы VT3, VT4 работают в двух последовательно включенных эмиттерных повторителях, на вход которых подается ток через резистор R2, а эмиттерный ток транзистора VT4 питает нагрузку.

В выключенном состоянии элемента с простым инвертором ток в нагрузку подается от источника питания через коллекторный резистор Rк с большим сопротивлением (см. рис. 2.11,б). Этот резистор ограничивает максимальное значение тока в нагрузке (с ростом тока нагрузки увеличивается падение напряжения на Rк, уменьшается напряжение на выходе). В элементе со сложным инвертором в нагрузку подается эмиттерный ток транзистора VT4, работающего в схеме эмиттерного повторителя. Так как выходное сопротивление эмиттерного повторителя мало, то выходное напряжение равно слабее зависит от тока нагрузки и допустимы большие значения нагрузочного тока.

Быстродействие логических элементов является одним из важнейших параметров логических элементов, оно оценивается задержкой распространения сигнала от входа к выходу элемента.

На рис.2.12 приведена форма входного и выходного сигналов логического элемента (инвертора): $t_{1,0}$ - время задержки переключения выхода элемента из состояния 1 в состояние 0; $t_{0,1}$ - задержка переключения из состояния 0 в состояние 1. Как видно из рисунка, время задержки измеряется на уровне, среднем между уровнями лог.0 и лог.1. Средняя задержка распространения сигнала $t_{з\text{cp}} = 0,5 (t_{0,1} + t_{1,0})$. Этот параметр используется при расчете задержек распространения сигналов в сложных логических схемах.

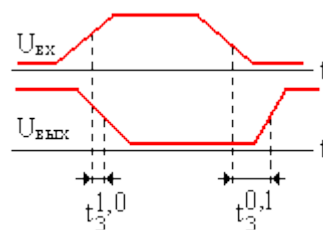


рис. 2.12

Рассмотрим факторы, влияющие на быстродействие логического элемента, и методы повышения быстродействия.

Для повышения скорости переключения транзисторов в элементе необходимо использовать более высокочастотные транзисторы и переключение транзисторов производить большими управляющими токами в цепи базы; существенное уменьшение времени задержки достигается благодаря использованию насыщенного режима работы транзисторов (в этом случае исключается время, необходимое на рассасывание неосновных носителей в базе при выключении транзисторов).

Задержка распространения сигнала связана также с необходимостью перезарядки емкости нагрузки и паразитных монтажных емкостей. На рис. 2.13 показан процесс заряда паразитной емкости C_n при выключении транзистора.

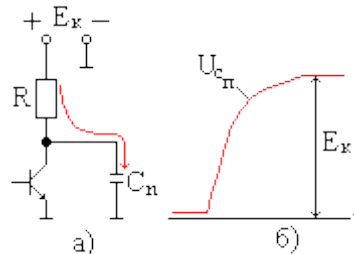


рис. 2.13

Этот процесс можно ускорить следующими приемами:

- уменьшением R (и следовательно уменьшением постоянной времени $\tau = R C_n$); однако при этом растут потребляемые от источника питания ток и мощность;
- использование в элементе малых перепадов напряжения;
- применение на выходе элемента эмиттерного повторителя, уменьшающего влияние емкости нагрузки.

Ниже при описании логических элементов эмиттерно-связанной логики показано использование этих методов для повышения быстродействия элементов.

Заметно увеличить быстродействие удается в ТТЛ-схемах с диодами Шоттки (ТТЛШ). В таких схемах диоды Шоттки включаются параллельно коллекторным переходам. Это позволяет исключить насыщение транзисторов и существенно, уменьшить время переключения. Быстродействие элементов ТТЛШ в 3–5 раз выше, чем у аналогичных элементов ТТЛ. Недостатком ТТЛШ является меньшая помехоустойчивость из-за меньшего размаха выходного напряжения $0 \text{ вых } 1 U_{\text{вых}} - U$. Схемы ТТЛШ работают при таких же уровнях сигналов и питающих напряжений, как и обычные ТТЛ-схемы. Многотириггерные транзисторы на входе заменяют диодами Шоттки.

Помехоустойчивость определяется максимальным значением помехи, не вызывающей нарушения работы элемента.

Для количественной оценки помехоустойчивости воспользуемся так называемой предаточной характеристикой логического элемента (инвертора). На рисунке 2.14 приведена типичная форма этой характеристики.

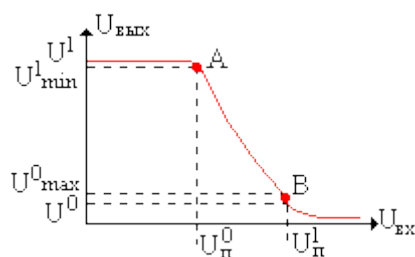


рис. 2.14

Передаточная характеристика представляет собой зависимость выходного напряжения от входного. Для ее получения необходимо соединить все входы логического элемента и, изменяя напряжение на выходе, отмечать соответствующие значения напряжения на выходе. При увеличении входного напряжения от нуля до порогового уровня лог.0 $U^0_{п}$ напряжение на выходе уменьшается от уровня лог.1 U^1_{min} . Дальнейшее увеличение входного приводит к резкому снижению выходного. При больших значениях входного напряжения, превышающих пороговый уровень лог.1 U^0_{max} . Таким образом, при нормальной работе элемента в статическом (установившемся) режиме недопустимы входные напряжения $U^0_{п} < u_{вх} < U^1_{п}$.

Допустимыми считаются такие помехи, которые, наложившись на входное напряжение, не выведут его в область недопустимых значений $U^0_{п} < u_{вх} < U^1_{п}$.

Параметры цифровых микросхем

Точно так же как и аналоговые схемы, цифровые схемы должны описываться какими-то параметрами. Аналоговые схемы характеризуются напряжением питания, при котором они могут работать. Цифровые микросхемы тоже обладают этим параметром. В настоящее время наиболее распространены цифровые микросхемы с напряжением питания +5 В и +3,3 В, хотя существуют микросхемы, способные работать в диапазоне напряжений от 2 до 6 В.

Знать основные параметры цифровых микросхем очень важно при покупке и разработке компьютерных комплектующих, в том числе для ноутбуков, планшетов или фотоаппаратов. На собеседовании при устройстве на работу работодатель тоже обращает внимание, насколько хорошо ориентируется в данном вопросе будущий сотрудник.

Уровни логического нуля и единицы

Как уже говорилось ранее, при обсуждении областей применения, цифровые микросхемы характеризуются тем, что могут находиться только в двух состояниях. Состояния цифровых микросхем могут быть описаны двумя цифрами: '0' и '1'. При этом можно состояние микросхемы характеризовать различными параметрами. Например, током или напряжением в цепях микросхемы, открыты или заперты транзисторы

на выходе микросхемы, светится или нет светодиод (если он входит в состав схемы цифрового устройства).

Условились в качестве логических состояний цифровых микросхем воспринимать напряжение на их входе и выходе. При этом высокое напряжение договорились считать единицей, а низкое напряжение — считать нулем. В идеальном случае напряжение на выходе микросхем должно быть равным напряжению питания или общего провода схемы. В реальных схемах так не бывает. Даже на полностью открытом транзисторе есть падение напряжения. В результате на выходе цифровой микросхемы напряжение всегда будет меньше напряжения питания и больше потенциала общего провода. Поэтому договорились напряжение, меньшее заданного уровня (уровень логического нуля) считать нулём, а напряжение, большее заданного уровня (уровень логической единицы), считать единицей. Если же напряжение на выходе микросхемы будет больше уровня логического нуля, но меньше уровня логической единицы, то такое состояние микросхемы будем называть неопределённым. На рисунке 2 приведены допустимые уровни выходных логических сигналов для ТТЛ микросхем. **Обратите внимание, что чем ближе выходное напряжение к напряжению питания или к напряжению общего провода схемы, тем выше к.п.д. цифровой микросхемы.**

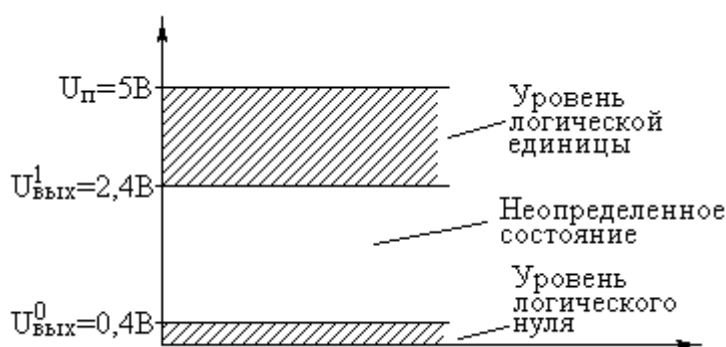


Рисунок 2. Уровни логических сигналов на выходе цифровых ТТЛ микросхем

Напряжение с выхода одной микросхемы передаётся на вход другой микросхемы по проводнику. В процессе передачи на этот проводник может наводиться напряжение от каких либо генераторов помех (осветительная сеть, радиопередатчики, импульсные генераторы). Помехоустойчивость цифровых микросхем определяется максимальным напряжением помех, которое не приводит к превращению логического нуля в логическую единицу и зависит от разности логических уровней цифровой микросхемы.

$$U_{\text{пом}}^- = U_{\text{ВЫХ1мин}} - U_{\text{ВХ1мин}}$$

То же самое относится и к помехам, превращающим логический ноль в логическую единицу.

$$U_{\text{пом}}^+ = U_{\text{ВЫХ0макс}} - U_{\text{ВХ0макс}}$$

Чем меньше разница между $U_{вх1мин}$ и $U_{вх0макс}$, тем большим усилением обладает цифровая микросхема. Типовое усиление ТТЛ микросхем по напряжению K_u составляет 40 раз. Это приводит к тому, что подав на вход этой микросхемы напряжение, на 40 мВ меньшее уровня $U_{пор}$, мы воспримем его как логический ноль, и на выходе этой микросхемы получим нормальный логический уровень. При подаче на вход ТТЛ микросхемы напряжения, на 40 мВ большего уровня $U_{пор}$, это напряжение будет восприниматься как логическая единица. Граница уровня логического нуля и единицы для ТТЛ микросхем приведена на рисунке 3.

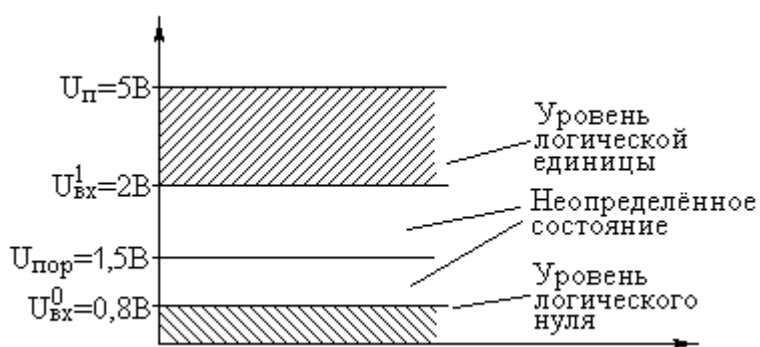


Рисунок 3. Уровни логических сигналов на входе цифровых ТТЛ микросхем

Вспомним, что на выходе цифровой ТТЛ микросхемы уровень логической единицы не может быть меньше 2,4 В, а уровень логического нуля не может быть больше 0,4 В. В результате, даже при наведении на вход ТТЛ микросхемы помехи, напряжением 0,96 вольт, искажение цифровой информации не произойдёт.

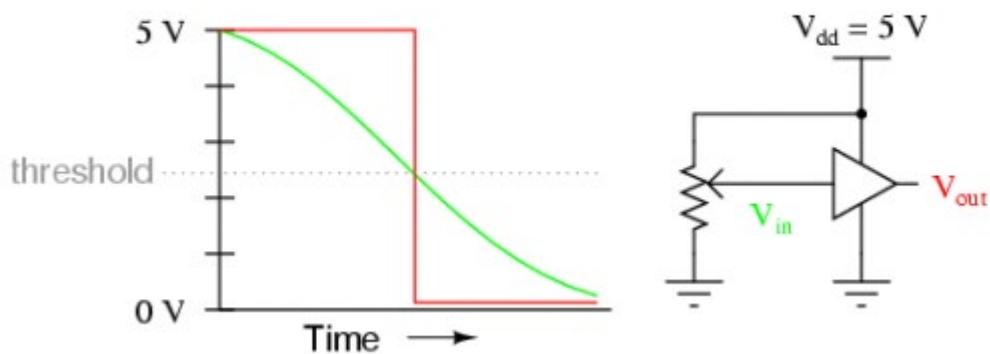
Теперь вспомним, что микросхемы могут работать при воздействии неблагоприятных факторов таких как пониженная температура, старение микросхем, воздействие радиации. Поэтому производители микросхем гарантируют срабатывание микросхем с некоторым запасом. Например, фирма Texas Instruments объявляет для своих микросхем входной уровень единицы — 2 В, а уровень нуля — 0,8 В. Эти уровни тоже показаны на рисунке 3.

А что же произойдёт, если напряжение на входе цифровой микросхемы будет близко к порогу, разделяющему уровень логического нуля и логической единицы? В этом случае микросхема перейдет в активный режим работы и оба выходных транзистора могут оказаться открытыми. В результате микросхема может выйти из строя. Поэтому **входы цифровых (особенно КМОП) микросхем ни в коем случае не должны быть оставлены неподключенными!** Если часть элементов цифровой микросхемы не используется, то их входы должны быть подключены к источнику питания или общему проводу схемы. И в заключение данной темы обратите внимание, что конкретное значение порога переключения для различных экземпляров микросхем и от серии к серии микросхем может изменяться в некоторых пределах. Это ещё одна причина, по которой нельзя подавать на вход логических микросхем напряжение в пределах

неопределённого состояния или оставлять входы микросхем неподключенными.

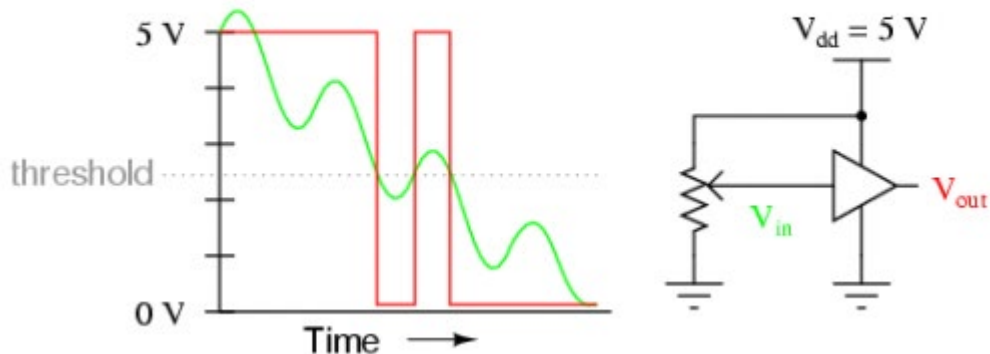
В пределах "неопределённого" диапазона для любого входа логического элемента, будет иметься точка разделения актуального сигнала низкого уровня от диапазона действительного входного сигнала высокого уровня. То есть, где-то между наименьшим напряжением сигнала высокого логического уровня и наибольшим напряжением сигнала низкого логического уровня гарантированного производителем, существует порог напряжения, при котором логическая схема будет менять интерпретацию сигнала с высокого на низкий и наоборот. В случае большей части логических схем, это напряжение соответствует одной определённой точке:

Typical response of a logic gate to a variable (analog) input voltage



При наличии шумового напряжения переменного тока, наложенного на входной сигнал постоянного тока единственная точка, в которой схема переменит интерпретацию логического уровня будет обуславливать ошибочный сигнал на выходе.

Slowly-changing DC signal with AC noise superimposed



Входные и выходные токи цифровых микросхем

Ещё один важный параметр любой микросхемы — это предельно допустимый выходной ток. Для цифровых микросхем есть два различных значения выходного тока: ток единицы (высокого потенциала) и ток нуля (низкого потенциала). В цифровых микросхемах эти значения различаются. Путь протекания тока единицы цифровых микросхем показан на рисунке 4.

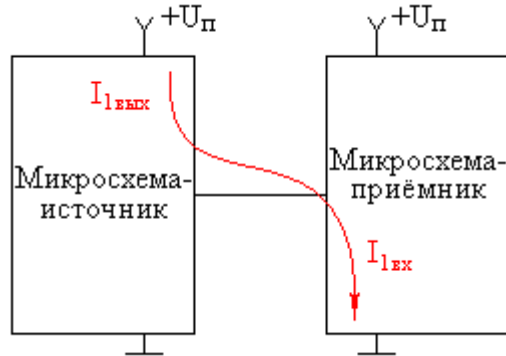


Рисунок 4. Путь протекания выходного тока единицы цифровых микросхем

На этом рисунке видно, что в простейшем случае выходной ток цифровой микросхемы (вытекающий ток) совпадает с входным током единицы нагрузочной цифровой микросхемы (микросхемы-приёмника). Часто требуется подавать сигнал с выхода одной микросхемы на несколько других микросхем. В этом случае выходной ток микросхемы будет определяться как сумма входных токов микросхем-приёмников. Количество однотипных микросхем, которые могут быть одновременно подключены к выходу микросхемы, определяют **предельную нагрузочную способность микросхемы**.

Путь протекания выходного тока нуля (втекающий ток) показан на рисунке 5. В этом случае выходной ток микросхемы тоже определяется суммой входных микросхем, подключенных к ее выходу.

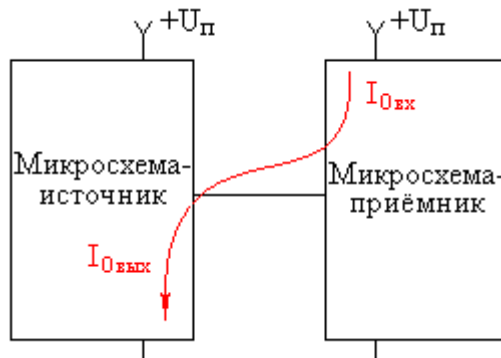


Рисунок 5. Путь протекания выходного тока нуля цифровых микросхем

Для того, чтобы цифровые микросхемы могли нагружаться на несколько микросхем, входной ток должен быть меньше выходного. Для ТТЛ микросхем нагрузочная способность составляет обычно 10. Для КМОП микросхем она может достигать 100, то есть на выход одной КМОП микросхемы можно нагружать до сотни входов других КМОП микросхем.

Параметры, определяющие быстродействие цифровых микросхем

Быстродействие цифровых микросхем определяется скоростями их перехода из одного состояния в другое. При этом оно определяется временем задержки выходного сигнала относительно входного. Не следует путать это время с длительностью фронта выходного импульса цифровой микросхемы. В общем случае длительность переднего (rising — нарастающего) фронта и заднего (falling — спадающего) фронта не совпадают. Длительность фронта определяется как время нарастания (спада) выходного сигнала от напряжения $0,1 U$ до напряжения $0,9 U$, где U — это разность напряжений между уровнем логической единицы и уровнем логического нуля. На рисунке 6 длительность переднего (rising — нарастающий) фронта обозначена как $t_{\phi 01}$, а длительность заднего (falling — спадающий) фронта обозначена как $t_{\phi 10}$.

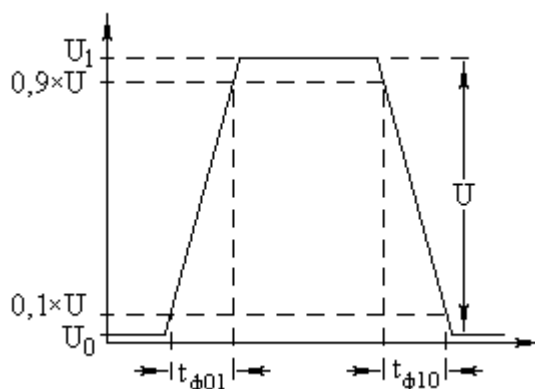


Рисунок 6. Определение длительности переднего и заднего фронта выходного импульса

Время задержки выходного сигнала относительно входного обычно больше длительности фронта выходного сигнала и именно этот параметр приводится в качестве характеристики цифровой микросхемы, определяющей её быстродействие. Это время определяется по точке пересечения входным и выходным сигналами порогового уровня. В цифровых микросхемах время задержки переднего фронта и время задержки заднего фронта обычно не совпадают. Времена задержки t^{01} и t^{10} показаны на временной диаграмме, приведенной на рисунке 7.

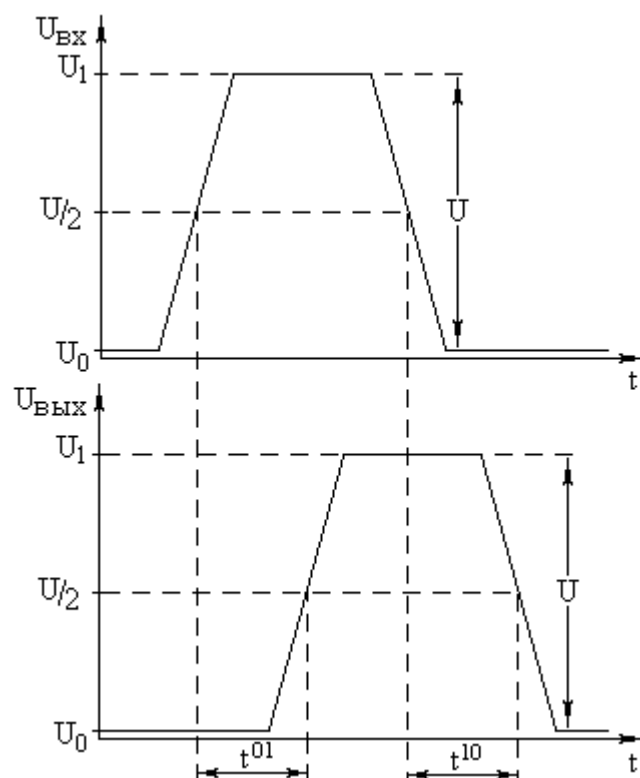


Рисунок 7. Определение времени задержки цифровой микросхемы

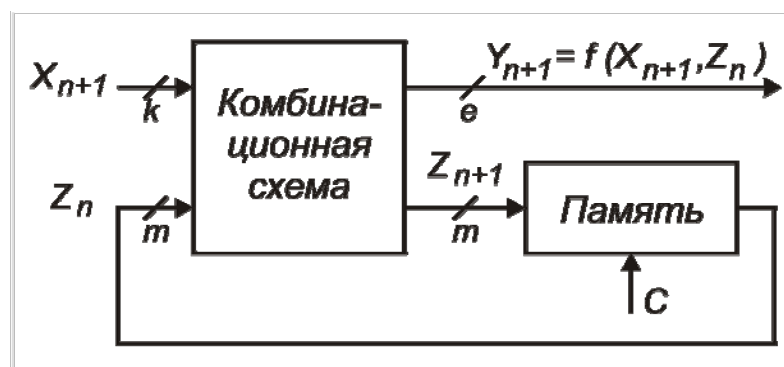
	ТТЛ	ТТЛШ	ЭСЛ	КМОП
Входной ток I_0 мА	-1,6	-2,0	0,3	~ 0
Входной ток I_1 мА	0,05	0,05	0,0005	~ 0
Выходное напряжение нуля	0,5	0,5	-2	0,05
Выходное напряжение единицы	2,4	2,7	-0,9	$U_{п}-0,05$
Время задержки распространения, нс	20	4,8	1,5	50
Коэфф. разветвления по выходу	10	10	15	
Потребляемый ток при нулевых выходах	20	35		
Потребляемый ток при единичных выходах	8	16		
Напряжение питания	5	5	-4,5...-2	3...15

Комбинационные и последовательностные

Цифровые устройства, выходные сигналы которых зависят от входных сигналов в один и тот же момент времени, называются **комбинационными**.

Иными словами, в комбинационном устройстве (называемом также автоматом без памяти) каждый сигнал на выходе определяется лишь сигналами, действующими в данный момент времени на входах устройства, и не зависит от того, какие сигналы ранее действовали на этих входах. В этом смысле комбинационные устройства лишены памяти (они не хранят сведений о прошлом работы устройства). Для описания комбинационной схемы с n входами и m выходами необходимо m функций алгебры логики от n переменных.

В **последовательностных** устройствах (или автоматах с памятью) выходной сигнал определяется не только набором сигналов, действующих на входах в данный момент времени, но и внутренним состоянием устройства, а последнее зависит от того, какие наборы сигналов действовали во все предшествующие моменты времени. Поэтому можно говорить, что последовательностные устройства имеют в своем составе комбинационные схемы и, кроме того, обладают памятью (хранят сведения о прошлом работы устройства).



Задержки распространения сигнала и динамические характеристики элементов

Логические элементы обладают задержками. На **рис. 1.9.** показано условное обозначение, и временная диаграмма работы инвертора (элемент НЕ). На графике выходного сигнала инвертора Y показаны максимальные задержки его относительно входного сигнала X при изменении выходного сигнала из 1 в 0 и из 0 в 1- соответственно t_{PHL} и t_{PLH} .

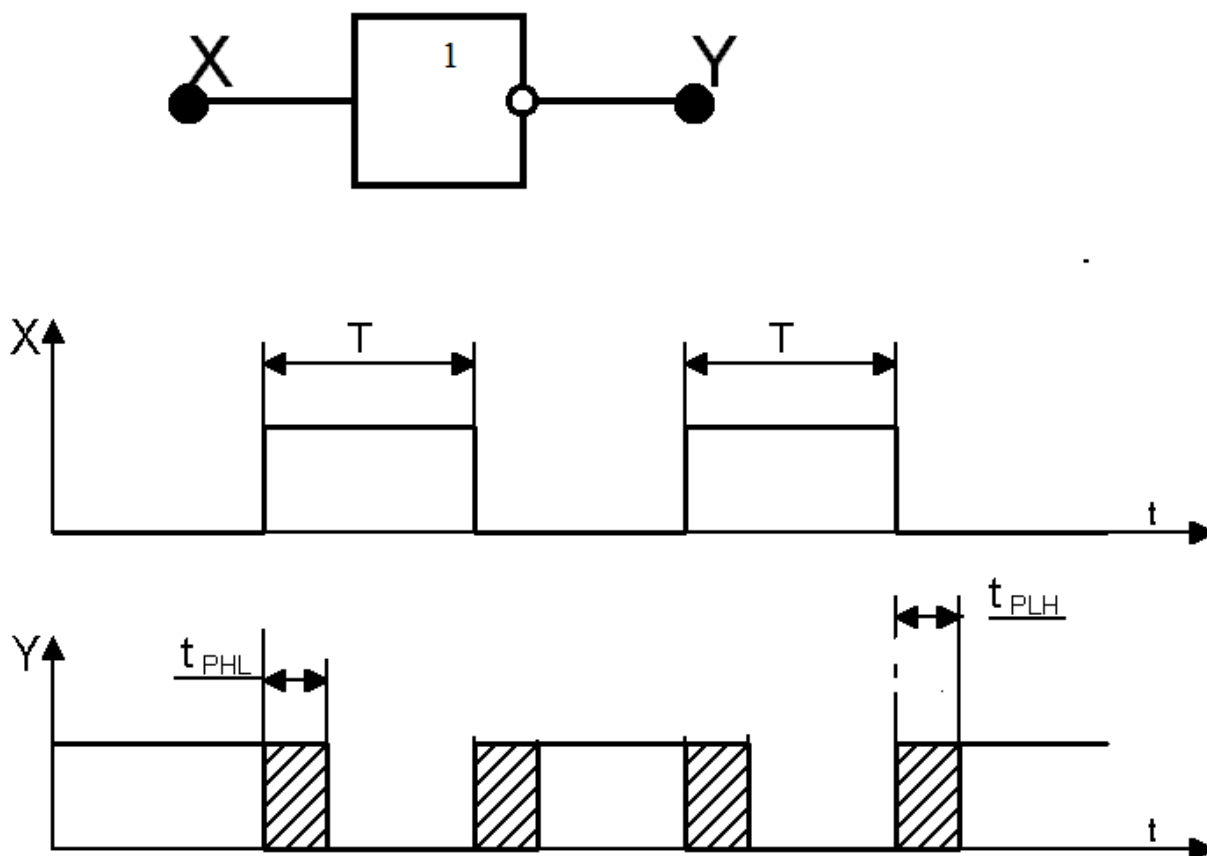


Рис. 1.9. Условное обозначение и временная диаграмма работы инвертора (элемент НЕ).

В результате действия задержек длительность сигнала на выходе инвертора может уменьшиться или увеличиться. Это связано с тем, что времена переключения (**рис.1.9**) значения выходного сигнала из "1" в "0" (t_{PHL} -Time propagation from higher state to low)) и из "0" в "1" (t_{PLH} - Time propagation from low state to higher) разные. Области между минимальными (на рис.1.9 приняты равным 0) и максимальными значениями задержек (t_{PHL} , t_{PLH}) отмечены на временной диаграмме заштрихованными областями.

Завод-изготовитель (в России) логических элементов обычно указывает только максимальные значения времен задержек при переключении из "1" в "0"- t_{PHL} и при переключении из "0" в "1" - t_{PLH} .

Для упрощения расчетов вводится *средняя величина времени задержки*, называемая также **задержкой распространения (tpd-Time of Propagation delay)** сигнала

$$t_{Pd} = (t_{PLH} + t_{PHL}) / 2;$$

Время задержки конкретного логического элемента определяется технологическим разбросом в процессе его изготовления. Понятно, что технологический разброс является случайной величиной.

Логические состязания

Если известна логическая формула, связывающая входные и выходные переменные проектируемого устройства, то нетрудно составить схему, отдельные элементы которой выполняют логические операции в соответствии с заданной формулой. Но и тогда, когда структура схемы полностью соответствует заданной логической формуле, выходные переменные могут на отдельных интервалах времени принимать значения, не равные расчетным. Это может быть вызвано тем, что сигналы, представляющие переменные, поступают на входы некоторого элемента с различными временными задержками. Такие явления называют логическими состязаниями.

Существо процессов, которые происходят при логических состязаниях, можно выяснить на простом примере. Известно, что произведение логической переменной на ее инверсию тождественно равно 0 (правило отрицания), т.е.:

$$x \cdot \bar{x} = 0$$

Такое произведение может быть реализовано с помощью схемы, показанной на рисунке. Временные диаграммы, показывающие процессы в схеме при изменении значения переменной x , представлены на рисунке. Так как сигнал, представляющий переменную y , появляется на выходе элемента НЕ с задержкой, то $x \cdot y \neq 0$ в интервале, равном длительности задержки. Временная диаграмма, показывающая переменную z , построена с учетом задержки в элементе И.

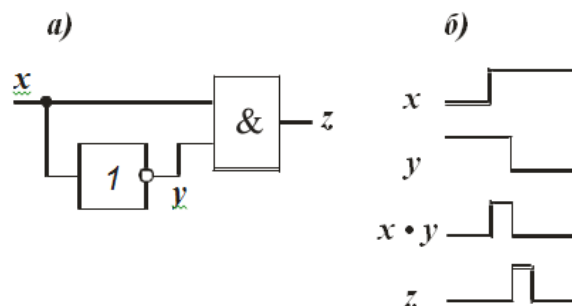


Рис. 2.11. Логические состязания: а – схема, б, в – временные диаграммы

Таким образом, при изменении значения логической переменной x на выходе появляется импульс, в интервале которого выходная переменная не

соответствует логической функции. Длительность таких импульсов (их часто называют "иголками") весьма мала (единицы-десятки наносекунд, в зависимости от типа микросхемы), поэтому они могут быть незаметны при осциллографических исследованиях. Однако эти импульсы могут быть причиной сбоев в работе цифровых схем. Анализ возможностей появления "иголок" и поиск методов нейтрализации эффекта логических состязаний должны производиться на стадии проектирования цифровых устройств.