

17. Структуры и программные модели микропроцессоров фирмы INTEL

Базовая архитектура 32-х разрядных процессоров (обозначаемых: 386+) является общей для существующих на данный момент процессоров фирмы INTEL – 386, 486, PENTIUM и его модификаций. МП состоит из 3 основных частей:

- устройства обработки;
- устройства управления ЗУ;
- интерфейсного блока.

УСТРОЙСТВО ОБРАБОТКИ состоит из исполнительного устройства (операционной части) и блока команд (управляющей части). Содержит 8 32-х разрядных РОН, 64-х битовый циклический сдвигатель. Умножение и деление осуществляется на 1 бит за цикл. Алгоритм умножения такой, что процесс прекращается, когда наиболее значащий бит, умножается на все нули. Типичное время умножения 32-х разрядных чисел около 1 мкс (для процессора I80386).

УСТРОЙСТВО УПРАВЛЕНИЯ ЗУ состоит из сегментного и страничного блоков. Сегментный блок позволяет работать с логическими адресами со всеми вытекающими отсюда преимуществами. Страничная организация используется внутри сегмента и управляет физическими адресами. Каждая задача может иметь до 16381 (214) сегмента до 4 Гбайт каждый (2^{32}), т.е. виртуальная память может быть размером 64 Тбайт (2^{46}).

ИНТЕРФЕЙСНЫЙ БЛОК обеспечивает взаимодействие с внешними устройствами, включая автоматическое управление разрядностью шины, и формирование сигналов активности байтов.

МП 386+ могут функционировать в трех режимах:

- **REAL ADDRESS MODE** – режим реальной адресации (PPA) – характеризуется тем, что МП работает как очень быстрый 8086 с 32-битовым расширением; в этом режиме возможна адресация 1 Мбайта физической памяти (на самом деле, как у I80286, - почти на 64 Кбайта больше);
- **PROTECTED ADDRESS MODE** – режим защищенной виртуальной адресации (РВА) – реализует все достоинства МП (режим параллельного выполнения нескольких задач несколькими 8086 – по одному на задачу). На одном процессоре в таком режиме могут одновременно исполняться несколько задач с изолированными друг от друга реальными ресурсами. При этом использование физического адресного пространства памяти управляется механизмами сегментации и трансляции страниц. Попытки выполнения недопустимых команд, выхода за рамки отведенного пространства памяти и разрешенной области ввода-вывода контролируются системой защиты.

ПРОГРАММНАЯ МОДЕЛЬ 32-х РАЗРЯДНЫХ ПРОЦЕССОРОВ (386+)

МП 386+ имеет 31 регистр (у PENTIUM+ – 32 регистра), разбитые на следующие группы:

- регистры общего назначения;
- сегментные регистры;
- указатель команд и регистр флагов (признаков);

РЕГИСТРЫ ОБЩЕГО НАЗНАЧЕНИЯ

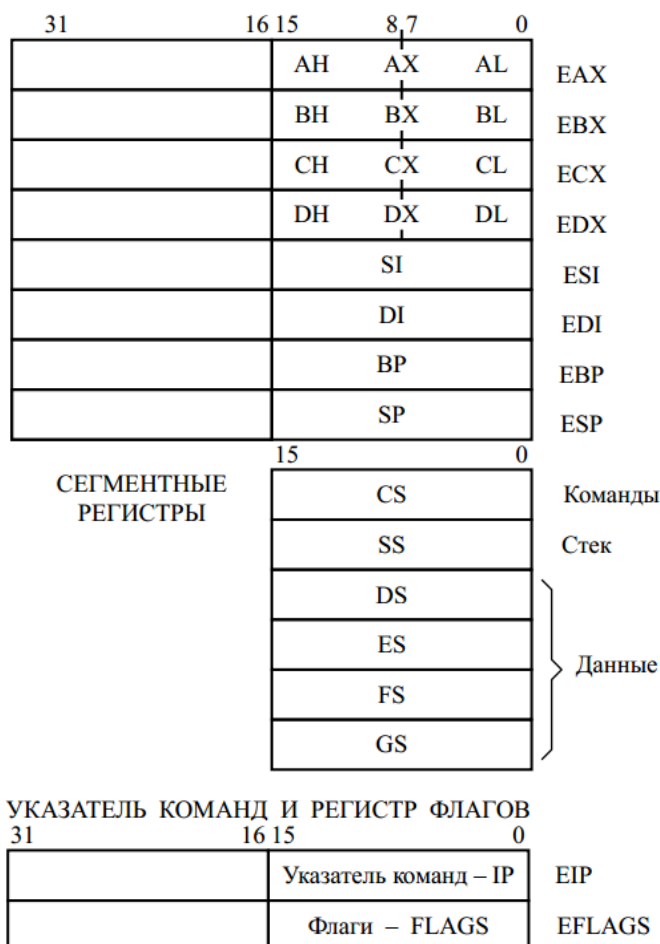


Рис. 1 – Регистры 32-х разрядных МП (386+)

4

- управляющие регистры;
- регистры системных адресов;
- отладочные регистры;
- тестовые регистры.

Набор **РЕГИСТРОВ ОБЩЕГО НАЗНАЧЕНИЯ** (рис. 1) включает соответствующие регистры процессоров I8086 и I80286. Все эти регистры, кроме сегментных, имеют разрядность 32 бита и к прежнему обозначению их имен добавилась приставка «Е» (Extended – расширенный). Отсутствие приставки «Е» в имени означает ссылку на младшие 16 бит расширенных

регистров. Обратиться к старшим 16-ти битам расширенных регистров ни одна команда не может. Как и в I8086, возможно независимое обращение к младшему и старшему байтам регистров AX, BX, CX, DX.

Архитектура МП 386+ позволяет непосредственно обращаться к 6 сегментам (размером до 4 Гбайт каждый) при помощи специальных селекторов, которые загружаются в сегментные регистры программно.

Содержимое РОНов, селекторов, указателя команд и регистра флагов (признаков) зависит от выполняемой задачи и автоматически перегружается при переключении задач.

Остальные регистры МП используются, главным образом, для упрощения проектирования и отладки операционной системы.

Регистры общего назначения (РОН) – используются для хранения операндов и адресов. Могут работать с операндами, имеющими длину 1, 8, 16, 32 и 64 бита или с битовыми полями длиной от 1 до 32 бит.

УКАЗАТЕЛЬ КОМАНД – EIP – хранит смещение, которое всегда складывается со значением кодового сегментного регистра (CS) и определяет адрес следующей команды. При 16-ти битовой адресации используются только младшие 16 бит (IP).

РЕГИСТР ФЛАГОВ (признаков) – EFLAGS (рис. 2) – отражает состояние МП. При использовании только 16-ти младших разрядов – регистр флагов совместим с предыдущими моделями МП