

13. Применение ассоциативных ЗУ в процессорах фирмы INTEL

Существенное сокращение времени преобразования адресов в МП 386+ достигается путем использования внутренней КЭШ-ПАМЯТИ, которая называется БУФЕРОМ АССОЦИАТИВНОЙ ТРАНСЛЯЦИИ – (TRANSLATION LOOKASIDE BUFFER – TLB).

TLB представляет собой память с ассоциативной выборкой, которая содержит 20-ти разрядные адреса 32-х страниц, т.е. старшие 20 разрядов ФИЗИЧЕСКОГО АДРЕСА.

Каждый из базовых адресов имеет свой признак – ТЭГ. В качестве тэга используются старшие 20 разрядов ЛИНЕЙНОГО АДРЕСА.

При поступлении в блок управления страницами ЛИНЕЙНОГО АДРЕСА – его старшие 20 разрядов сравниваются одновременно со всеми тэгами в TLB. Если обнаруживается совпадение этих разрядов с каким-либо тэгом, то из ячейки TLB выбирается соответствующий ему БАЗОВЫЙ АДРЕС СТРАНИЦЫ. Блок страничной адресации формирует физический адрес из старших 20-ти разрядов, считанных из ассоциативной памяти TLB, и младших 12-ти разрядов поля BYTE линейного адреса.

Случай, когда базовый адрес страницы находится в TLB, называется КЭШ-ПОПАДАНИЕМ. При этом не требуется обращаться к оперативной памяти для выборки указателей входа в таблицы и кадры страниц. Формирование физического адреса не требует дополнительных машинных циклов.

Если базовый адрес нужной страницы отсутствует в TLB, то такое обращение называется КЭШ-ПРОМАХОМ. При этом МП выполняет полную процедуру формирования физического адреса с обращениями к каталогу разделов и таблице страниц, затрачивая на это значительное время.

Полученный из таблицы страниц 20-ти битовый БАЗОВЫЙ АДРЕС вместе с соответствующими 20-тью битами ЛИНЕЙНОГО АДРЕСА (ТЭГ) заносятся в свободную ячейку TLB, или занимают ячейку, в которой хранился адрес, введенный в TLB ранее других. Таким образом обеспечивается непрерывное обновление содержимого TLB.

Кроме базовых адресов в TLB хранится дополнительная информация, определяющая правила доступа к ним. Эта информация задается следующими битами:

- V (бит достоверности) – сбрасывается в состояние 0 при записи нового содержимого в регистр управления CR3 (базовый адрес каталога разделов). После преобразования очередного линейного адреса в физический – для этого адреса в TLB будет установлено значение V =

1, указывающего на допустимость использования данного базового адреса;

- D (бит мусора) – принимает значение 1 при записи на данную страницу;
- U (бит пользователя/супервизора) и W (бит записи/чтения) – аналогичны описанным ранее битам.

ПОЛНОСТЬЮ АССОЦИАТИВНАЯ АРХИТЕКТУРА КЭШ-памяти

предусматривает разделение адреса ячейки памяти только на две части: младшие разряды - смещение в строке (offset) и старшие разряды - информация о тэге (tag) (см. рис. 4.4).

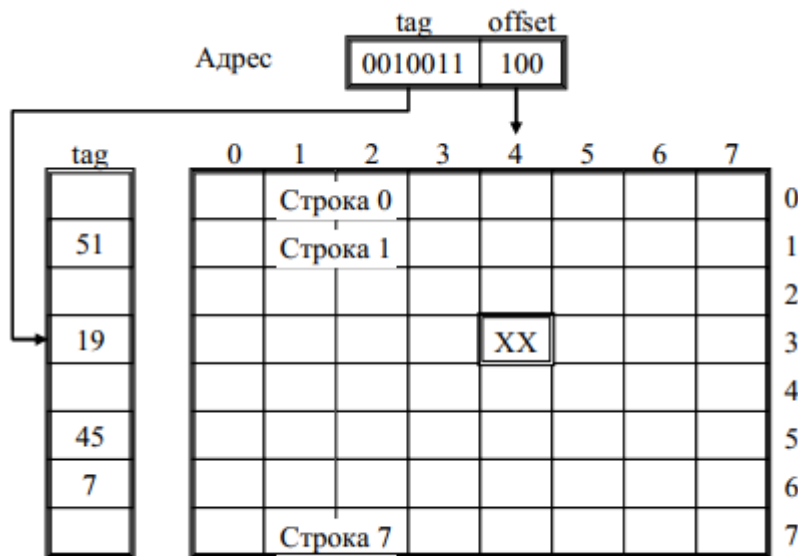


Рис. 4.4 – Полностью ассоциативная КЭШ-память

В этом случае количество разделов (блоков) основной памяти равно: $1024 / 8 = 128$. Полностью ассоциативная архитектура решает проблему конфликта адресов, однако сама КЭШ-память требует для своей реализации больших аппаратных затрат, поскольку значения тэгов должны сравниваться для всех линий КЭШа.