

СОВЕТЫ НАЧИНАЮЩИМ РАДИОТЕЛЕГРАФИСТАМ

На 160-метровом диапазоне, особенно в участке, выделенном только для работы телеграфом (1850...1875 кГц) с каждым месяцем становится теснее. К многочисленным U подключаются и те, кто делает первые шаги в СВ связях — R и EZ. А так как качество работы начинающих операторов порой невысокое, нередко сводится на нет такое преимущество телеграфной связи перед телефонной, как лучшая помехозащищенность.

На что должны обратить внимание радиолюбители, осваивающие связь телеграфом? От каких недостатков в практике ведения QSO им следует избавиться?

Прежде всего не следует долго передавать CQ, если оператор, в паузах между знаками не прослушивает эфир, не замечает на своей частоте чьи-либо попытки прервать эти CQ для установления QSO. Наличие возможности контролировать обстановку на частоте в паузах между собственными сигналами, указывают сочетанием ВК. В этом случае для прерывания передачи достаточно корреспонденту передать ВК или, как это практикуется, серию точек. Заметим, что многие EZ и R применяют сокращение ВК без достаточных на то оснований, поскольку их аппаратура приспособлена только для симплексной связи, при которой передача и прием могут производиться лишь поочередно.

Не все, видимо, знают точный смысл сигналов перехода на прием: K, KN. Так, например, 8 июля прошлого года EZ3AAF после длительного CQ вдруг передал сигнал KN. А ведь это сочетание обозначает, что оператор слушает лишь вполне конкретную станцию, и употребляется в основном лишь в процессе связи, когда оператор желает исключить QRM от других вызывающих его станций. В конце общего вызова это сочетание можно передавать только в том случае, если общий вызов был направленный (например, CQ UR2).

Совершенно неограниченной (а точнее неправдоподобной) выглядит и оценка качества приема ваших сигналов — RST 599 или 589, если корреспонденты после этого дважды и трижды просят повторить каждое слово, передавая всяческие PSE RPT (прошу повторить), VY QRM (очень сильные помехи), QRN (атмосферные помехи) и т. д.

Многие радиолюбители, стремясь побыстрее провести QSO или продемонстрировать определенный «класс», передают телеграфные знаки с большой скоростью, не задумываясь над тем, что принять их очень сложно. В результате нередко наблюдается обратное: на связь затрачивается в 2—3 раза больше времени, чем при средних скоростях обмена информацией.

Иногда операторы заучивают, доводя до автоматизма, передачу на электронных ключах стандартных фраз кода и передают их на большой скорости. Но подчас, перейдя на прием, они не в состоянии принимать или понимать эти же фразы, переданные в два раза медленнее. Таким «асам» один совет: никогда не передавайте быстрее, чем сможете принять сами.

Р. ГАУХМАН (UA3CH)

г. Москва

РАДИОЛЮБИТЕЛЮ О МИКРОПРОЦЕССОРАХ И МИКРО-ЭВМ

ПРОЦЕССОРНЫЙ МОДУЛЬ МИКРО-ЭВМ

Г. ЗЕЛЕНКО, В. ПАНОВ, С. ПОПОВ

Основой нашей микро-ЭВМ является микропроцессор КР5801К80А. Он выполнен в виде БИС в пластмассовом корпусе с 40 выводами. Перечислим сигналы на выводах, с которыми работает микропроцессор, и их назначение.

ША [0—15] — выходные сигналы шины адресов для адресации памяти или портов ввода — вывода;

ШД [0—7] — входные или выходные сигналы двунаправленной шины данных для обмена данными с памятью или портами ввода — вывода, а также для вывода из микропроцессора информации о его состоянии;

С1, С2 — входные периодические сигналы для тактирования микропроцессора;

С — выходной сигнал синхронизации, вырабатываемый в начале каждого машинного цикла и указывающий, что по шине данных передается информация о состоянии микропроцессора;

СБР — входной сигнал установки микропроцессора в начальное состояние, обеспечивающее выполнение программы с команды, содержащейся в ячейке памяти с адресом 0000H;

ПМ — выходной сигнал, инициирующий выдачу данных периферийным модулями на шину данных;

ВД — выходной сигнал, сопровождающий выдачу микропроцессором информации на шину данных для

формации на шину данных для записи в периферийные модули;

ГТ — входной сигнал от модулей памяти или портов ввода — вывода, указывающий на их готовность к обмену данными с микропроцессором;

ОЖ — выходной сигнал при ожидании микропроцессором готовности периферийных модулей;

ЗХ — входной сигнал, инициирующий перевод шин адресов и данных микропроцессора в высокоимпедансное состояние;

ПЗХ — выходной сигнал, подтверждающий перевод шин адресов и данных микропроцессора в высокоимпедансное состояние;

РПР — выходной сигнал разрешения прерывания выполнения текущей программы;

ЗПР — входной сигнал запроса прерывания.

Микропроцессор тактируется импульсами С1 и С2, формируемыми внешним тактовым генератором. Выполнение каждой команды происходит за один или несколько (до 5) машинных циклов, каждый из которых связан с обращением за командой или данными к памяти или портам ввода — вывода. В свою очередь, машинный цикл разделяется на 3—5 тактов, длительность которых равна периоду следования тактирующих импульсов.

В каждом такте любого машинного цикла микропроцессор выполняет определенные действия:

Т1 — устанавливает код адреса периферийного модуля на шине адресов,

Продолжение. Начало см. в «Радио», 1982, № 9—12.

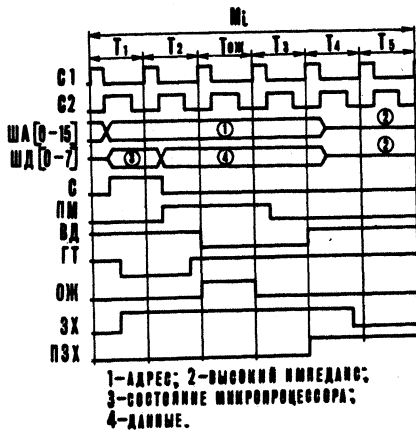


Рис. 1

T4/T5 — выполняет внутренние меж-регистровые передачи и обработку данных в соответствии с командой.

Временная диаграмма выполнения обобщенного машинного цикла приведена на рис. 1. Следует заметить, что здесь оба сигнала ПМ и ВД изображены активными условно. В течение реального машинного цикла активным может быть только один из них.

Адрес порта или ячейки памяти, с которым идет обмен информацией в текущем машинном цикле, формируется микропроцессором на шине адресов в такте T1 и остается неизменным до окончания такта T3.

Сигналы ПМ и ВД являются общими как для модулей памяти, так

T1/T2 в виде 8-разрядного кода — байта состояния, который по сигналу синхронизации С запоминается (фиксируется) во внешнем регистре и определяет действия микропроцессора в остальных тактах текущего машинного цикла. Использование байта состояния позволяет однозначно определить, с какой группой периферийных модулей происходит обмен данными в текущем машинном цикле. Наличие единицы в отдельных разрядах байта состояния является признаком выполнения микропроцессором в текущем машинном цикле следующих действий:

ШД [0] (ППР) — обслуживание запроса прерывания;

ШД [1] (ЗВ) — запись в память или вывод данных в порт;

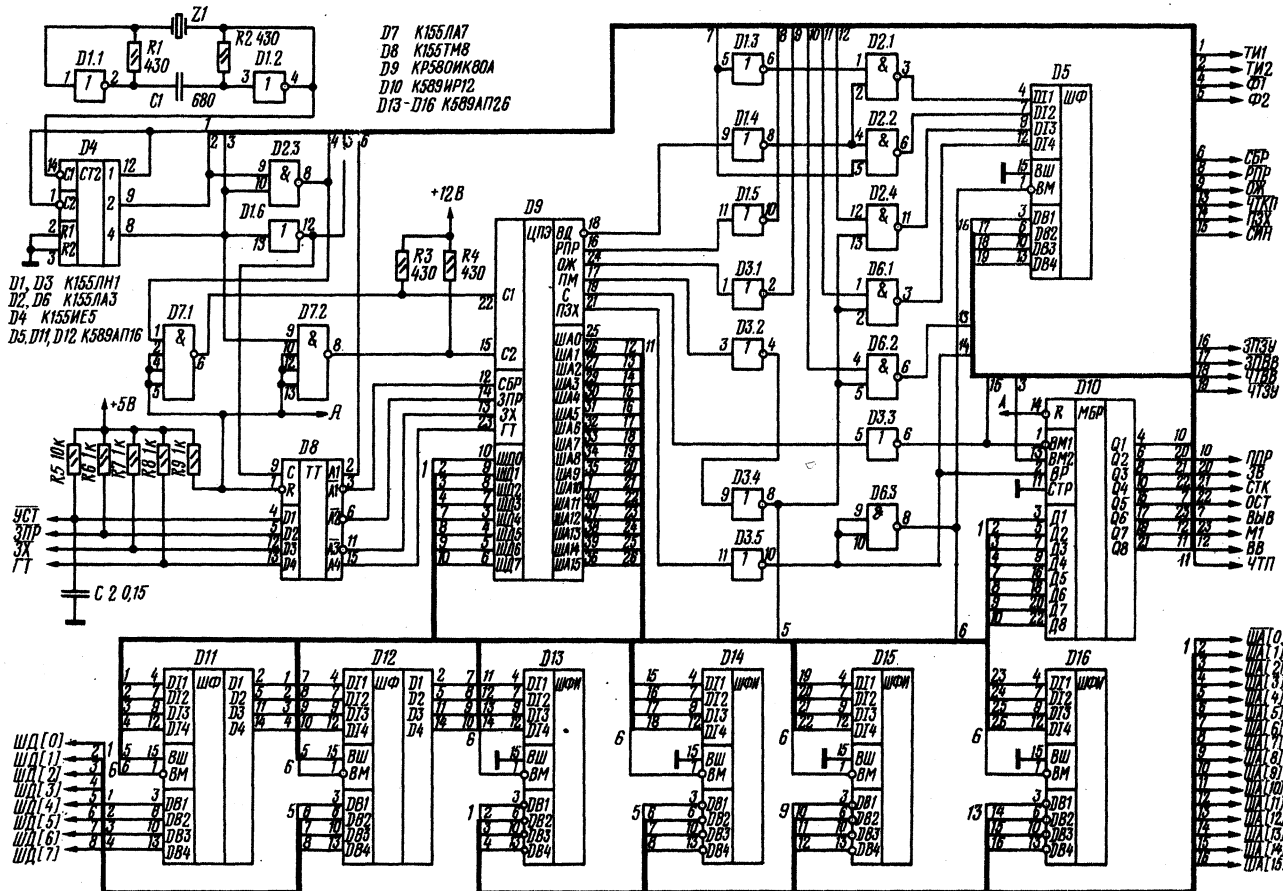


Рис. 2

T1/T2 — выводит информацию о своем состоянии по шине данных,

T2 — проверяет состояние сигналов на входах ГТ и ЭХ,

T3 — реализует обмен одним байтом информации с памятью или портами,

и для портов ввода—вывода, что приемлемо только в простейших микро-ЭВМ. В более сложных микро-ЭВМ используют дополнительные сигналы управления, выдаваемые микропроцессором на шину данных в тактах

ШД [2] (СТК) — обращение к области памяти, используемой в качестве стека;

ШД [3] (ОСТ) — останов микропроцессора по команде HLT.

ШД [4] (ВВВ) — вывод данных в порт.

ШД [5] (М1) — чтение кода операции команды.

ШД [6] (ВВ) — ввод данных из порта.

ШД [7] (ЧТП) — чтение данных из памяти.

В такте Т2 во время действия сигнала С2 микропроцессор анализирует входные сигналы ГТ и ЗХ. Если входной сигнал ГТ имеет уровень 0 (далее вместо выражений «логическая единица» или «логический ноль» будем использовать обозначения 1 или 0 соответственно), то после такта Т2 выполняются вспомогательные такты ожидания **ТОЖ**. Это позволяет использовать в микро-ЭВМ память и периферийное оборудование с малым быстродействием. Число вспомогательных тактов ожидания определяются длительностью поддержания памяти или другим периферийным модулем входного сигнала ГТ в состоянии 0. Как только периферийный модуль будет готов к обмену данными, он установит

из нее, минуя микропроцессор. При этом периферийные модули должны самостоятельно устанавливать на шине адресов микро-ЭВМ адрес требуемой ячейки памяти, а также формировать соответствующие сигналы записи или считывания. Такой обмен данными между периферийными модулями и памятью микро-ЭВМ называется **прямым доступом к памяти**.

В первом машинном цикле М1 микропроцессор считывает в такте Т3 код операции команды из памяти микро-ЭВМ и, если для ее реализации не требуются дополнительные действия по обмену данными с памятью или портами ввода — вывода, выполняет команду в такте Т4 (или Т4 и Т5). В противном случае в дополнительных машинных циклах (М2—М5) происходит обмен данными между микропроцессором и памятью или портами ввода—вывода.

Для примера в таблице приведена последовательность действий, совершаемых микропроцессором при выполнении команды IN ADR.

Машинный цикл	Машинный такт	Действие
М1	Т1	Вывод содержимого указателя адреса на шину адресов
	Т1/Т2	Вывод на шину данных информации о состоянии микропроцессора
	Т2	Опрос состояния входов ГТ и ЗХ
	Т3	Чтение кода команды из памяти, увеличение на 1 содержимого указателя адреса
М2	Т4	Подготовка микропроцессора к выполнению команды
	Т1	Вывод содержимого указателя адреса на шину адресов
	Т1/Т2	Вывод на шину данных информации о состоянии микропроцессора
	Т2	Опрос состояния входов ГТ и ЗХ
М3	Т3	Чтение из памяти адреса порта ввода, увеличение на 1 содержимого указателя адреса
	Т1	Вывод на шину адресов адреса порта ввода
	Т1/Т2	Вывод на шину данных информации о состоянии микропроцессора
	Т2	Опрос состояния входов ГТ и ЗХ
М3	Т3	Чтение из порта ввода байта данных в аккумулятор, опрос состояния входа ЗПР

на этом входе состояние 1, что позволит микропроцессору перейти к выполнению такта Т3.

Если во время действия такта Т2 на входах ЗХ присутствует сигнал с уровнем 1, то микропроцессор реагирует на это в конце такта Т3 или следующего за ним такта в зависимости от того, выполнялся ли цикл чтения или записи соответственно. При этом на выводе ПЗХ возникает сигнал подтверждения того, что шины адресов и данных микропроцессора переведены в высокоимпедансное состояние. Продолжительность пребывания в таком состоянии определяется длительностью поддержания входного сигнала ЗХ. Это позволяет обеспечить периферийным модулям запись или считывание данных непосредственно в память микро-ЭВМ или

текущей программы считывает по сигналу ЧТКП с шины данных микро-ЭВМ код одной из команд передачи управления, формируемый модулем контролера прерывания. Одновременно снимается выходной сигнал РПР, что не позволяет микропроцессору в дальнейшем реагировать на новые запросы прерывания, вплоть до выполнения следующей команды Е1. Запретить прерывание текущей программы можно также командой запрета прерывания Д1 в любом месте выполняемой программы. При этом выходной сигнал РПР микропроцессора приводится к уровню 0.

С дополнительными сведениями о структуре и некоторых особенностях работы микропроцессора в различных режимах читатель может ознакомиться в второй главе книги [1], где описан зарубежный аналог — микропроцессор 8080 фирмы INTEL.

Микропроцессор и ряд вспомогательных интегральных схем образуют процессорный модуль. Электрическая принципиальная схема модуля представлена на рис. 2. В состав модуля, кроме микропроцессора, входят генератор тактовых импульсов, входной регистр, формирователи сигналов шины адресов и шины данных микро-ЭВМ, а также узел формирования сигналов шины управления микро-ЭВМ. Генератор тактовых импульсов выполнен на элементах Д1.1 и Д1.2 и возбуждается кварцевым резонатором Z1, резонансная частота которого может находиться в пределах от 4000 до 20 000 кГц, что обеспечивает период следования тактовых импульсов соответственно от 2 до 0,4 мкс. Сигнал с выхода элемента Д1.2 поступает на тактовый вход С1 формирователя тактовых импульсов, выполненного на основе двонного счетчика Д4 и логических элементов Д1.6, Д2.3, Д7.1 и Д7.2. С первого и второго выходов счетчика Д4 снимаются соответственно сигналы ТИ1 и ТИ2, а с выходов логических элементов Д2.3 и Д1.6 — соответственно сигналы Ф1 и Ф2, которые используют для тактирования некоторых периферийных модулей микро-ЭВМ. Сигналы, формируемые на выходах логических элементов Д7.1 и Д7.2, совпадают во времени с сигналами Ф1 и Ф2 и поступают соответственно на входы С1 и С2 микропроцессора. Амплитуда этих сигналов равна 12 В, что обеспечено использованием логических элементов с открытым коллектором и нагрузочными резисторами R1 и R3.

Для фиксации состояния входных управляющих линий УСТ, ЗПР, ЗХ и ГТ служит входной регистр Д8, занесение информации в которой происходит по входам Д1—Д4 в момент перехода сигнала на счетном входе С в состояние 1. Входная линия ГТ нагружена на резистор R8, что позво-

ляет подключать сюда через элементы с открытым коллектором по схеме «проводное ИЛИ» одноименные выходные линии периферийных модулей, требующих замедления работы микропроцессора при обмене данными с ним. Входные линии **ЗПР** и **ЗХ** также нагружены на резисторы R6 и R7 соответственно, что обеспечивает работоспособность процессорного модуля, если в микро-ЭВМ не использованы модули контроллера прерываний и прямого доступа к памяти. Для надежной установки внутренних узлов микропроцессора в начальное состояние длительность сигнала **СБР** должна быть не менее трех периодов следования тактирующих сигналов **С1** и **С2**, что обеспечивают резистор R5 и конденсатор C12. Сигналы с выхода регистра D8 поступают непосредственно на управляющие входы микропроцессора, обеспечивая перевод его в соответствующий режим работы.

Так как низкая нагрузочная способность выходных линий микропроцессора (выходной ток при уровне 0 всего 1,8 мА) не позволяет подключать к ним более одного входа TTL интегральных схем, в состав процессорного модуля введены формирователи сигналов шины адресов, шины данных и шины управления микро-ЭВМ. При этом достигается повышение нагрузочной способности шин микро-ЭВМ до 120 мА для выходного тока уровня 0 и допустимой емкости нагрузки до 300 пФ, что позволяет подключать к шинам микро-ЭВМ большое число различных периферийных модулей.

Формирователи сигналов шины адресов микро-ЭВМ выполнены с использованием четырехразрядных шинных формирователей с инверсией D13—D16, на входы D11—D14 которых поступают сигналы с адресных выходов микропроцессора. Выходные линии DB1—DB4 формирователей D13—D16 образуют шину адресов микро-ЭВМ. Шинные формирователи управляются по входам выбора микросхем **ВМ**. При наличии на этих входах сигналов 0 выходные сигналы шины адресов микропроцессора поступают на соответствующие линии шины адресов микро-ЭВМ. При появлении на входах **ВМ** сигнала 1 запрещается прохождение сигналов с входов D11—D14 шинных формирователей D13—D16 на выходы DB1—DB4, которые переходят в высокоимпедансное состояние.

Формирователи сигналов шины данных микро-ЭВМ выполнены также на основе четырехразрядных шинных формирователей D11 и D12, работающих в двунаправленном режиме. Каждая разрядная линия двунаправленной шины данных микропроцессора соединяется с одним из входов D11—D14 и одним из соответствующих выходов D1—D4 шинных формирователей D11 и D12. Их выходные линии

DB1—DB4 образуют двунаправленную шину данных микро-ЭВМ, позволяющую передавать данные от микропроцессора к памяти или другим периферийным модулям, а также в обратном направлении. Направление передачи данных через шинные формирователи D11 и D12 определяется сигналами на входах выбора шины **ВШ**. Сигнал 0 на этих входах обеспечивает передачу данных с входов D11—D14 через линии DB1—DB4 на шину данных микро-ЭВМ. Выходы D1—D4 при этом не оказывают влияния на работу шинных формирователей, так как в это время находятся в высокоимпедансном состоянии. При подаче на входы **ВШ** сигнала 1 направление передачи данных через шинные формирователи D11—D12 меняется на противоположное. В этом случае сигналы на шине данных микро-ЭВМ через линии DB1—DB4 поступают на выходы D1—D4 шинных формирователей и далее к микропроцессору. Управление формирователями шины данных микро-ЭВМ по входам **ВМ** происходит аналогично формирователям адресной шины.

Узел формирования сигналов шины управления микро-ЭВМ служит для получения управляющих сигналов, обеспечивающих передачу информации между различными компонентами микро-ЭВМ. В состав узла входят регистр состояния микропроцессора D10, логические элементы D13—D15, D21, D22, D24, D3.1—D3.5 и D6.1—D6.3 и шинный формирователь D5. Информация о состоянии микропроцессора поступает на входы D1—D8 регистра D10 с выходов шины данных микропроцессора и фиксируется в нем при совпадении отрицательного сигнала на входе **ВМ1** и положительного на входе **ВМ2**. При наличии уровня 1 на входе **ВР** принятая информация о состоянии микропроцессоров с выходов Q1 и Q8 регистра D10 поступает на соединительный разъем процессорного модуля и может быть использована для управления различными периферийными модулями микро-ЭВМ. При появлении сигнала 0 на входе **ВР** выходные линии Q1—Q8 регистра D10 переходят в высокоимпедансное состояние, что позволяет организовывать режим прямого доступа к памяти микро-ЭВМ.

Кроме сигналов состояния микропроцессора по шине управления микро-ЭВМ передаются сигналы, используемые при обращении к памяти или портам ввода—вывода для записи или считывания информации. Эти сигналы формируются на выходах DB1—DB4 шинного формирователя D5, которые переходят в высокоимпедансное состояние при наличии подожительного сигнала на входе **ВМ**. В этом случае линии **ЧТЗУ**, **ЗПЗУ**, **ЧТВВ** и **ЗПВВ** микро-ЭВМ могут быть использованы для прямого доступа к памяти. Назна-

чение других управляющих сигналов, формируемых в процессорном модуле, было определено ранее при описании работы микропроцессора.

Кроме выводов микропроцессора, о назначении которых также говорилось выше, у него есть еще три вывода для подведения напряжения питания +5 В, +12 В и —5 В и один вывод — общий. Для нормальной работы микропроцессора рекомендуется одновременная подача всех питающих напряжений. Допустима и неодновременная подача с соблюдением следующей последовательности: первым подают напряжение —5 В, затем +5 В и последним +12 В. Отключают питающие напряжения в обратной последовательности. В цепи питания микропроцессора рекомендуется установить фильтрующие керамические конденсаторы емкостью 0,022...0,15 мкФ на расстоянии не более 5 см от микросхемы. Потребляемый процессорным модулем ток от источника +5 В не превышает 1 А, +12 В — около 100 мА и —5 В — менее 1 мА.

Конструктивно процессорный модуль может быть выполнен как функционально законченный универсальный узел. Как и любой универсальный узел, он обладает определенной избыточностью как по числу использованных управляющих сигналов, так и по нагрузочной способности шин. Модуль рассчитан на применение его в микро-ЭВМ с большим числом периферийных модулей, возможностью организации ввода—вывода методом прямого доступа к памяти и системы прерываний.

Такая избыточность, на наш взгляд, вполне оправдана, так как в дальнейшем позволит радиолюбителям по мере приобретения опыта и возникновения новых задач усложнять микро-ЭВМ.

В более простых конструкциях можно ряд микросхем модуля изъять или заменить другими. Так, если не требуется прямого доступа к памяти, вместо микросхемы K589ИР12 (D10) могут быть использованы любые D-триггеры. Элементы K589АП26 (D13—D16) могут быть заменены обычными инверторами, например K155ЛА1, а элементы D5, D11 и D12 (K589АП16) могут быть исключены совсем. Однако при всех таких изменениях надо помнить о нагрузочной способности шин микро-ЭВМ.

Вопросам отладки процессорного модуля будет посвящена одна из последующих статей этой серии.

ЛИТЕРАТУРА

1. Каган Б. М., Сташин В. В. Микропроцессоры в цифровых системах. — М., Энергия, 1979.
2. Микропроцессорные комплекты интегральных схем: состав и структура. Справочник. — М., Радио и связь, 1982.