



Panchip Microelectronics Co., Ltd.

## PAN3029 硬件设计参考

当前版本: 1.4

发布日期: 2024.03

## 上海磐启微电子有限公司

地址: 上海张江高科技园区盛夏路 666 号 D 栋 302 室

联系电话: 021-50802371

网址: <http://www.panchip.com>

## 文档说明

由于版本升级或存在其他原因，本文档内容会不定期进行更新。除非另有约定，本文档内容仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 商标

磐启是磐启微电子有限公司的商标。本文档中提及的其他名称是其各自所有者的商标/注册商标。

## 免责声明

本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，磐启微电子有限公司对本文档内容不做任何明示或暗示的声明或保证。

## 修订历史

版本	修订时间	描述
V1.0	2023.06	初始版本创建
V1.1	2023.08	更新参考原理图设计
V1.2	2023.10	1、更新原理图和 BOM, 2、增加特殊注意点
V1.3	2023.12	1、更新原理图匹配, 2、增加特殊注意点
V1.4	2024.03	1、更新原理图匹配

## 目 录

1	原理图设计要求 .....	1
1.1	电源设计要求 .....	1
1.2	晶体设计要求 .....	1
1.3	DCDC 设计要求 .....	3
1.4	数字接口设计要求 .....	3
1.5	射频前端设计要求 .....	3
1.6	ESD 设计要求 .....	5
1.7	参考原理图 .....	5
1.7.1	433MHz .....	7
1.7.2	Switchless_433MHz .....	9
1.7.3	490MHz .....	11
1.7.4	Switchless_490MHz .....	13
1.7.5	863MHz .....	15
1.7.6	915MHz .....	17
2	PCB 设计要求 .....	19
2.1	板材的选择和特殊说明 .....	19
2.2	DCDC LAYOUT .....	19
2.3	电源和地线 LAYOUT .....	19
2.4	晶振相关的 LAYOUT .....	20
2.5	控制线 LAYOUT .....	20
2.6	QFN 封装 LAYOUT .....	20
2.7	射频匹配电路 LAYOUT .....	21
3	特殊注意点 .....	22
3.1	PA 输出功率 .....	22
3.2	ESD 保护 .....	22
3.3	Layout 特殊要求 .....	23

## 1 原理图设计要求

### 1.1 电源设计要求

PAN3029 典型供电电压为 3.3V，芯片有两种工作模式，可以通过配置芯片的工作模式来选择 LDO 模式和 DC-DC 模式。DC-DC 模式要求供电电压范围为 2-3.6V，LDO 模式要求供电电压范围为 1.8-3.6V。下表列出了芯片电源相关的管脚的连接方式和推荐的外接器件值。

芯片内部写 eFuse 的电压范围是 2.25V 到 2.75V，典型值为 2.5V，因此在写 eFuse 操作时，建议外部 VDD1 供电 2.5V 电压。读 eFuse 操作时，电源电压支持到 1.83-3.6V。

表 1-1 芯片电源相关的管脚的连接方式和推荐的外接器件值

PIN 序号	符号	功能	连接信号		外接器件值
			DC-DC 模式	非 DC-DC 模式	
2	DCDC_V_FB	DCDC 输出	-	-	2.2uH+1uF+0.1uF
6	DVDD	数字电源 LDO 输出	-	-	1uF
7	VDD123	模拟电源	DCDC_V_FB	VCC	0.1uF
8	VBAT	模拟电源	VCC	VCC	10uF+0.1uF
9	VDDPA	PALDO 输出	-	-	0.1uF+100pF
27	VBAT_IO	数字电源	VCC	VCC	0.1uF
28	VBAT_DCDC	DCDC 电源	VCC	VCC	0.1uF

备注 1：DCDC 模式，管脚 DCDC\_V\_FB 外接的电感和电容值请严格按照要求的 2.2uH+10uF+0.1uF 设计，如果电感和电容值小了，会导致芯片功耗上升；

### 1.2 晶体设计要求

对于外部无源晶体的常规要求如下：

- 1、晶体频率 32MHz；
- 2、ESR 小于 50ohm；
- 3、晶体负载电容推荐使用 12pF，负载电容变化，原理图的晶体并联到地电容要改变；
- 4、晶体频率误差  $\leq \pm 10\text{ppm}$ ；
- 5、晶振的频率温度（-20~70° C）特征  $\leq \pm 10\text{ppm}$ ；
- 6、激励功率  $\leq 100\mu\text{W}$ 。

推荐用 KDS 无源晶体 1C232000AA0B，具体的参数指标如下所示。

## SPECIFICATION OF SURFACE MOUNT TYPE

1 .TYPE	DSX321G
2 .NOMINAL FREQUENCY	32.000000 MHz
3 .LOAD CAPACITANCE(CL)	12.0 pF
4 .DRIVE LEVEL	10 uW +/- 2 uW
5 .FREQUENCY TOLERANCE	+/- 10 × 10 <sup>-6</sup> at 25 deg.C +/- 3 deg.C
6 .SERIES RESISTANCE	50 ohms max. / CL = SERIES
7 .FREQUENCY CHARACTERISTICS OVER TEMPERATURE	+/- 10 × 10 <sup>-6</sup> / -20 deg.C to +70 deg.C (ref. +25 deg.C)
8 .OPERATING TEMPERATURE RANGE	-20 deg.C to +70 deg.C
9 .STORAGE TEMPERATURE RANGE	-40 deg.C to +85 deg.C
10 .SHUNT CAPACITANCE(C0)	2.0 pF max.
11 .INSULATION RESISTANCE	500 Mohms min. at 100V DC
12 .OVERTONE ORDER	Fundamental
13 .DIMENSIONS	Refer to Fig-1

有源晶振的输出直接接到芯片 XC2 管脚，有源晶振的供电可以用芯片的 GPIO 来提供或者外部电源供电，要求有源晶振支持的工作电压范围为 1.8~3.6V。温度范围-40~85° C 的应用，推荐使用 KDS 的有源温补晶体 1XXD32000MBA，具体的参数如下表所示。

( $T_A=-40\sim+85^\circ C$ ,  $L_{LOAD}\_R//C=10k\Omega//10pF$ ,  $V_{CC}=+3.3V$ , unless otherwise noted)

	Item	Conditions	Limits			unit	Notes
			min.	typ.	max.		
1	Current Consumption		-	-	+2.0	mA	
2	Output Level		0.8	-	-	V <sub>P-P</sub>	1
3	Symmetry	GND level (DC cut)	40/60	-	60/40	%	
4	Harmonics		-	-	-5	dBc	
5	Frequency Stability 1.Tolerance	After 2 times reflow Ref. to nominal frequency	-	-	±1.5	ppm	2,3
	2.vs Temperature	$T_A=-30\sim+85^\circ C$ Ref. to frequency ( $T_A=+25^\circ C$ )	-	-	±0.5	ppm	
		$T_A=-40\sim-30^\circ C$ Ref. to frequency ( $T_A=+25^\circ C$ )	-	-	±1.0	ppm	
		$V_{CC}=+3.3V\pm5\%$	-	-	±0.2	ppm	
	3.vs Supply Voltage	$L_{LOAD}\_R//C=(10k\Omega//10pF)\pm10\%$	-	-	±0.2	ppm	
4	4.vs Load Variation	$T_A=Room\ ambient$	-	-	±1.0	ppm/year	
5	vs Aging		-	-	2.0	ms	
6	Start Up Time	@90% of final Vout level	-	-	-125	dBc/Hz	
7	SSB Phase Noise	Relative to F0 level offset 1kHz	-	-	-		

在大发射功率的条件下，芯片会产生大量的热量，这些热量会通过 PCB 传导到晶体，由于晶体的频率会随着温度产生变化，导致在发射过程中会出现频率漂移，这个漂移会对接收解调产生较大的挑战，严重的话导致出现接收解调数据错误，出现丢包的现象。不同的 BW 和不同 SF，对晶体的要求不一样，具体请参考“PAN3029 晶体选型说明文档”。

## 1.3 DCDC 设计要求

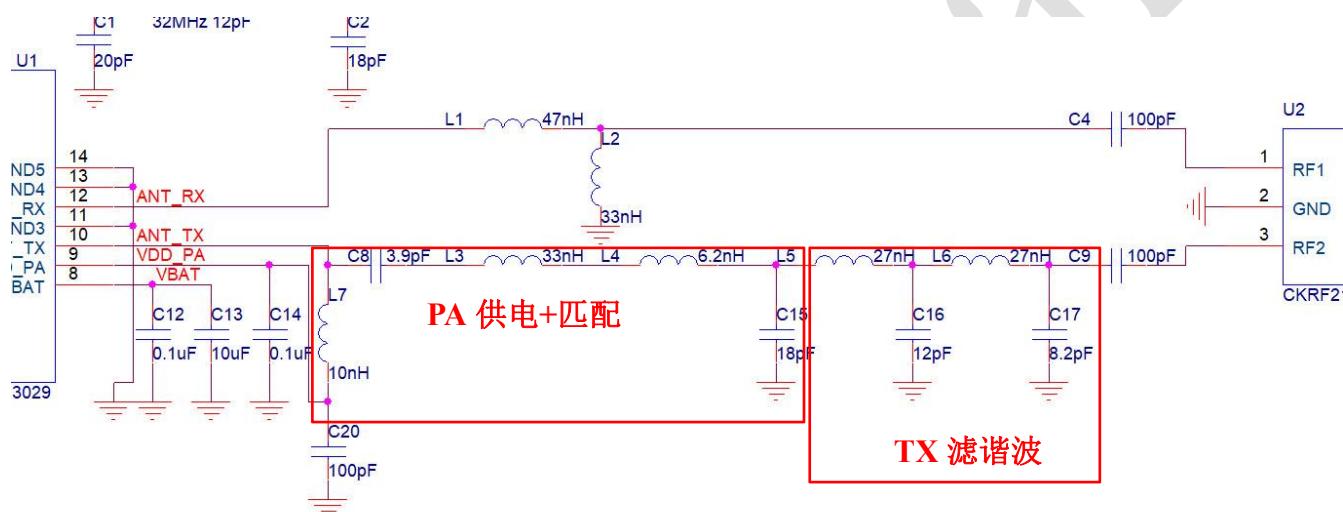
电感选型要求导通电阻小于  $100\text{ m}\Omega$ ，峰值电流大于  $150\text{mA}$ （参考型号：PIM252010-2R2MTS00）。

## 1.4 数字接口设计要求

- 1、SPI 采用 4 线 CSN, SCK, MOSI 和 MISO 接口，最高速率要求低于  $10\text{Mbps}$ ，操作 efuse 时，不能超过  $8\text{Mbps}$ ；
- 2、I2C 跟 SPI 复用管脚，SCL 复用 SPI 的 SCK，SDA 复用 SPI 的 MOSI，使用 I2C 时 CSN 要拉高，I2C 的最高速率要求低于  $15\text{Mbps}$ ；
- 3、中断 IRQ，默认是低电平输出，在发射和接收成功时会输出高电平。
- 4、关于 GPIO 的功能配置请参考用户手册，重点提到的是 GPIO11 可以复用为 CAD 检测功能引脚，GPIO10 可以配置为外部 PA 控制引脚。

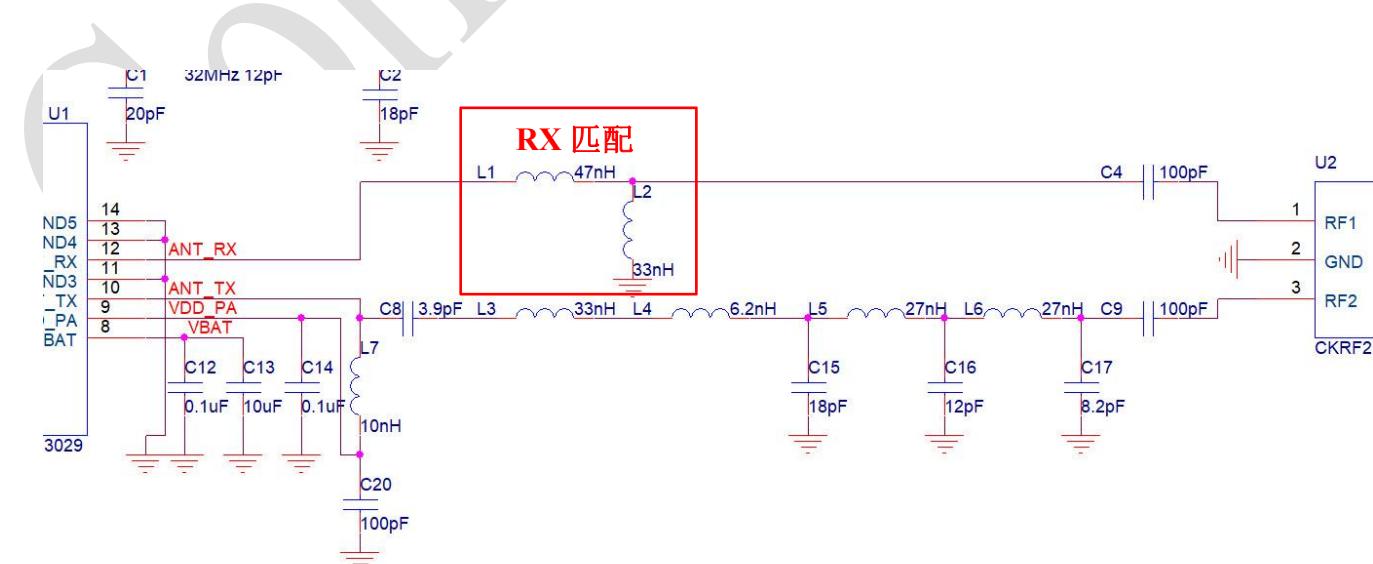
## 1.5 射频前端设计要求

芯片 TX 端电路需要完成给 PA 供电，匹配和滤除谐波功能，PA 供电、匹配和滤谐波分别对应以下电路。



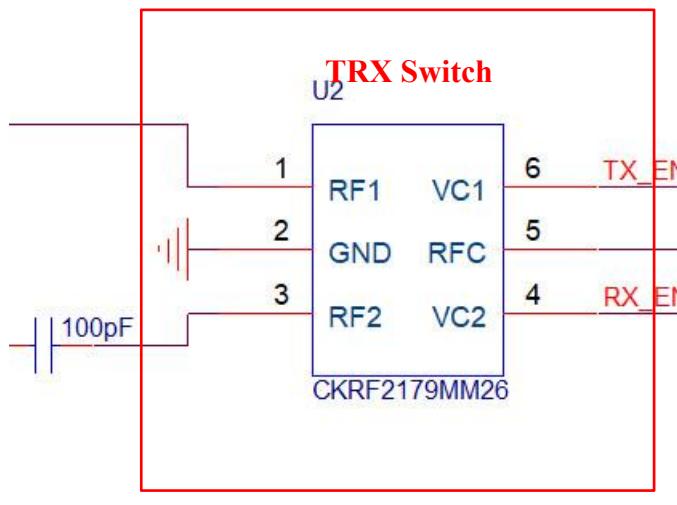
24

芯片 RX 端电路需要完成匹配功能，对应以下的电路。由于 DCDC 工作后会干扰到 RX，导致 RX 灵敏度会有略微的损失，如果对射频性能有很高的要求，建议使用 LDO 模式。



24

芯片 TX 和 RX 有两种合路方式，一种是通过外部开关合路，这种方式 TX 和 RX 性能能达到最好的状态；另一种是通过调整电感和电容值直接合路，这种方式 TX 和 RX 性能会受损失，RX 灵敏度在 DCDC 模式下会受到很大的影响。



## 1.6 ESD 设计要求

天线端 ESD 性能会比其它管脚差一些，需要预留 ESD 保护二极管。

## 1.7 参考原理图

- 1、需要将中间的 EPAD 通过顶层的 GND 管脚接到外面的大地上；
- 2、DCDC 的地需要通过  $0\Omega$  电阻与 GND 单点连接，不要与 GND 地直接相接；
- 3、电感选型要求导通电阻小于  $100\text{ m}\Omega$ ，峰值电流大于  $150\text{mA}$ （参考型号：PIM252010-2R2MTS00）。
- 4、L5、C16、L6、C17 为安规滤波匹配，如果不考虑安规可以去掉；

- 5、匹配元器件值需要根据 TR Switch 和 Layout 的不同微调；
- 6、DCDC 模式只推荐在 RX 模式使用，TX 模式 DCDC 打开会影响安规；

Confidential

## 1.7.1 433MHz

### 1.7.1.1 参考原理图

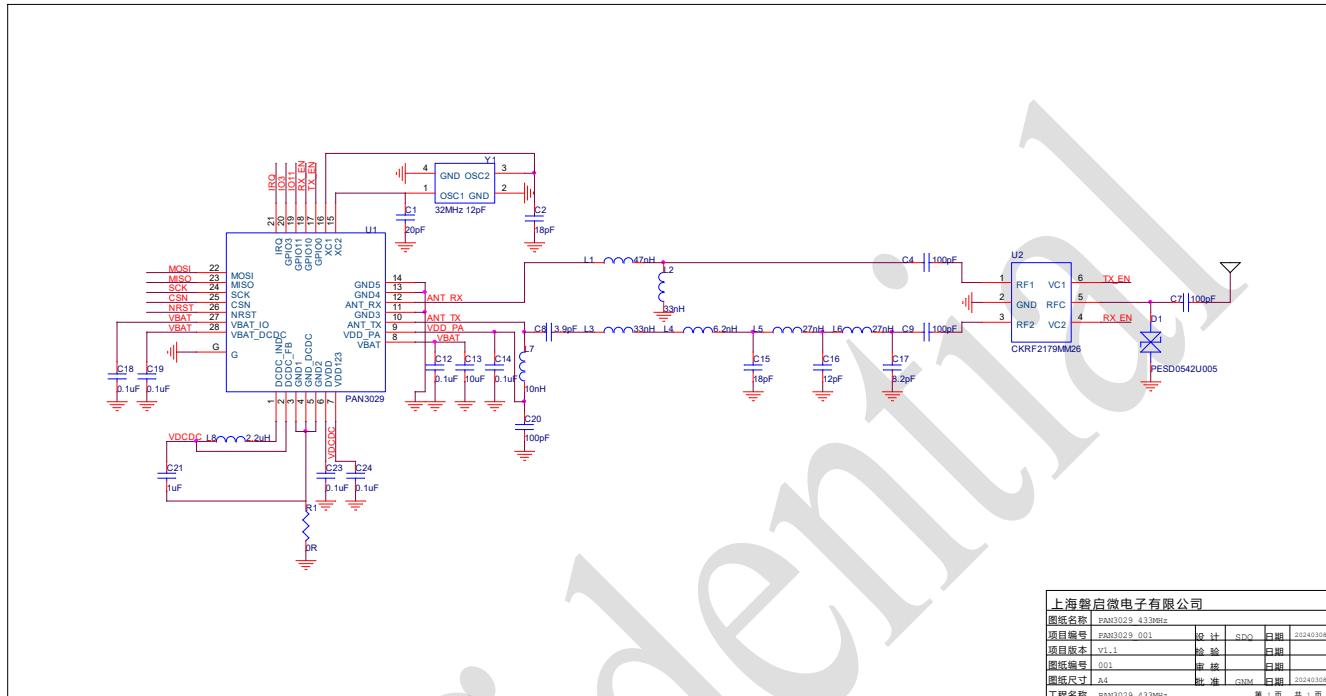


图 1-1 433MHz 参考原理图

### 1.7.1.2 参考 BOM

表 1-2 LDO Mode 433MHz 参考 BOM

位号	值	描述	封装
R1	0R	贴片电阻, ±1%	0402
C8	3.9pF	贴片电容, NPO, ±0.1pF, 50V	0402
C17	8.2pF	贴片电容, NPO, ±0.1pF, 50V	0402
C16	12pF	贴片电容, NPO, ±1%, 50V	0402
C2,C15	18pF	贴片电容, NPO, ±1%, 50V	0402
C1	20pF	贴片电容, NPO, ±1%, 50V	0402
C4,C7,C9,C20	100pF	贴片电容, NPO, ±5%, 50V	0402
C12,C14,C18,C19,C23,C24	0.1uF	贴片电容, X7R, ±10%, 16V	0402
C21	1uF	贴片电容, X7R, ±20%, 16V	0402
C13	10uF	贴片电容, X7R, ±20%, 16V	0603
D1	-	PESD0542U005	0402
L4	6.2nH	LQW15AN6N2G00D	0402
L7	10nH	LQW15AN10NG00D	0402



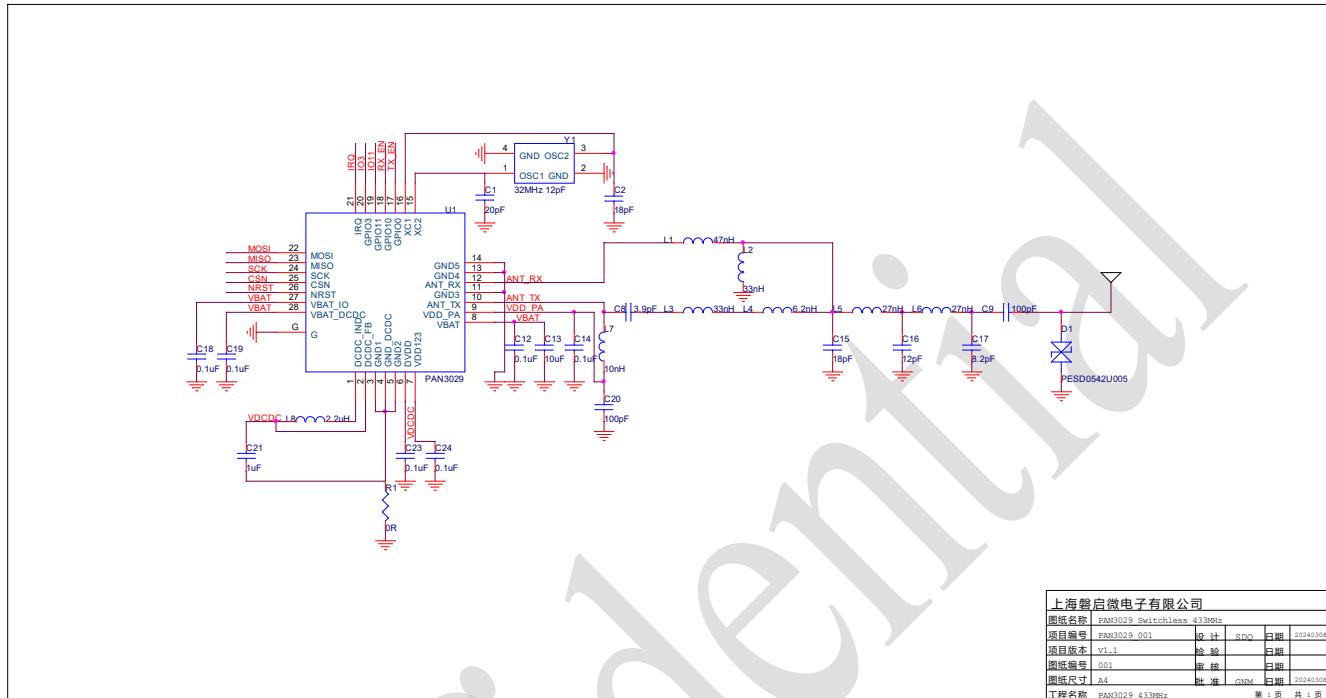
# PAN3029 硬件设计参考

L5,L6	27nH	LQW15AN27NG00D	0402
L2,L3	33nH	LQW15AN33NG00D	0402
L1	47nH	LQW15AN47NG00D	0402
L8	2.2uH	PIM252010-2R2MTS00	2520
U1	PAN3029	-	QFN28_4*4
U2	CKRF2179MM26	射频开关	SOT-363
Y1	32MHz	贴片无源晶振, CL=12pF,±10PPM	SMD3225

Confidential

## 1.7.2 433MHz\_Switchless

### 1.7.2.1 参考原理图





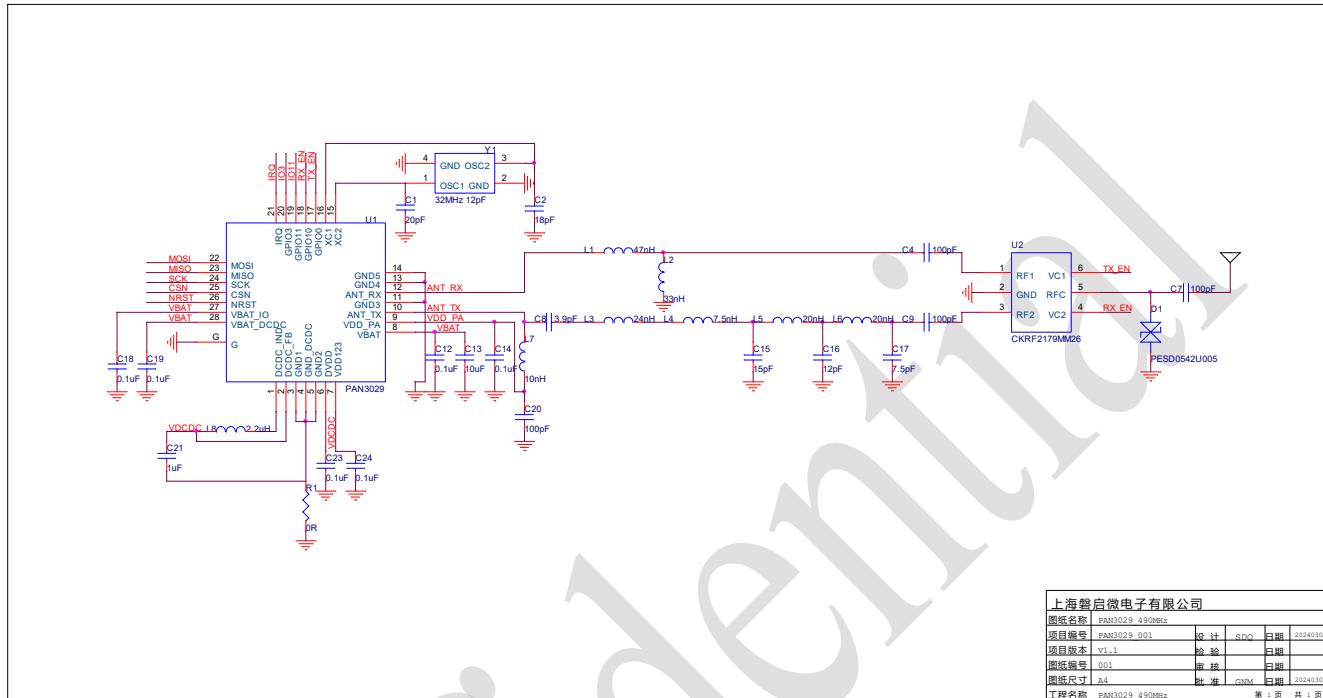
# PAN3029 硬件设计参考

L5,L6	27nH	LQW15AN27NG00D	0402
L2,L3	33nH	LQW15AN33NG00D	0402
L1	47nH	LQW15AN47NG00D	0402
L8	2.2uH	PIM252010-2R2MTS00	2520
U1	PAN3029	-	QFN28_4*4
Y1	32MHz	贴片无源晶振, CL=12pF,±10PPM	SMD3225

Confidential

## 1.7.3 490MHz

### 1.7.3.1 参考原理图



### 1.7.3.2 参考 BOM

表 1-3 490MHz 参考 BOM

位号	值	描述	封装
R1	0R	贴片电阻, ±1%	0402
C8	3.9pF	贴片电容, NPO, ±0.1pF, 50V	0402
C17	7.5pF	贴片电容, NPO, ±0.1pF, 50V	0402
C16	12pF	贴片电容, NPO, ±1%, 50V	0402
C15	15pF	贴片电容, NPO, ±1%, 50V	0402
C2	18 pF	贴片电容, NPO, ±1%, 50V	0402
C1	20 pF	贴片电容, NPO, ±1%, 50V	0402
C4,C7,C9,C20	100pF	贴片电容, NPO, ±5%, 50V	0402
C12,C14,C18,C19,C23,C24	0.1uF	贴片电容, X7R, ±10%, 16V	0402
C21	1uF	贴片电容, X7R, ±10%, 16V	0402
C13	10uF	贴片电容, X7R, ±20%, 16V	0603
D1	-	PESD0542U005	0402
L4	7.5nH	LQW15AN7N5G00D	0402



# PAN3029 硬件设计参考

L7	10nH	LQW15AN10NG00D	0402
L5,L6	20nH	LQW15AN20NG00D	0402
L3	24nH	LQW15AN24NG00D	0402
L2	33nH	LQW15AN33NG00D	0402
L1	47nH	LQW15AN47NG00D	0402
L8	2.2uH	PIM252010-2R2MTS00	2520
U1	PAN3029	-	QFN28_4*4
U2	CKRF2179MM26	射频开关	SOT-363
Y1	32MHz	贴片无源晶振, CL=12pF,±10PPM	SMD3225

Confidential

## 1.7.4 490MHz\_Switchless

### 1.7.4.1 参考原理图

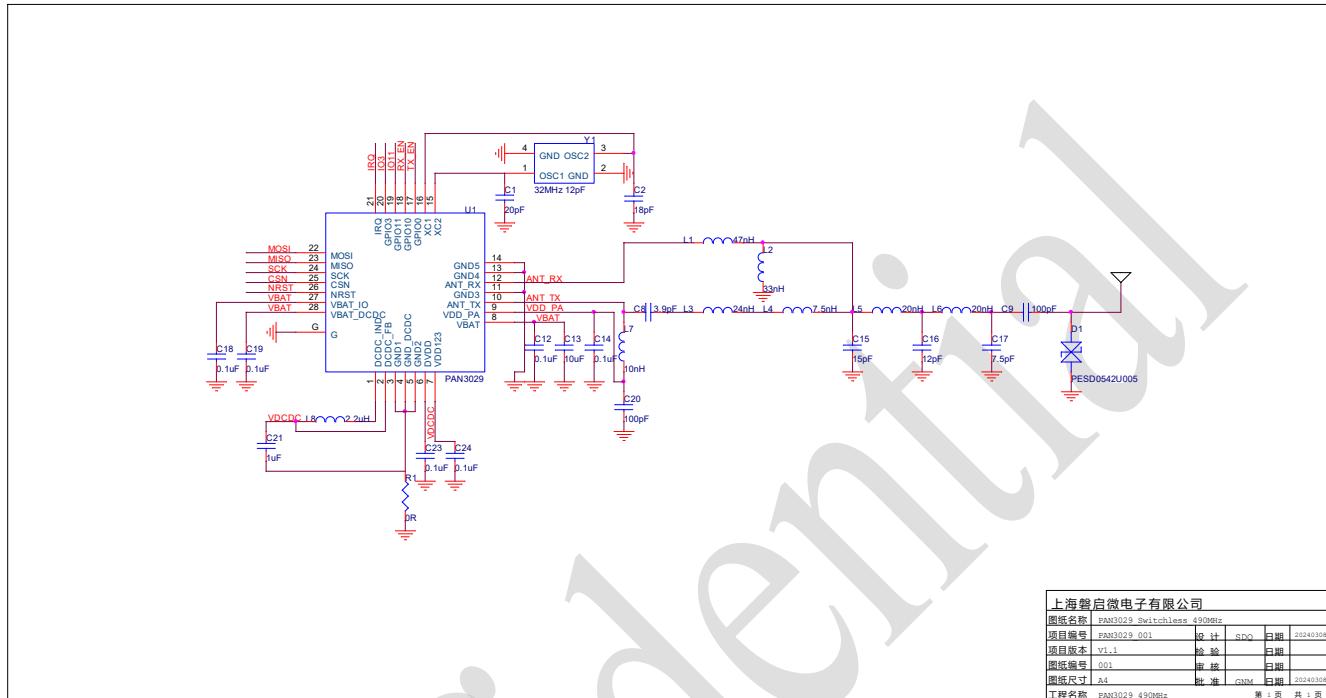


图 1-3 Switchless\_490MHz 参考原理图

### 1.7.4.2 参考 BOM

表 1-4 Switchless\_490MHz 参考 BOM

位号	值	描述	封装
R1	0R	贴片电阻, ±1%	0402
C8	3.9pF	贴片电容, NPO, ±0.1pF, 50V	0402
C17	7.5pF	贴片电容, NPO, ±0.1pF, 50V	0402
C16	12pF	贴片电容, NPO, ±1%, 50V	0402
C15	15pF	贴片电容, NPO, ±1%, 50V	0402
C2	18 pF	贴片电容, NPO, ±1%, 50V	0402
C1	20 pF	贴片电容, NPO, ±1%, 50V	0402
C9,C20	100pF	贴片电容, NPO, ±5%, 50V	0402
C12,C14,C18,C19,C23,C24	0.1uF	贴片电容, X7R, ±10%, 16V	0402
C21	1uF	贴片电容, X7R, ±10%, 16V	0402
C13	10uF	贴片电容, X7R, ±20%, 16V	0603
D1	-	PESD0542U005	0402
L4	7.5nH	LQW15AN7N5G00D	0402



# PAN3029 硬件设计参考

L7	10nH	LQW15AN10NG00D	0402
L5,L6	20nH	LQW15AN20NG00D	0402
L3	24nH	LQW15AN24NG00D	0402
L2	33nH	LQW15AN33NG00D	0402
L1	47nH	LQW15AN47NG00D	0402
L8	2.2uH	PIM252010-2R2MTS00	2520
U1	PAN3029	-	QFN28_4*4
Y1	32MHz	贴片无源晶振, CL=12pF,±10PPM	SMD3225

## 1.7.5 863MHz

### 1.7.5.1 参考原理图

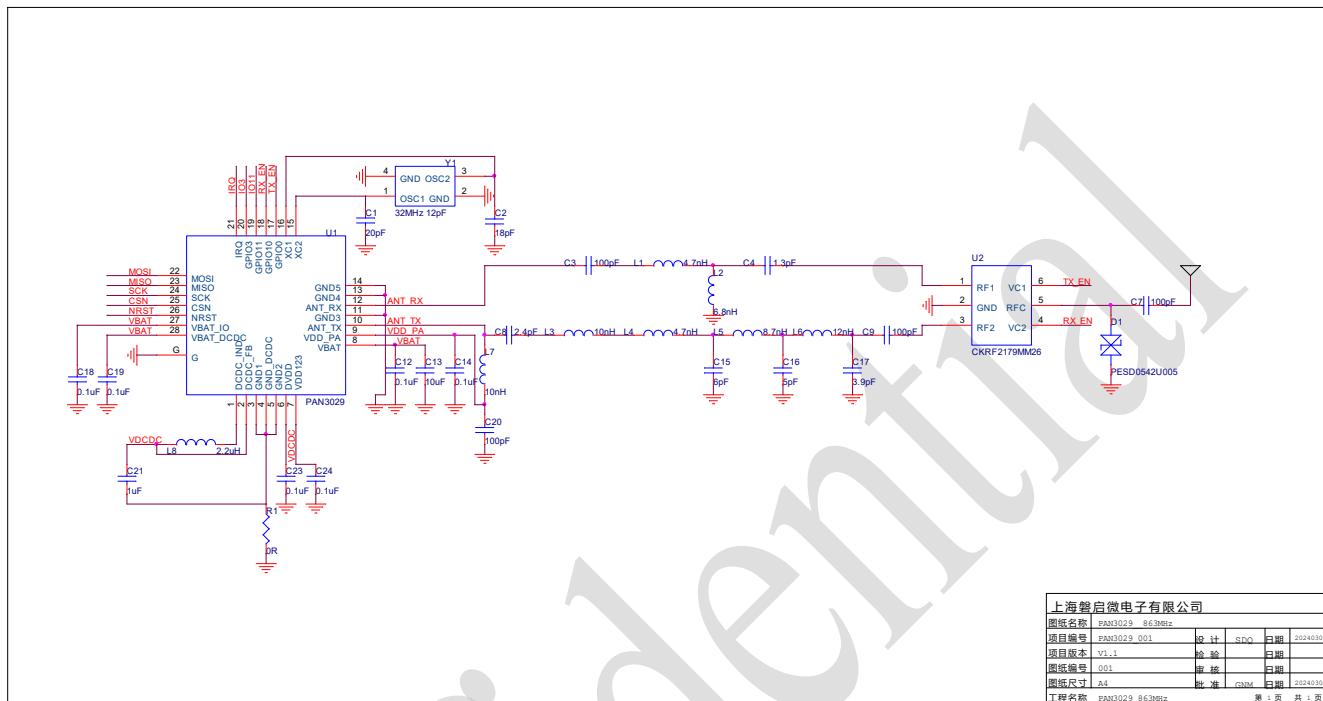


图 1-4 863MHz 参考原理图

### 1.7.5.2 参考 BOM

表 1-5 863MHz 参考 BOM

位号	值	描述	封装
C4	1.3pF	贴片电容, NPO, ±0.1pF, 50V	0402
C8	2.4pF	贴片电容, NPO, ±0.1pF, 50V	0402
C17	3.9pF	贴片电容, NPO, ±0.1pF, 50V	0402
C16	5pF	贴片电容, NPO, ±0.1pF, 50V	0402
C15	6pF	贴片电容, NPO, ±0.1pF, 50V	0402
C2	18pF	贴片电容, NPO, ±1%, 50V	0402
C1	20pF	贴片电容, NPO, ±1%, 50V	0402
C3,C7,C9,C20	100pF	贴片电容, NPO, ±5%, 50V	0402
C12,C14,C18,C19,C23,C24	0.1uF	贴片电容, X7R, ±10%, 16V	0402
C21	1uF	贴片电容, X7R, ±10%, 16V	0402
C13	10uF	贴片电容, X7R, ±20%, 16V	0603
D1	-	PESD0542U005	0402
L1,L4	4.7nH	LQW15AN4N7G00D	0402

L2	6.8 nH	LQW15AN6N8G00D	0402
L5	8.7nH	LQW15AN8N7G00D	0402
L3,L7	10nH	LQW15AN10NG00D	0402
L6	12nH	LQW15AN12NG00D	0402
L8	2.2uH	PIM252010-2R2MTS00	2520
U1	PAN3029	-	QFN28_4*4
U2	CKRF2179MM26	射频开关	SOT-363
Y1	32MHz	贴片无源晶振,CL=12pF,±10PPM	SMD3225

## 1.7.6 915MHz

### 1.7.6.1 参考原理图

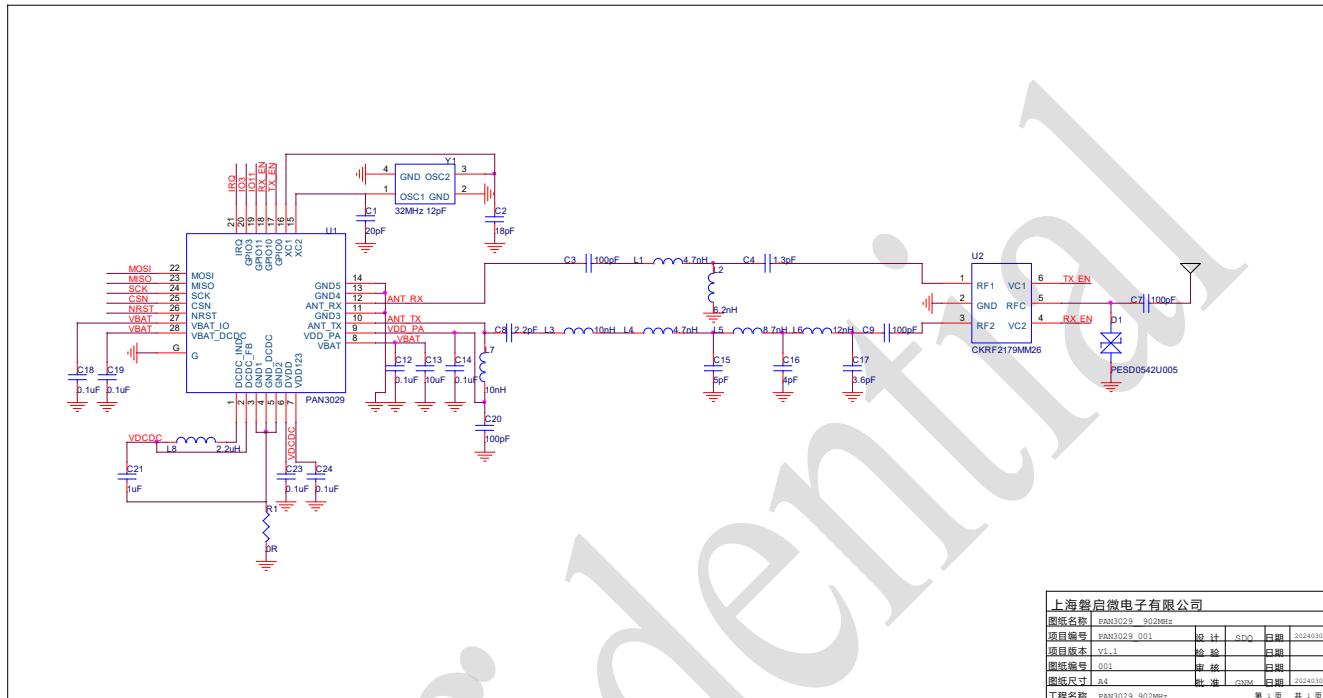


图 1-5 915MHz 参考原理图

### 1.7.6.2 参考 BOM

表 1-6 915MHz 参考 BOM

位号	值	描述	封装
C4	1.3pF	贴片电容, NPO, ±0.1pF, 50V	0402
C8	2.2pF	贴片电容, NPO, ±0.1pF, 50V	0402
C17	3.6pF	贴片电容, NPO, ±0.1pF, 50V	0402
C16	4pF	贴片电容, NPO, ±0.1pF, 50V	0402
C15	5pF	贴片电容, NPO, ±0.1pF, 50V	0402
C2	18pF	贴片电容, NPO, ±1%, 50V	0402
C1	20pF	贴片电容, NPO, ±1%, 50V	0402
C3,C7,C9,C20	100pF	贴片电容, NPO, ±5%, 50V	0402
C12,C14,C18,C19,C23,C24	0.1uF	贴片电容, X7R, ±10%, 16V	0402
C21	1uF	贴片电容, X7R, ±10%, 16V	0402
C13	10uF	贴片电容, X7R, ±20%, 16V	0603
D1	-	PESD0542U005	0402
L1,L4	4.7nH	LQW15AN4N7G00D	0402



# PAN3029 硬件设计参考

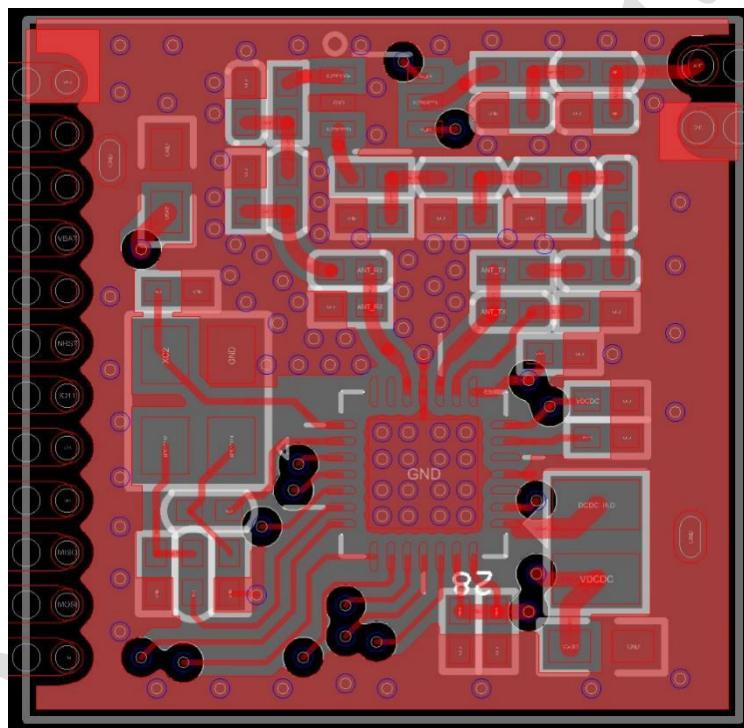
L2	6.2nH	LQW15AN6N2G00D	0402
L5	8.7nH	LQW15AN8N7G00D	0402
L3,L7	10nH	LQW15AN10NG00D	0402
L6	12nH	LQW15AN12NG00D	0402
L8	2.2uH	PIM252010-2R2MTS00	2520
U1	PAN3029	-	QFN28_4*4
U2	CKRF2179MM26	射频开关	SOT-363
Y1	32MHz	贴片无源晶振, CL=12pF,±10PPM	SMD3225

Confidential

## 2 PCB设计要求

### 2.1 板材的选择和特殊说明

关于 PCB 设计，建议使用四层板，四层板安规特性更好，如需考虑成本等因素，使用两层板布局，需要将中间的 EPAD 通过顶层 GND 脚接到外面的大地上，同时中间的 EPAD 接地过孔尽可能多，比如 16 个。



### 2.2 DCDC LAYOUT

- 1、DCDC 的地需要通过  $0\Omega$  电阻与 GND 单点连接，不要与 GND 地直接相接；
- 2、VSW 管脚与电感距离尽量短且走线尽量粗，提升 DCDC 的效率；

### 2.3 电源和地线 LAYOUT

电源线宽度要求能达到 0.5mm 以上，承受 200 毫安的瞬态电流。在靠近芯片电源引脚放置去耦电容，其中小容值电容摆放在更靠近芯片引脚的位置，以便较好地滤除高频噪声。

建议电源线和地线采用放射状的连接方式，单点接电源/地并且单独走线，RF 芯片的电源/地线走线与其它芯片或器件分开来，从总参考电源/地线单独引线，防止受到干扰。如果是从 LDO 或者 DCDC 等器件引出电源线，也需要单独引线并且做好滤波措施。芯片底部的 GND 引脚需要和电路板顶层的 GND 平面直接相连。

另外，覆地的地线也建议与噪声较少的地线或者总参考地线连接，不与强信号或者强干扰器件地线电源线相连，可以有效地减少整个印制板的工作噪声。

## 2.4 晶振相关的 LAYOUT

- 1、在面积允许的程度下，晶体跟芯片之间保持一定的距离，做好隔热处理
- 2、直插的晶振的焊盘需要保证外径与内径差值有 0.2mm 以上；
- 3、为防止晶振信号干扰到射频信号，印制板上在晶振焊盘和走线的两边需要做覆地处理；
- 4、为避免晶振受到天线的发射功率干扰，印制板上的天线部分与晶振焊盘走线部分之间要用 0.5mm 以上地线作为间隔带，同时晶振的外壳需要离天线 3mm 以上。

## 2.5 控制线 LAYOUT

控制类的 SPI 线、IRQ 线需要减少走线干扰，布线时走线较短并且走线两边有完整的覆地。

## 2.6 QFN 封装 LAYOUT

PAN3029(4mm×4mm 的 QFN 封装的芯片)，其芯片底下焊盘需要接地；PCB 做库元件时，在芯片中心需加接地的大 Pad，为保证与双层 PCB 的 Bottom 层的地平面较好连接，Pad 中心建议用 16 个过孔，同时中间的 EPAD 通过顶层的 NC 脚接到外面的大地上。

PAN3029 芯片下面的 PCB 板的 Bottom 层尽量不要有走线和元器件，特别是靠近射频匹配电路的部分，完整的地平面能保证良好的射频性能。

Initial

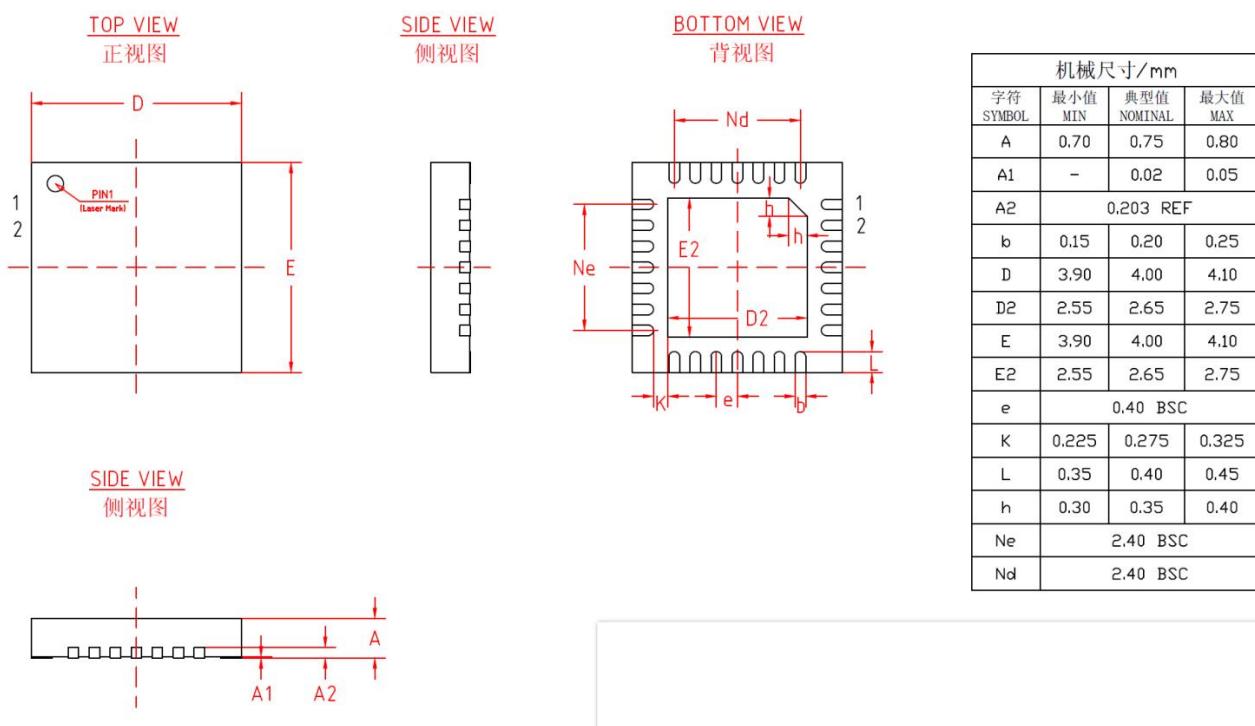


图 2-1 PAN3029 QFN32 4\*4 芯片封装尺寸图

## 2.7 射频匹配电路 LAYOUT

射频匹配部分结构要严格按照原理图推荐值来设计，由于布局差异可微调元器件值。射频匹

配元器件 layout 原则：

- 1、为了防止射频前端能量损耗，从管脚 ANT 到天线的走线较短，并且按照 50 欧姆阻抗走线（与周边铺地间距 0.3mm，背面完整的参考地），射频匹配部分走线周边的铺地要连贯牢固（多打过孔），可以使得发射能量较多地从天线端出去；
- 2、为了保证阻抗的连续性，射频匹配部分对应的背面参考地要避免放置元器件和走线，需要完整的地平面；
- 3、覆地建议用实心地；
- 4、天线旁边的 GND 可以预留露铜，方便焊接调试天线；
- 5、RF 参考地和 EPAD 需要良好连接；
- 6、禁止射频线打过孔换层。

## 3 特殊注意点

### 3.1 PA 输出功率

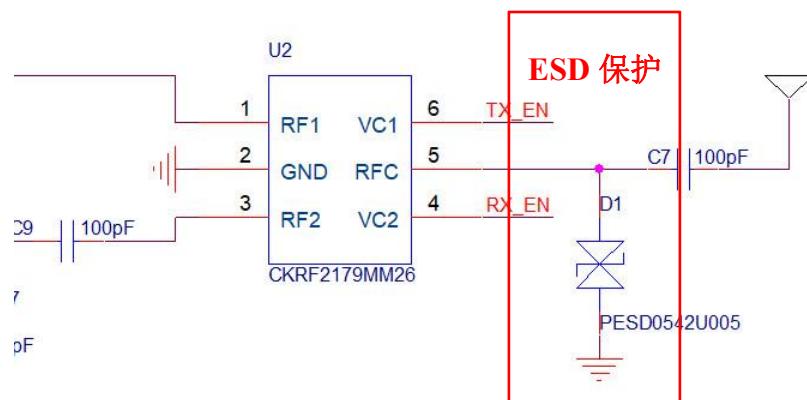
需要严格按照 SDK 推荐的档位来配置，否则会引入其它风险，影响应用。

### 3.2 DCDC 模式接收

引脚 3、4 和 5 需要通过  $0\Omega$  电阻和 GND 单点连接，否则 DCDC 打开会影响接收灵敏度。

### 3.3 ESD 保护

PAN3029 天线管脚的 ESD 性能一般，工业应用建议在天线口增加 ESD 保护管。



### 3.4 Layout 特殊要求

关于 PCB 设计，建议使用四层板，四层板安规特性更好，如需考虑成本等因素，使用两层板布局，需要将中间的 EPAD 通过顶层的 GND 脚接到外面的大地上，同时中间的 EPAD 接地过孔尽可能多，比如 16 个，示意图如下图所示，否则会出现大功率不锁定的异常。863MHz 和 915MHz 输出功率超过 14dBm 时需要四层板布局，否则会出现不锁定的异常。

