Учреждение образования

«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ»

Кафедра интеллектуальных информационных технологий

**Отчет по лабораторной работе №4**

**по курсу «АОИС»**

**на тему: «Синтез комбинационных схем.»**

|  |  |
| --- | --- |
| Выполнила студентка группы 721702: | Галай А.Д. |
| Проверил: | Захаров В.В. |

**МИНСК**

**2018**

**Тема:** Синтез комбинационных схем

**Цель работы**: повторение и закрепление материала по синтезу комбинационных схем, освоение навыков по синтезу логических комбинационных схем, не содержащих элементов памяти.

*Вариант 6*

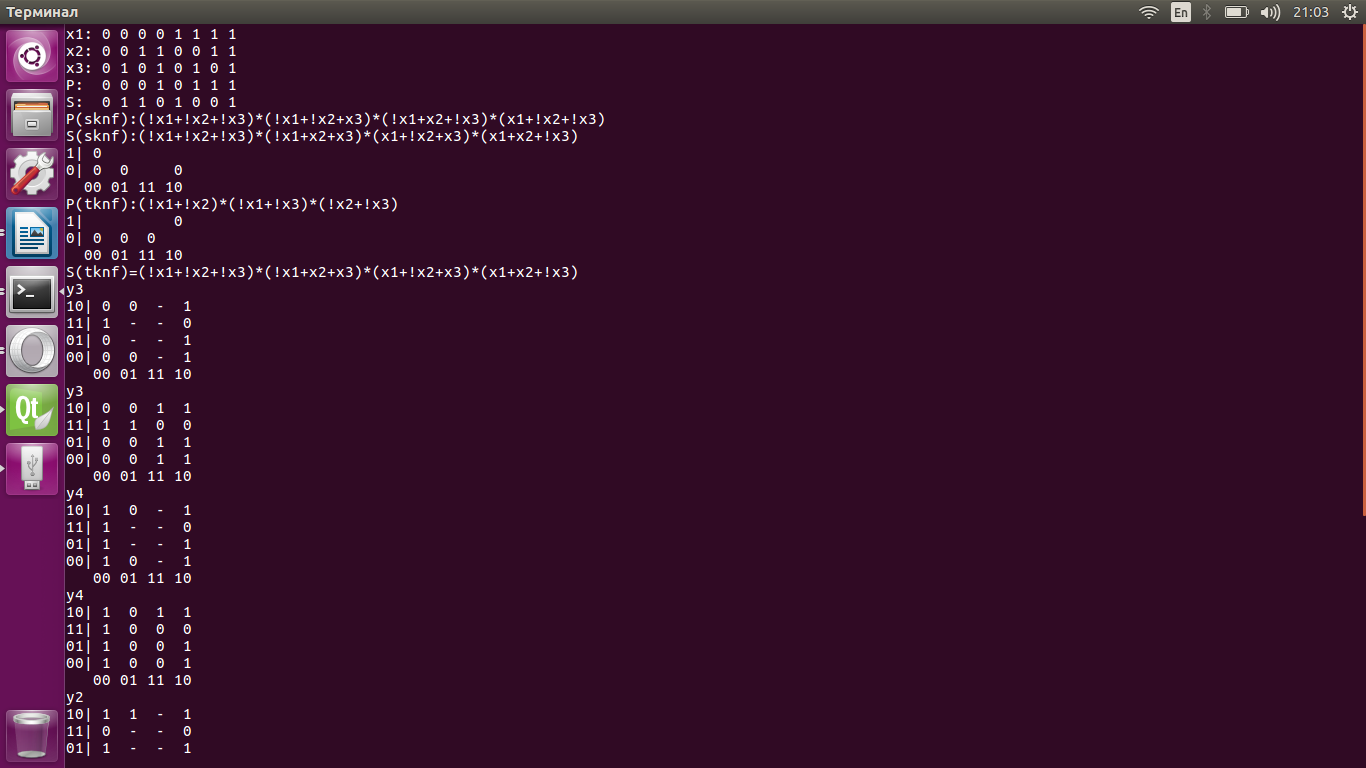
**Задания:**

1.Разработать и проверить программу, выполняющую синтез одноразрядного двоичного сумматора на 3 входа (ОДС-3) с представлением выходных функций в СКНФ.

2. Разработать и проверить программу, выполняющую синтез преобразователя тетрад десятично двоичного кода Д8421 в код Д8421+9

**Результат работы:**

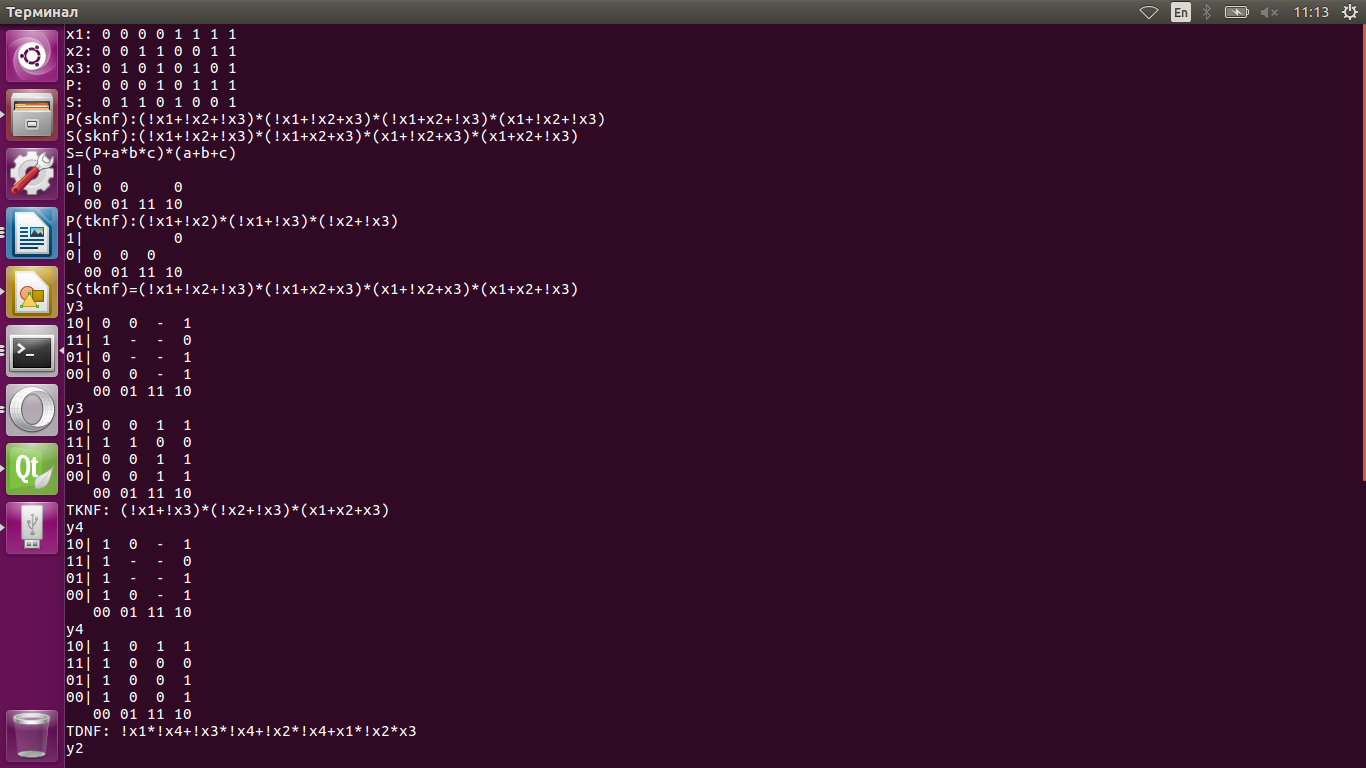
**1.** Проводим синтез P и S отдельно. Получаем:

****

Анализируя полученные результаты, приходим к выводу, что для построения ОДС-3 понадобится:

* 3 схемы НЕ
* 3 схемы ИЛИ на 2 входа
* 1 схема И на 3 входа
* 4 схемы ИЛИ на 3 входа
* 1 схема И на 4 входа

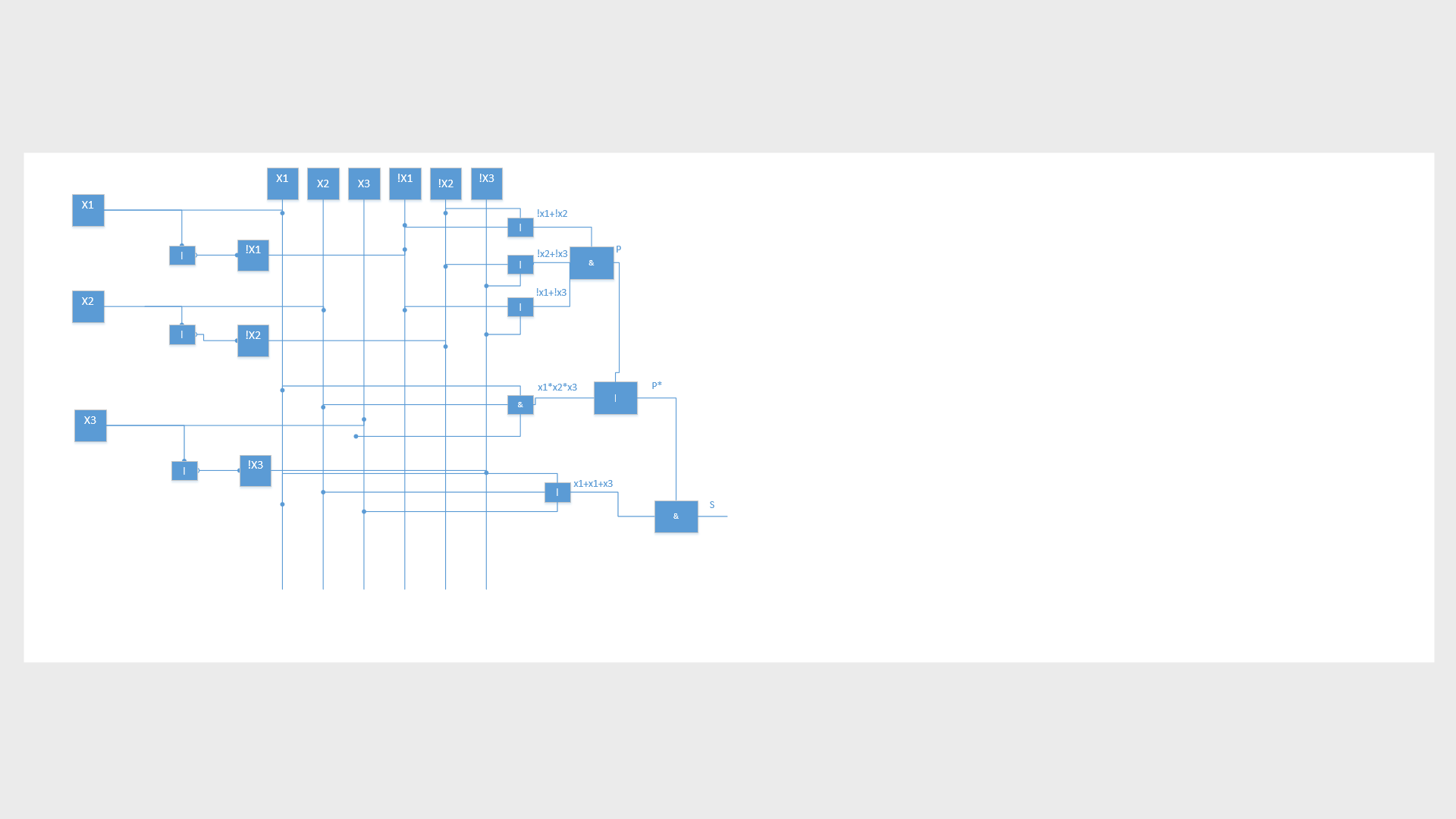
Итого 28 транзисторов.

Если же выразить S через P, получим

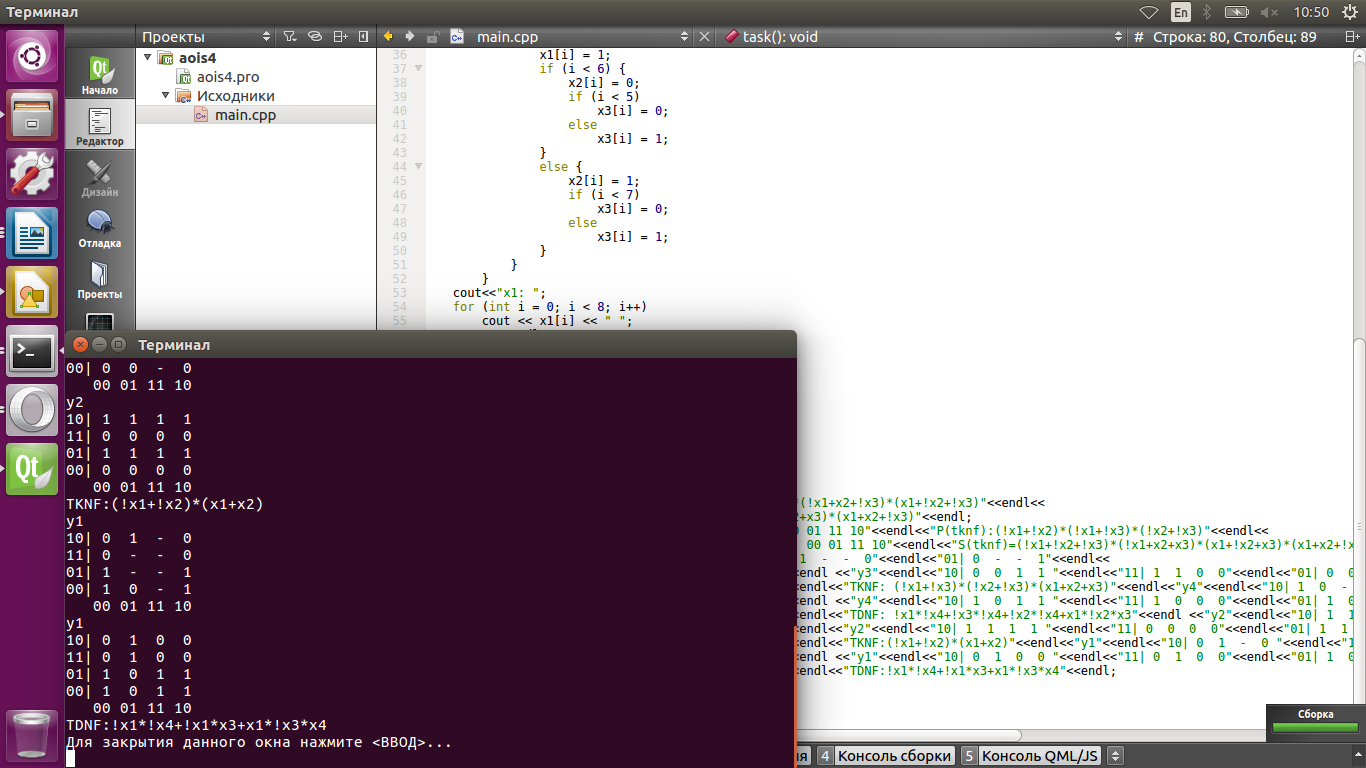
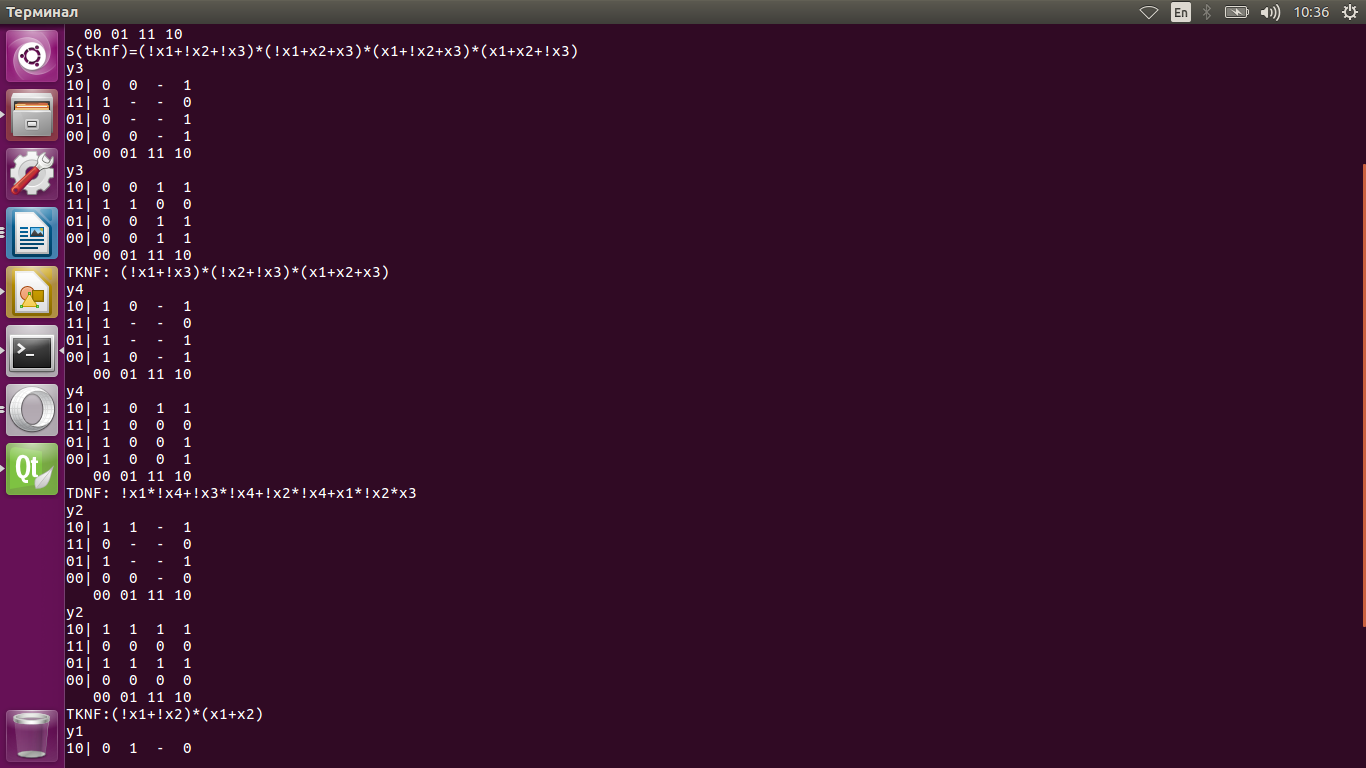
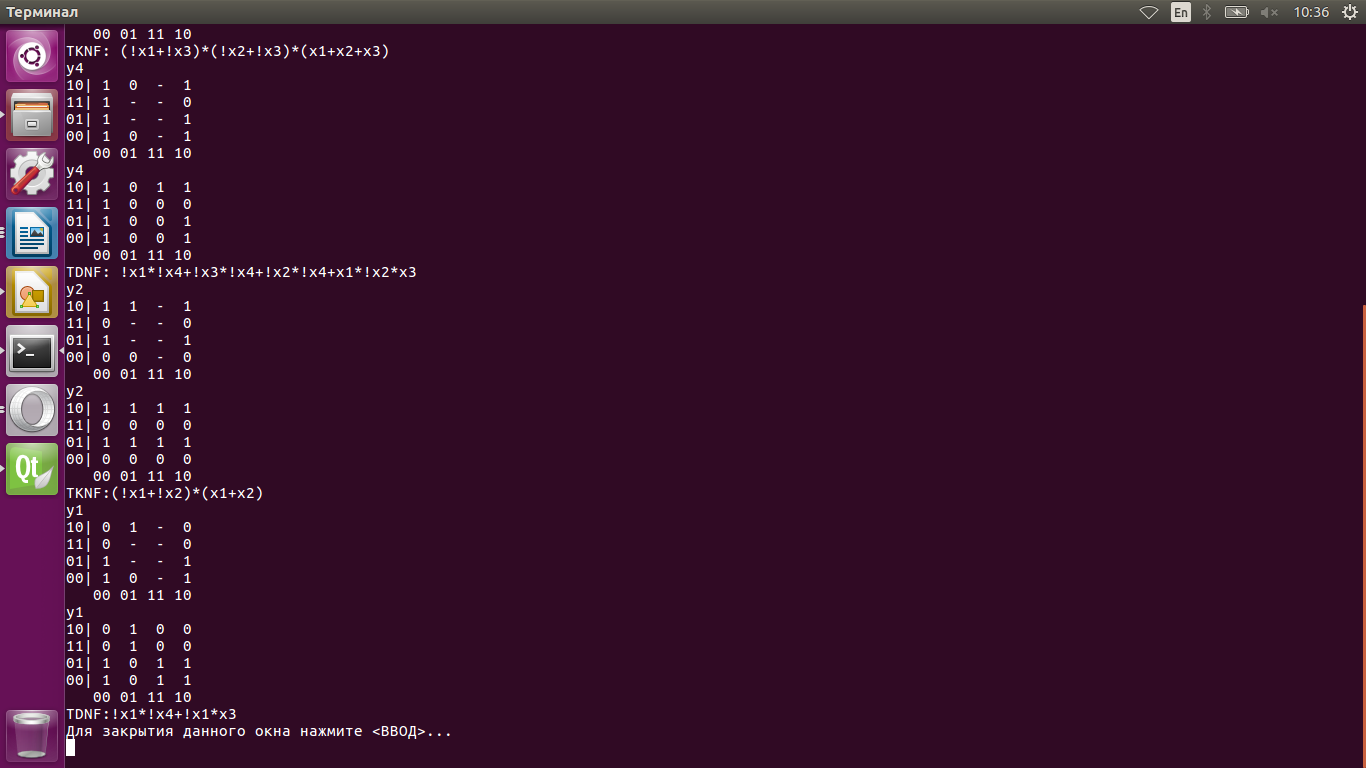
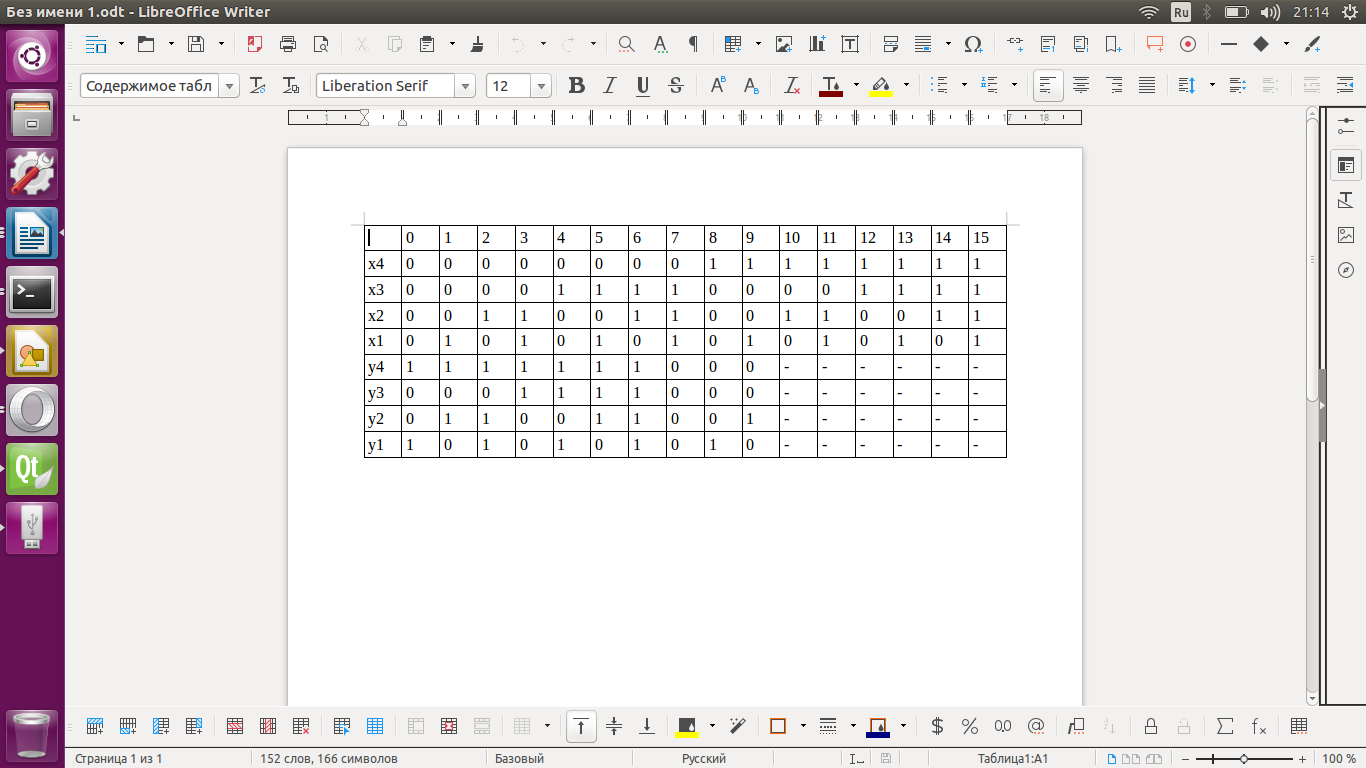
В этом случае потребуется:

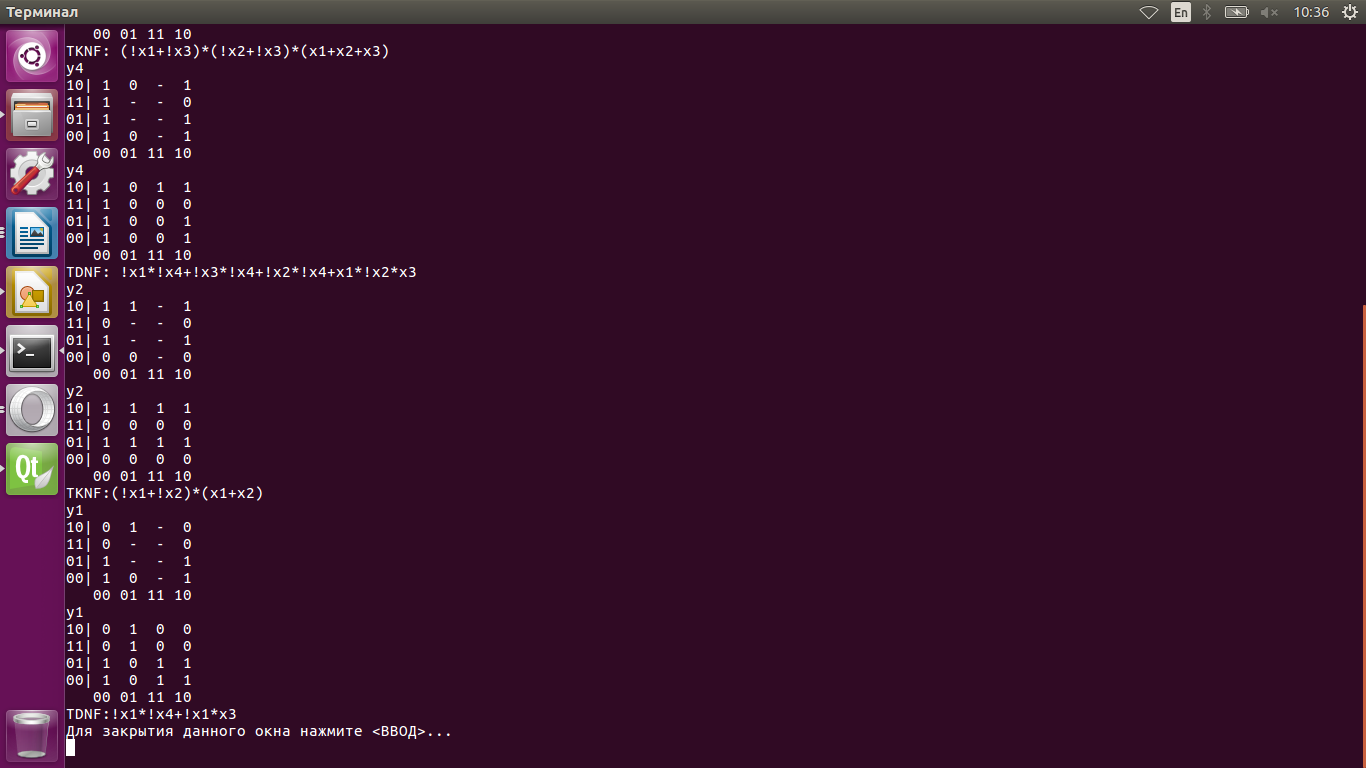
* 3 схемы НЕ
* 4 схемы ИЛИ на 2 входа
* 1 схема ИЛИ на 3 входа
* 2 схемы И на 3 входа
* 1 схема И на 2 входа

Итого 22 транзистора. Это соответствует следующей схеме:

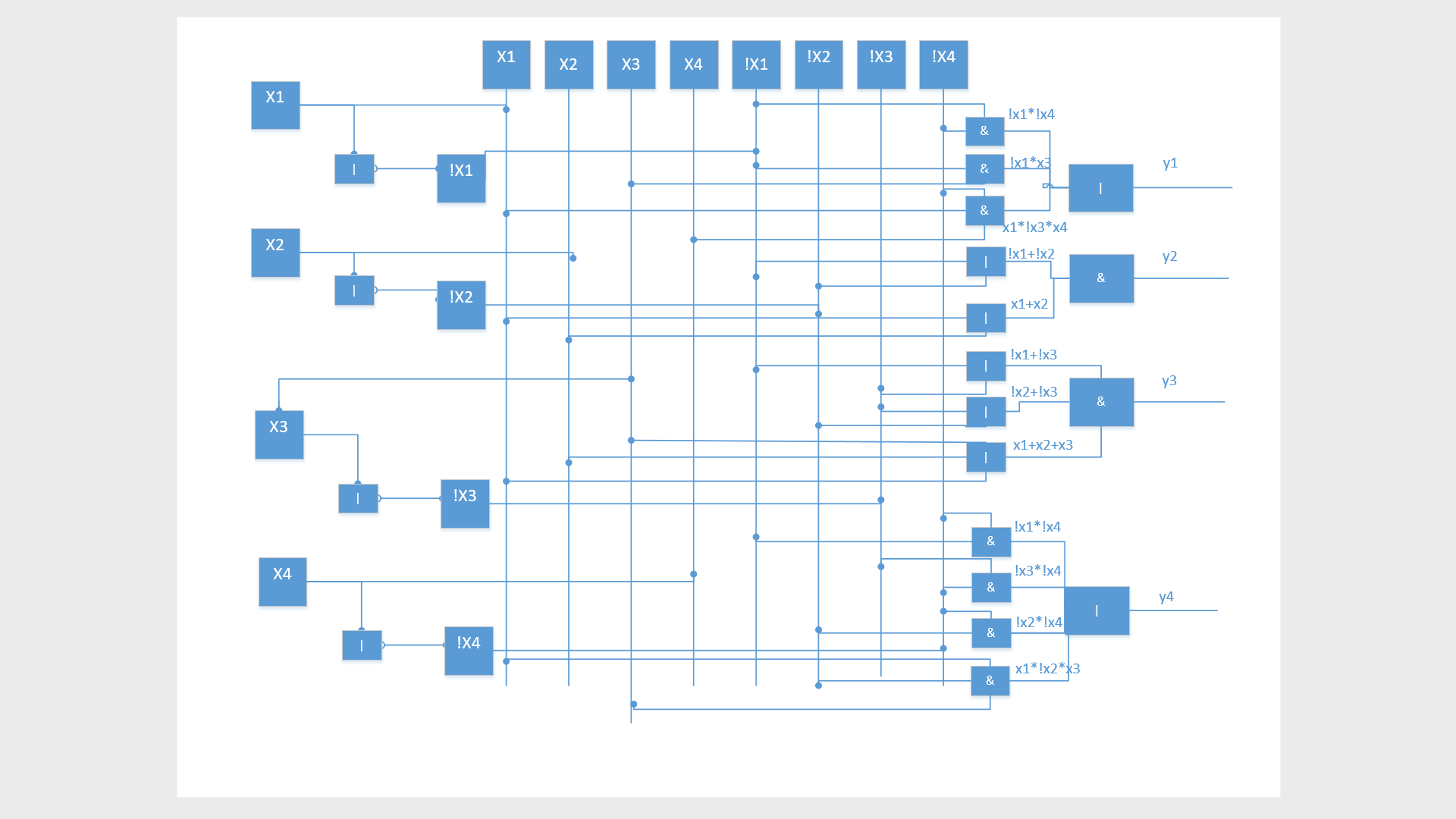


**2.**

****

****

Это соответствует следующей схеме:



**Выводы**

1. Синтез комбинационного устройства подразделяется на 4 этапа:

* составление таблицы истинности синтезируемого КУ;
* составление математических формул (СДНФ/СКНФ, переход к ДНФ/КНФ и ТДНФ/ТКНФ) для логических функций таблице истинности;
* анализ полученных функций;
* составление функциональной (логической) схемы КУ из элементов НЕ, И, ИЛИ.

1. Сложность логической схемы можно оценить по количеству требуемого оборудования, подсчитав суммарное количество входов всех элементов, входящих в схему.

Каждый логический элемент формирует выходной сигнал с некоторой задержкой, причем задержки логических элементов НЕ, И и ИЛИ отличаются незначительно, поэтому любую логическую схему можно оценить по быстродействию, подсчитав суммарное количество ступеней из логических элементов, которое проходит сигнал от входа схемы до ее выхода.

1. Часто у логической схемы может быть несколько выходов, и она описывается системой функций. Для большей оптимизации по количеству оборудования помимо минимизации каждой логической функции в отдельности, можно минимизировать их совокупность. На примере первого задания можно увидеть, что благодаря этому мы смогли добиться большей минимизации (понадобилось 22 транзистора вместо 28).
2. Также часто бывает, что ЛФ может быть не определена на всех аргументах. Те х1, х2, … хn, на которых она не определена, называются избыточными, и не важно, какое значение будет иметь аргумент функции, она доопределяется произвольно. Но с помощью таблиц Вейча-Карно это можно делать целенаправленно, чтобы оптимизировать ЛФ. Пример такой функции – двоично-десятичный код (десятичные цифра записываются в двоичном виде). Здесь остается 6 избыточных набора (для кодирования 10 цифр требуется 4 бита).