Учреждение образования

«БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ»

Кафедра интеллектуальных информационных технологий

**Отчет по лабораторной работе №8**

**по курсу «АОИС»**

**на тему: «Моделирование ассоциативной памяти с системой адресации по разрядным столбцам и по словам»**

|  |  |
| --- | --- |
| Выполнила студентка группы 721702: | Галай А.Д. |
| Проверил: | Захаров В.В. |

**МИНСК**

**2018**

**Тема:**Моделирование ассоциативной памяти с системой адресации по разрядным столбцам и по словам

**Цель работы**: освоение навыков построения и верификации модели ассоциативной памяти, обеспечивающей адресное считывание и запись по разрядным столбцам и по словам и выполнение логических операций над столбцами, поисковых операций и арифметических операций над полями слов.

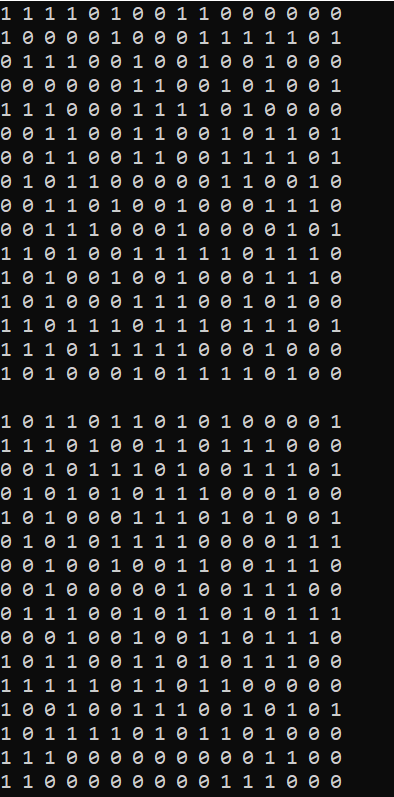
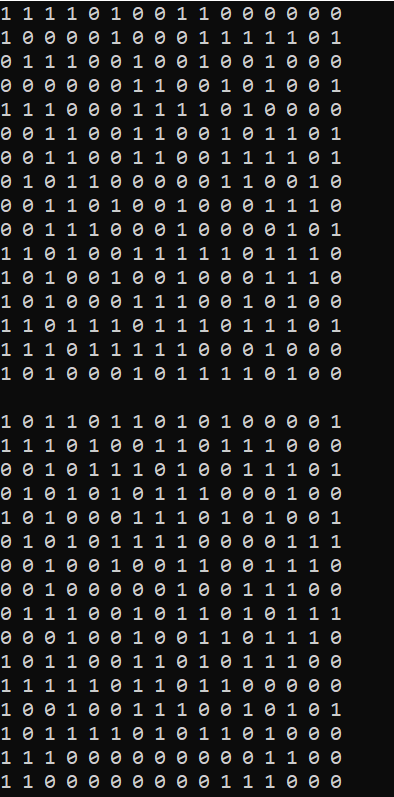
*Вариант 6*

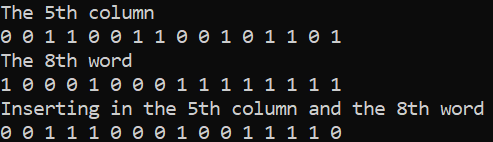
**Задание:**

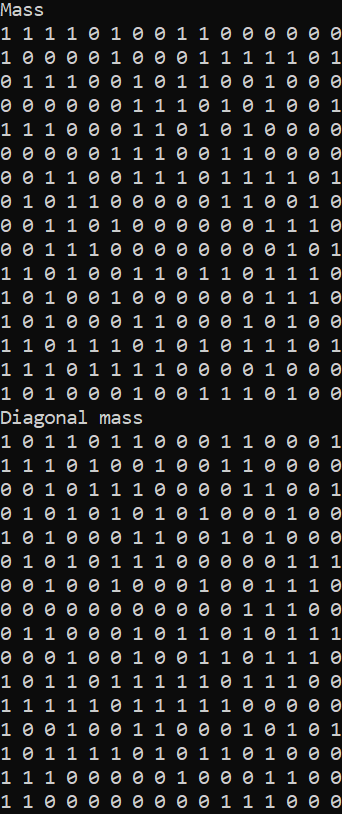
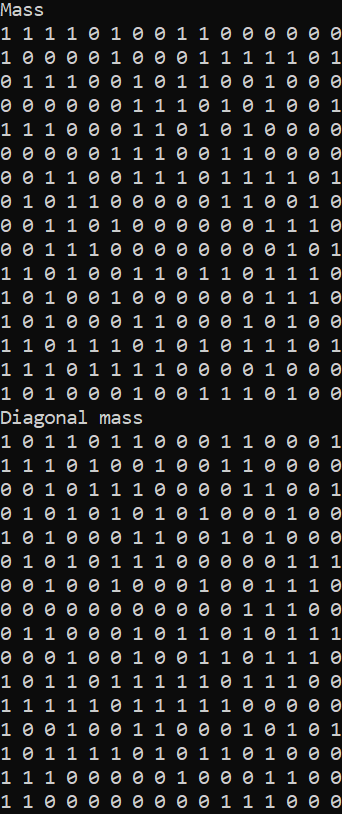
Построить и проверить программную модель ассоциативной памяти с диагональной адресацией на основе сумматора. Размер массива памяти 16х16 двоичных разрядов (битов). Разработанная программная модель должна уметь выполнять операции считывания и записи любых задаваемых разрядных столбцов и слов, а также выполнять поисковые и логические операции над разрядными столбцами и арифметические операции над полями слов.

**Результат работы:**

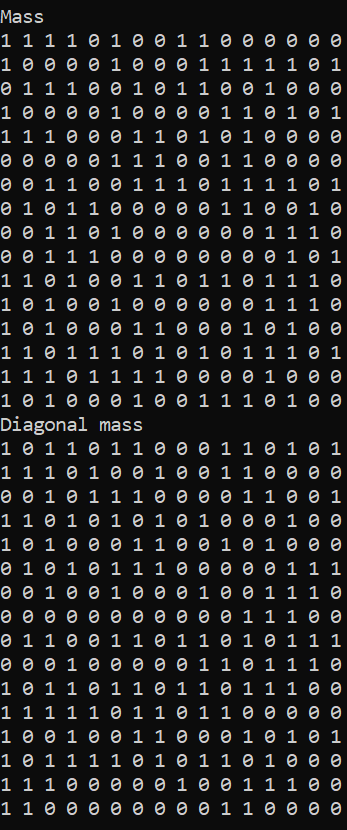
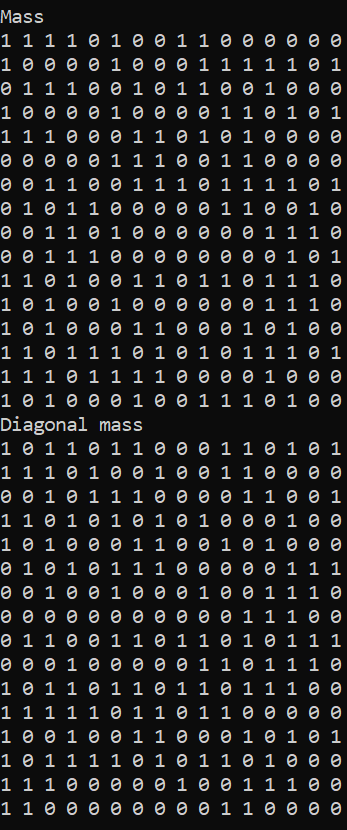
1. Создаем массив двоичных слов (обычный и диагональный вид соответственно):

** **

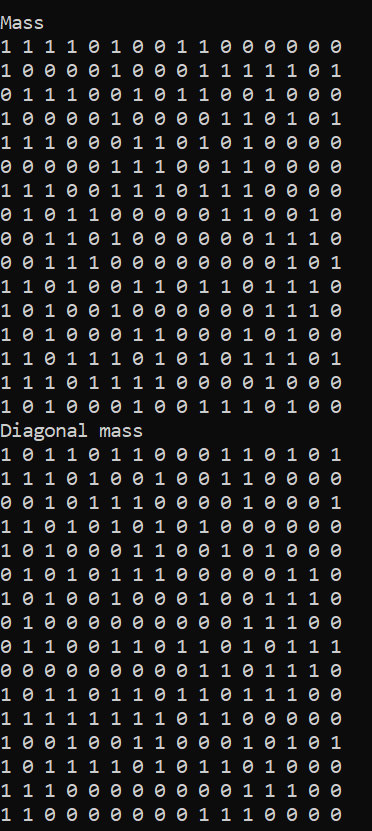
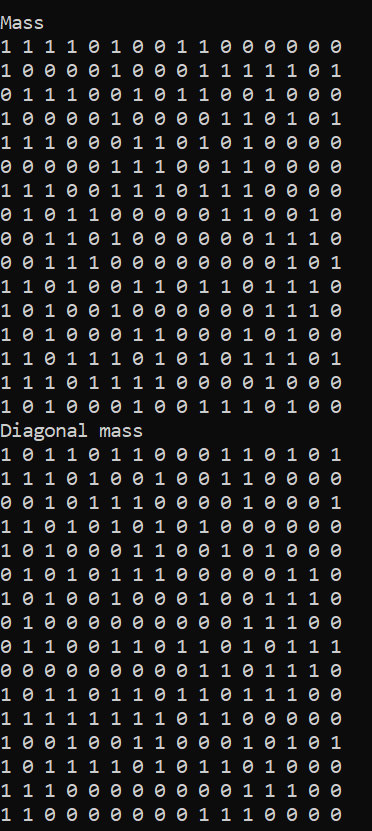
1. Выводим 5-й столбец и 8-е слово и производим операцию вставки
2. Итог:

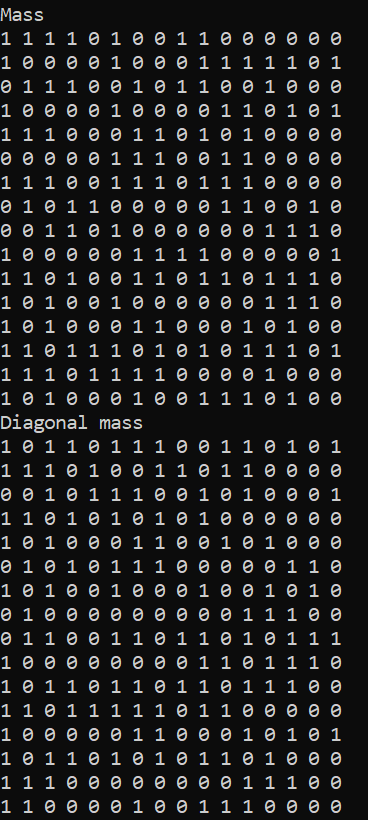
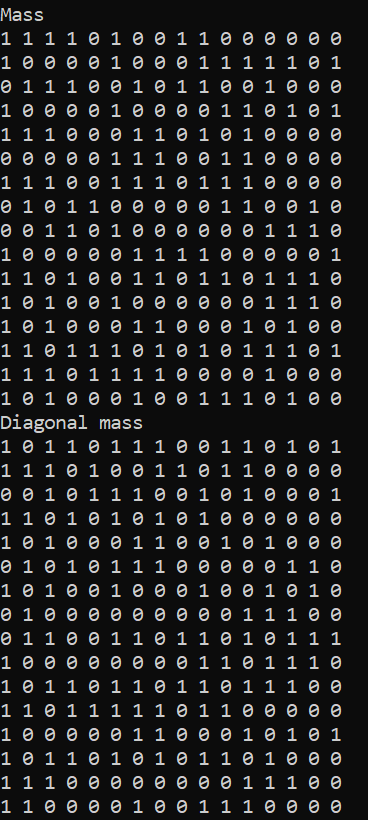
1. Операция запрета первого аргумента () над 1 и 2 столбцом, результат выводится в 3 столбец.

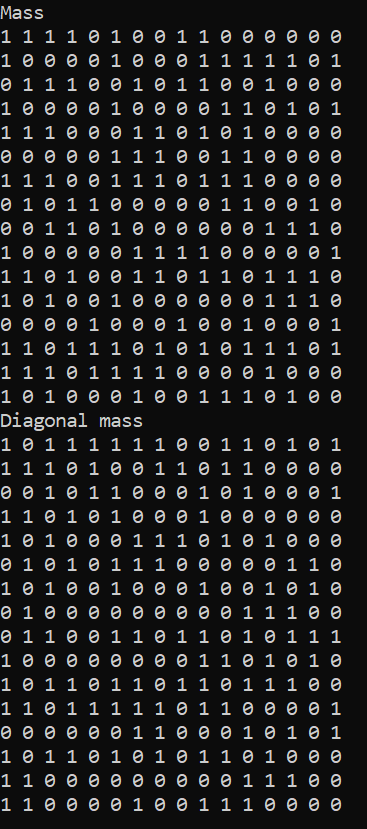
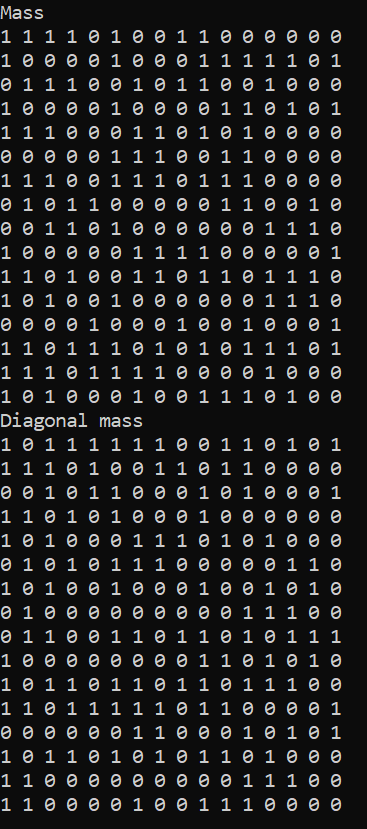
1. Операция дизъюнкции () над 4 и 5 столбцом, результат выводится в 6 столбец.

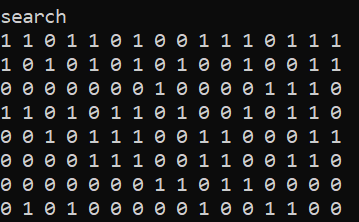
1. Операция Пирса () над 7 и 8 столбец, результат выводится в 9 столбец

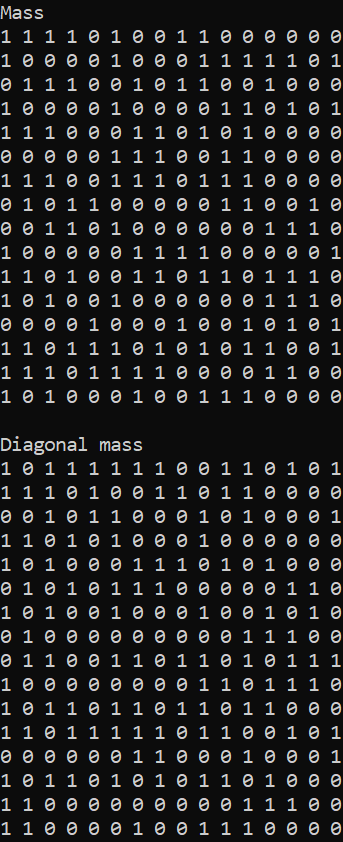
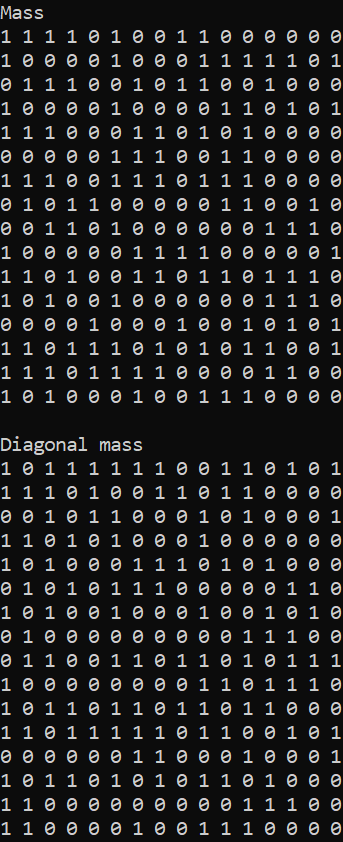
1. Импликация от первого аргумента ко второму () над 10 и 11 столбцом, результат выводится в 12 столбец

1. Поиск в заданном интервале (в данном случае между числами 102 и 20489)



1. Арифметическое сложение выбранного слова (в данном случае 14 слово)

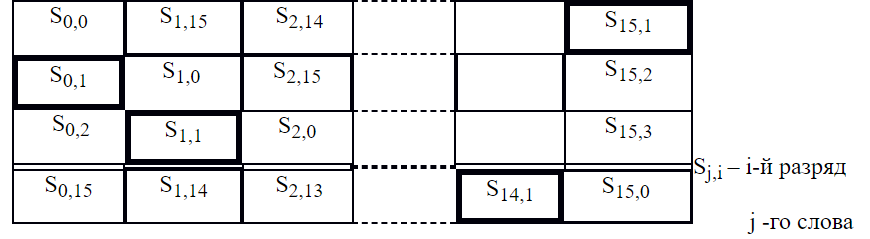
** **

**Выводы:**

1. Ассоциативные процессоры, использующие адресацию только по разрядным столбцам, имеют ряд недостатков (необходимость заносить весь массив в буфер предварительно; изменение одного слова требует перезаписи содержимого всего массива; практически невозможно считать слова по заданному адресу). В лабораторной работе рассмотрен метод адресации, который позволяет избежать эти недостатки. Применяются специальные методы формирования содержимого массивов и введена дополнительная логика, что обеспечивает адресное считывание и запись как по разрядным столбцам, так и по словам.
2. Применяемый принцип формирования адресов получил название диагональной адресации. Это название связано с тем, что элементы исходного массива данных перед записью в память перераспределяются следующим образом:

– разрядные столбцы размещаются по диагоналям, образованным запоминающими ячейками;

– слова размещаются по столбцам.



1. В памяти с диагональной адресацией каждый дешифратор дополнен блоком арифметического сложения с полным сумматором, в котором формируется сумма адресного кода, заданного извне, и постоянного схемно-реализуемого числа, равного номеру строки. Применяя соответствующие средства управления, части сумматоров можно блокировать (маскировать) и в результате на их выходах получить требуемый фрагмент адреса разрядного столбца. Данные, которые необходимо записать в память или считать из нее, помещаются в специальный буферный регистр. Содержимое этого регистра можно циклически сдвигать вверх или вниз на заданное количество разрядов. Направление сдвига зависит от выполняемой операции.