Міністерство освіти і науки України  
Національний університет «Запорізька політехніка»

кафедра програмних засобів

**ЗВІТ**

з лабораторної роботи №6  
з дисципліни «Верифікація цифрових систем» на тему:  
«**Плата швидкого прототипування»**  
Варіант №4

Виконала:  
студентка КНТ-227 О.С.Бурдакова

Прийняв:  
доцент Т.І. Каплієнко

2019

**Завдання 1**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test1 відповідно до завдання: змінити номер функціонального перемикача і кількість світлодіодів, що світяться, відповідно до номеру варіанту .

Тест-кейс **test1**

Унікальний ідентифікатор варіанти тестування – test1.

Короткий опис варіанта тестування – самий правий перемикач sw[0] буде вмикати / вимикати самий правий світлодіод ld[0].

Порядок виконання - ввімкнути плату, ввімкнути правий перемикач.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включеному правом перемикачі світиться правий світлодіод, при вимкненому - не світиться.

Категорія тесту - тестування системних компонент плати.

**Результат:**



**Код**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.ALL;**

**use IEEE.STD\_LOGIC\_ARITH.ALL;**

**use IEEE.STD\_LOGIC\_UNSIGNED.all;**

**entity LAB\_LED\_2 is**

**port(**

**pSW: in std\_logic\_vector (7 downto 0);**

**pLED: out std\_logic\_vector(7 downto 0);**

**pLED1: out std\_logic\_vector(7 downto 0)**

**);**

**end LAB\_LED\_2;**

**architecture t1 of LAB\_LED\_2 is**

**begin**

**pLED(6) <= pSW(4);**

**pLED(7) <= pSW(4);**

**end architecture;**

**Завдання 2**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test2 відповідно до завдання: змінити вхідні і вихідні параметри відповідно до таблиці.

Таблиця вхідних і вихідних параметрів

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **№ варіанту** | **Вхідні параметри (перемикачі)** | | | | | | | | **Вихідні параметри (світлодіоди)** | | | | | | | |
| **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** | **7** | **6** | **5** | **4** | **3** | **2** | **1** | **0** |
| **4** | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

Унікальний ідентифікатор варіанти тестування – test2.

Порядок виконання - включити плату, поперемінно включати і вимикати в різних комбінаціях два правих перемикача.

Критерій завершеності - при включеному перемикачі sw [0] і вимкненому sw [1] світиться перший, третій і четвертий світлодіод; при вимкненому перемикачі sw [0] і включеному sw [1] світиться нульовий, третій і четвертий світлодіод; при вимкненому перемикачі sw [0] і вимкненому sw [1] світиться нульовий, перший і четвертий світлодіод; при включеному перемикачі sw [0] і включеному sw [1] світиться другий і третій світлодіод.

**Результат:**

****

**Код**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.ALL;**

**use IEEE.STD\_LOGIC\_ARITH.ALL;**

**use IEEE.STD\_LOGIC\_UNSIGNED.all;**

**entity LAB\_LED\_2 is**

**port(**

**pSW: in std\_logic\_vector (7 downto 0);**

**pLED: out std\_logic\_vector(7 downto 0);**

**pLED1: out std\_logic\_vector(7 downto 0)**

**);**

**end LAB\_LED\_2;**

**architecture t1 of LAB\_LED\_2 is**

**begin**

**process(pSW)is**

**begin**

**if (pSW="11100011")then**

**pLED <= "11000000";**

**pLED1 <="00000000" ;**

**end if;**

**end process;**

**end architecture;**

**Завдання 3**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test3 відповідно до завдання: змінити першу виведену цифру на номер варіанту, другу - на число, що дорівнює номеру варіанту плюс 1.

Тест-кейс **test1**

Унікальний ідентифікатор варіанти тестування – test3.

Короткий опис варіанта тестування - при включеному стані самого правого перемикача sw [0] буде світитися другий і четвертий цифровий дисплей з цифрою «7», при вимкненому - буде світитися перший і третій цифровий дисплей з цифрою «5».

Порядок виконання - включити плату, включити правий перемикач.

Критерій завершеності - при включеному стані самого правого перемикача sw [0] світиться другий і четвертий цифровий дисплей з цифрою «7», при вимкненому - перший і третій цифровий дисплей з цифрою «5».

Категорія тесту - тестування системних компонент плати.

**Результат:**



**Код**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.all;**

**use ieee.std\_logic\_arith.all;**

**use ieee.std\_logic\_unsigned.all;**

**entity LAB2\_2 is**

**port(**

**pSw: in STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex0: out STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex1: out STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex2: out STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex3: out STD\_LOGIC\_VECTOR( 7 downto 0) );**

**end LAB2\_2;**

**architecture numbers of LAB2\_2 is**

**begin**

**process(pSW)is**

**begin**

**if (pSW(4)='1')then**

**pHex0 <="10011001";**

**pHex1 <="11111111";**

**pHex2 <="10011001";**

**pHex3 <="11111111";**

**else**

**pHex0 <="11111111";**

**pHex1 <="10010010";**

**pHex2 <="11111111";**

**pHex3 <="10010010";**

**end if; end process; end numbers;**

**Завдання 4**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, і модифікувати проект test4 відповідно до завдання: змінити номер миготливого світлодіода відповідно до варіанта, і частоту миготіння на 1 / варіант сек.

Тест-кейс test4

Унікальний ідентифікатор варіанти тестування - test4.

Короткий опис варіанта тестування - необхідно вмикати / вимикати самий правий світлодіод ld [0] з частотою раз в секунду.

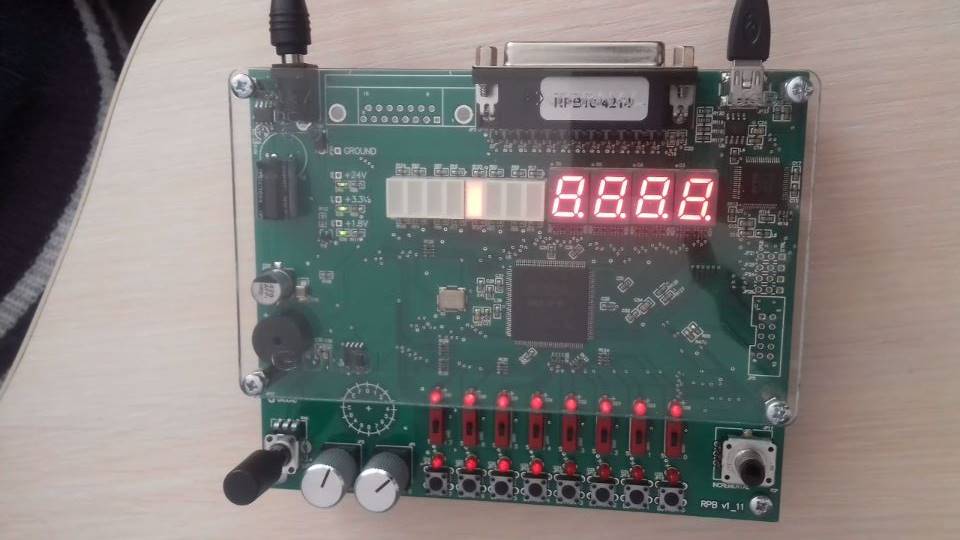
Порядок виконання - включити плату.

Вимоги - тест завантажений на плату, плата підключена до комп'ютера.

Критерій завершеності - при включенні плати самий правий світлодіод ld [0] загоряється з частотою раз в секунду.

Категорія тесту - тестування системних компонент плати.

**Результат:**



**Код**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.ALL;**

**use IEEE.STD\_LOGIC\_ARITH.ALL;**

**use IEEE.STD\_LOGIC\_UNSIGNED.all;**

**entity LAB\_LED\_2 is**

**port(**

**pSW: in std\_logic\_vector (7 downto 0);**

**pLED: out std\_logic\_vector(7 downto 0);**

**pLED1: out std\_logic\_vector(7 downto 0);**

**clk: in std\_logic );**

**end LAB\_LED\_2;**

**architecture t1 of LAB\_LED\_2 is**

**signal t: integer := 0;**

**signal state: std\_logic := '0';**

**begin**

**process is**

**begin**

**wait until rising\_edge(clk);**

**t<=t+1;**

**if t>(21e6/4) then**

**t<=0;**

**state <=not state;**

**pLED(6)<=state;**

**pLED(7)<=state;**

**end if;**

**end process;**

**end architecture;**

**Завдання 5**

Розробити тест-кейс для плати для швидкого прототипування, заснованої на MAX® V - 5M1270Z CPLD Altera, (на ваш розсуд).

**Результат:**



**Код**

**library IEEE;**

**use IEEE.STD\_LOGIC\_1164.all;**

**use ieee.std\_logic\_arith.all;**

**use ieee.std\_logic\_unsigned.all;**

**entity LAB2\_2 is**

**port(**

**pSw: in STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex0: out STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex1: out STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex2: out STD\_LOGIC\_VECTOR( 7 downto 0);**

**pHex3: out STD\_LOGIC\_VECTOR( 7 downto 0)**

**);**

**end LAB2\_2;**

**architecture numbers of LAB2\_2 is**

**begin**

**pHex0 <="11000000";**

**pHex1 <="11111000";**

**pHex2 <="10010000";**

**pHex3 <="11111001";**

**end numbers;**