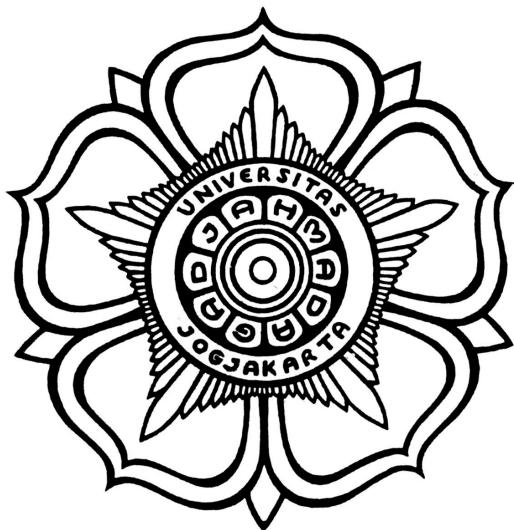


**LAPORAN FINAL PROJECT UJIAN AKHIR SEMESTER  
ELEKTRONIKA DAYA (TKE215204)  
TAHUN AKADEMIK 2025/2026**

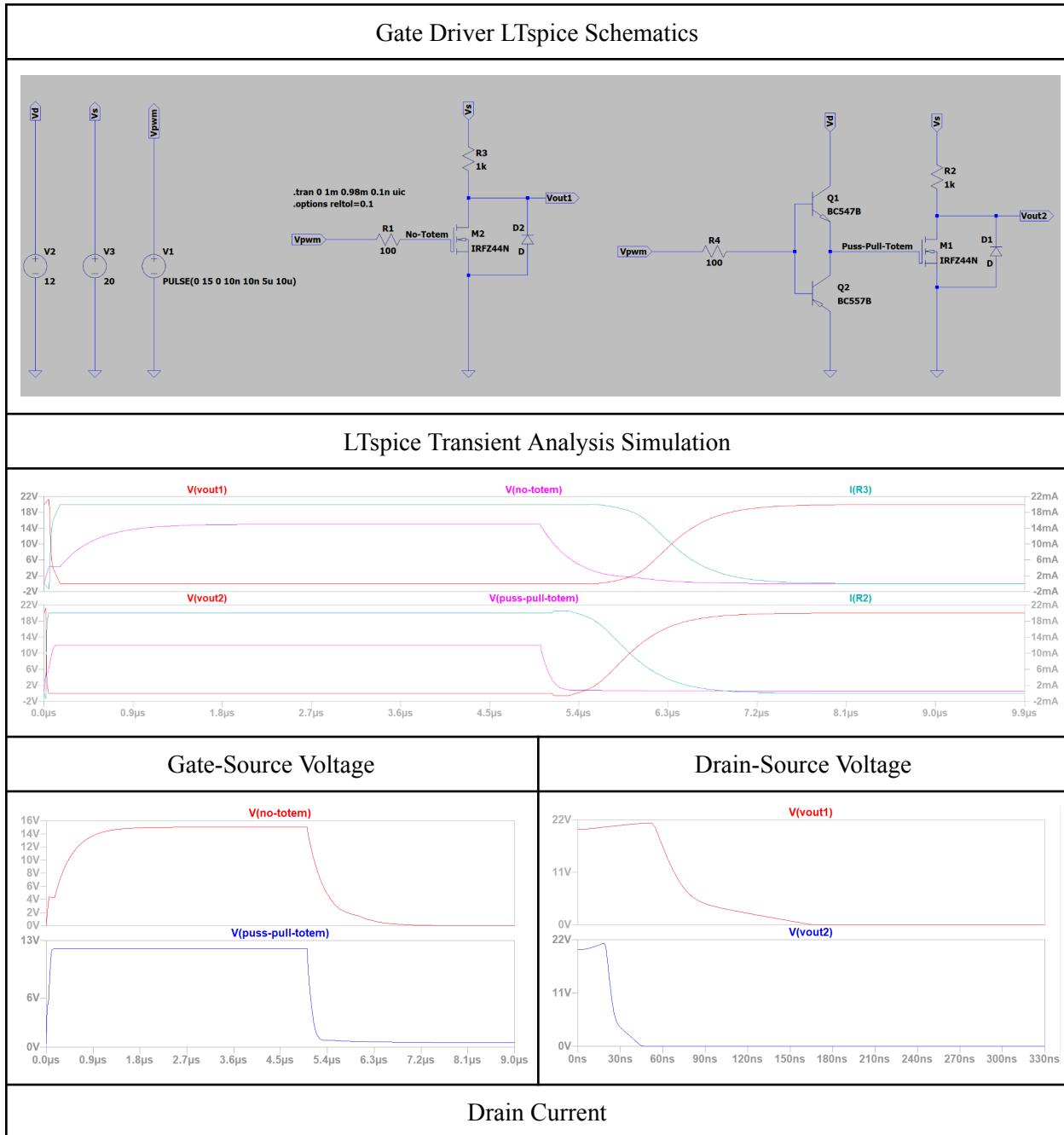


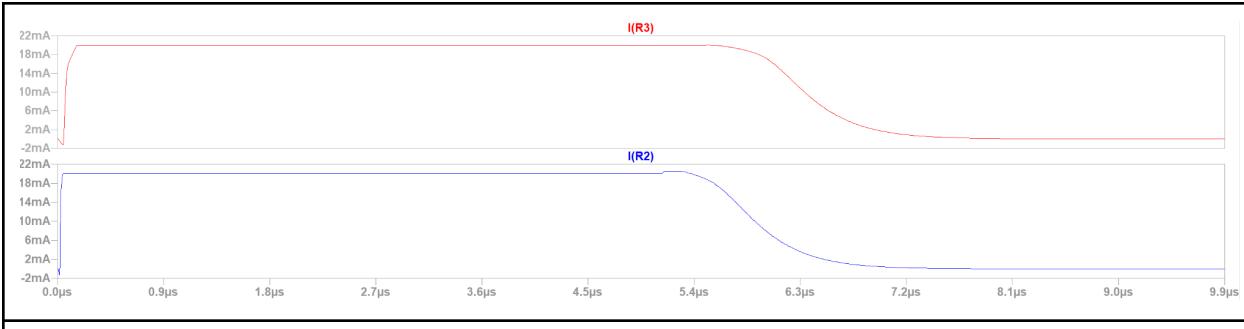
**Disusun oleh:**  
**Satrya Adjie Rahardani**  
**(22/498296/TK/54651)**  
[\*\*https://github.com/Satrya/Final-Project-Elektronika-Daya\*\*](https://github.com/Satrya/Final-Project-Elektronika-Daya)

**PROGRAM STUDI TEKNIK ELEKTRO  
DEPARTEMEN TEKNIK ELEKTRO DAN TEKNOLOGI INFORMASI  
FAKULTAS TEKNIK  
UNIVERSITAS GADJAH MADA  
YOGYAKARTA  
2025**

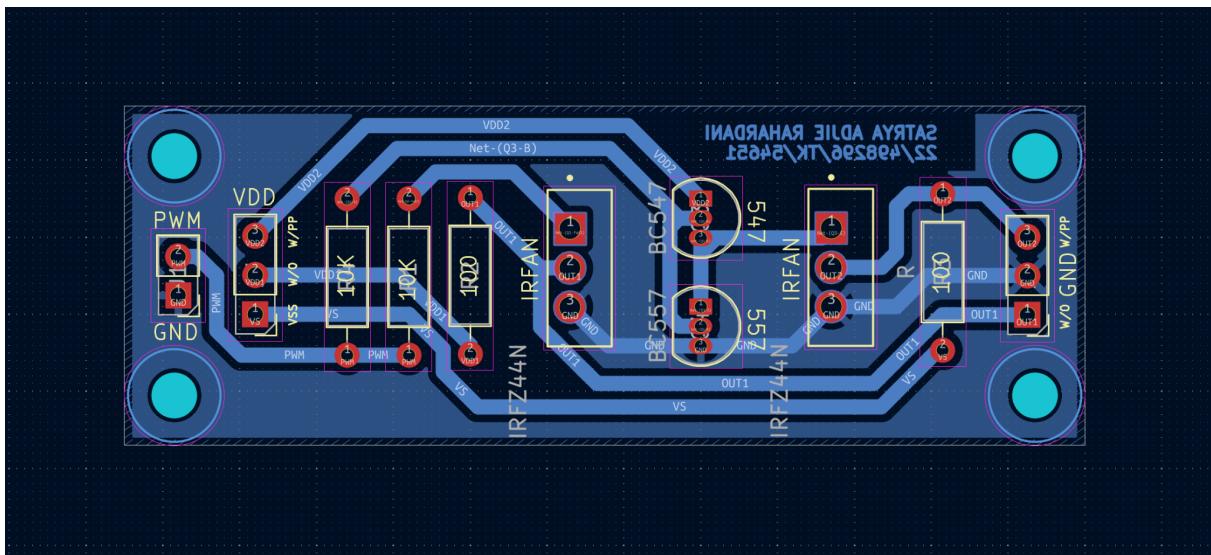
# TASK I

## MOSFET GATE DRIVER

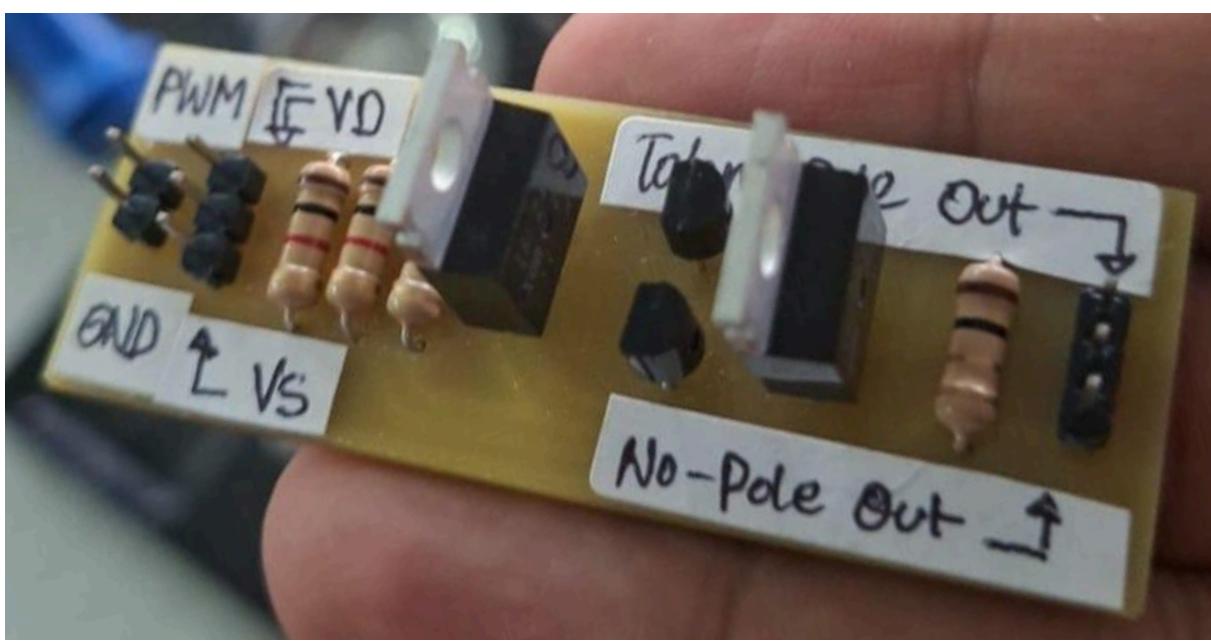




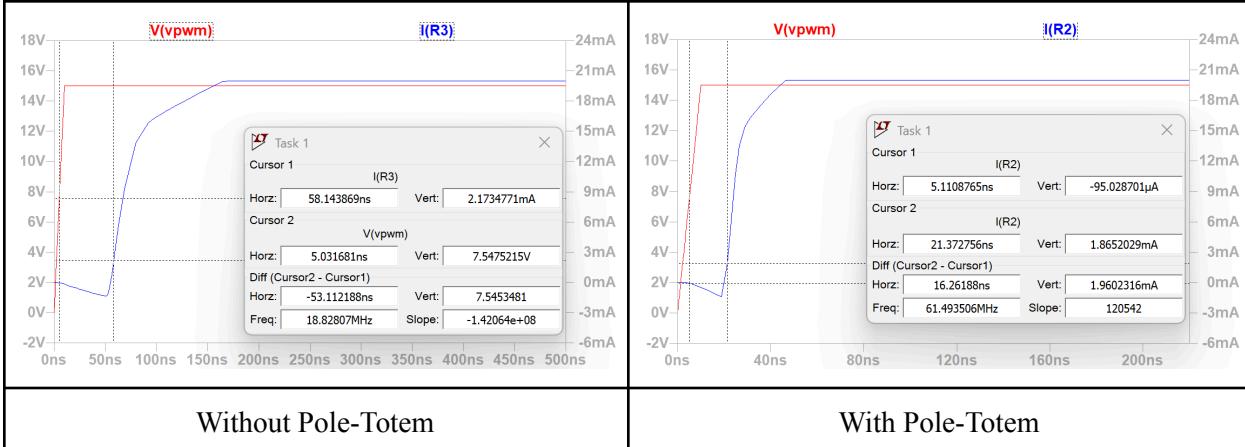
PCB Design



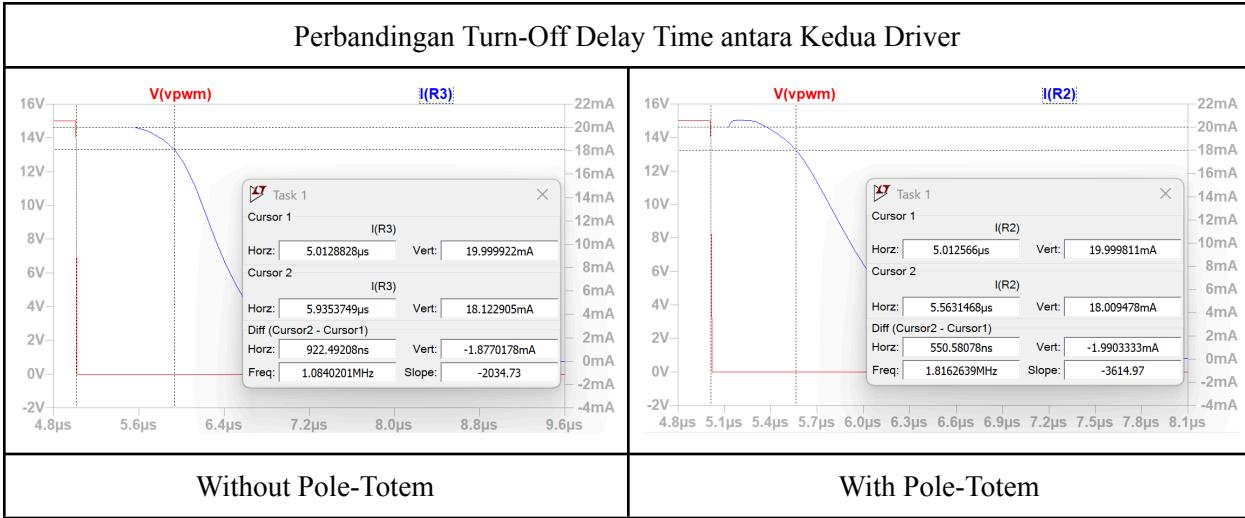
Actual PCB



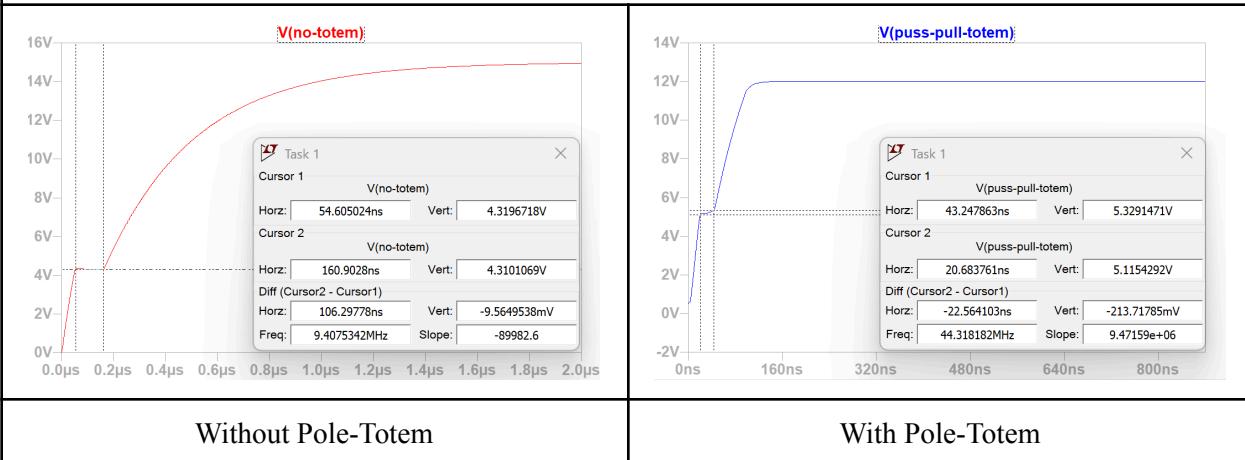
### Perbandingan Turn-On Delay Time antara Kedua Driver



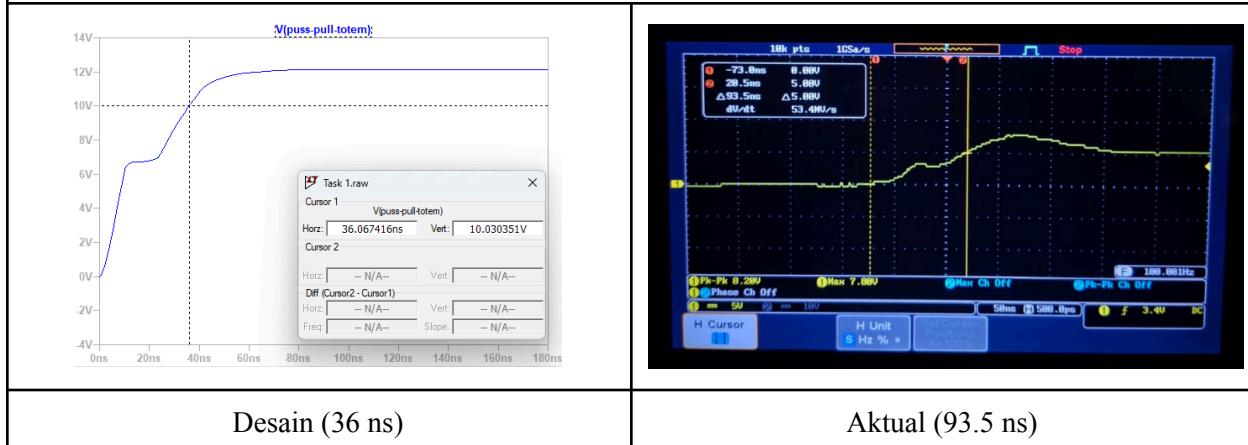
### Perbandingan Turn-Off Delay Time antara Kedua Driver



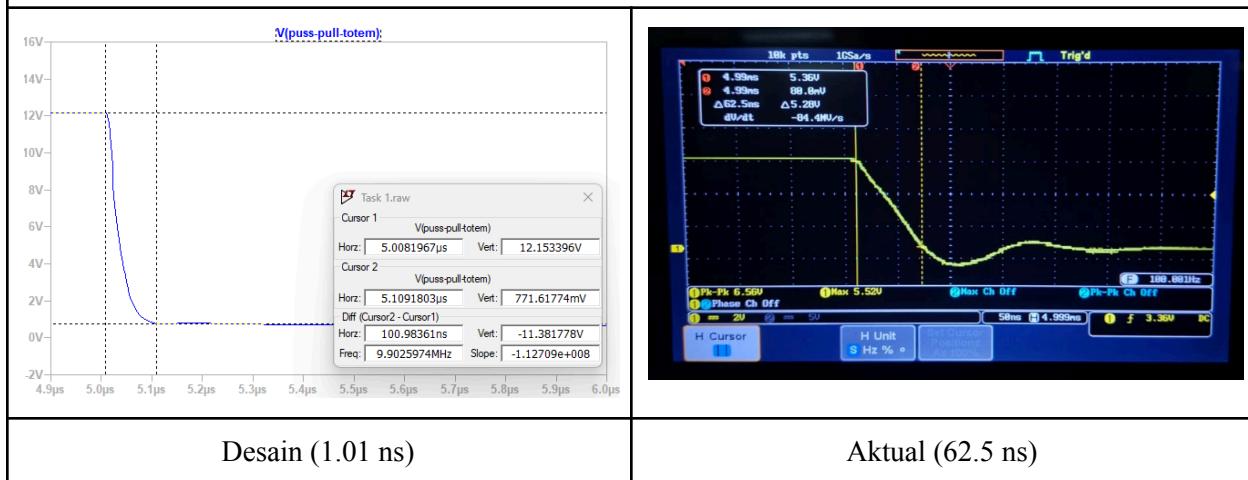
### Perbandingan Miller Plateau pada saat Turn-On pada Kedua Driver



### Perbandingan Rise Time antara Desain dan Aktual



### Perbandingan Fall Time antara Desain dan Aktual

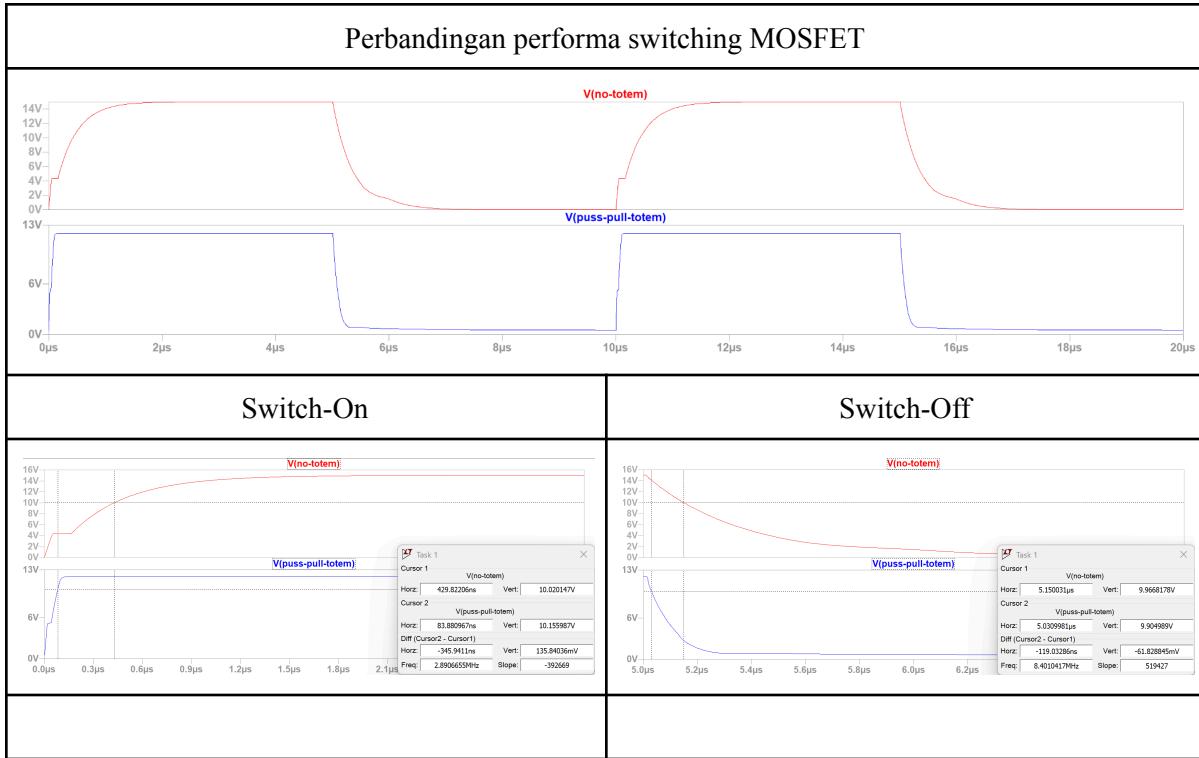


### Perbandingan Miller Plateau pada saat Turn-On antara Desain dan Aktual

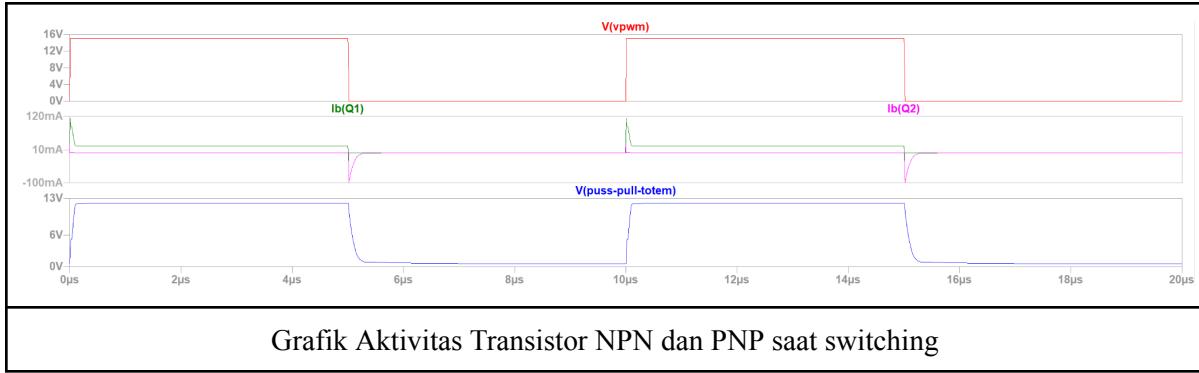


Desain (20 ns)	Aktual (31.5 ns)
----------------	------------------

1. How does the totem-pole driver improve MOSFET switching performance compared to using only a gate resistor and a voltage source?

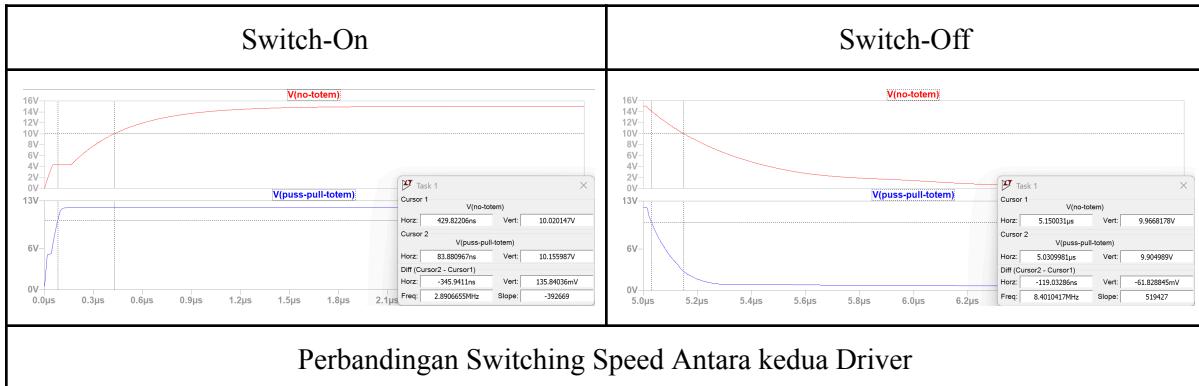


Berdasarkan hasil di atas, Totem-pole (push-pull) gate driver mempercepat proses pengisian serta pengosongan kapasitansi gate MOSFET, sehingga transisi on/off jauh lebih cepat dan rugi switching lebih kecil dibandingkan driver tanpa Totem-Pole. Dimana hal tersebut dikarenakan saat hanya memakai resistor dari sumber logika ke gate, arus yang dapat mengisi/ mengosongkan kapasitor gate dibatasi oleh nilai resistor, sehingga tegangan gate naik/turun dengan konstanta waktu  $R \times C_{gate}$  yang cukup besar. Akibatnya MOSFET lama berada di daerah linear (belum full on/off), arus drain sudah besar tetapi  $RDS(on)$  masih tinggi, sehingga rugi  $P = VDS \times ID$  saat transisi meningkat dan bentuk gelombang gate terlihat lambat seperti kurva bawah yang landai.



Totem-pole terdiri dari dua transistor komplementer yang disusun vertikal sehingga outputnya bisa aktif menarik ke Vcc maupun aktif menarik ke ground dengan impedansi rendah. Saat input logika high, transistor atas on dan transistor bawah off, sehingga gate MOSFET ditarik ke Vgate dengan arus besar untuk mengisi kapasitansi gate dengan cepat. Saat input logika low, transistor atas off dan transistor bawah on, gate “ditarik” kuat ke ground sehingga muatan gate dibuang cepat; ini membuat kurva tegangan gate turun tajam seperti pada grafik atas. Karena jalur charge dan discharge berupa transistor jenuh (impedansi rendah), secara efektif resistansi driver menjadi jauh lebih kecil daripada sekedar resistor seri, sehingga waktu naik/turun tegangan gate menyusut signifikan. Hal ini berpengaruh kepada penyusutan miller plateau saat rising karena Totem-pole mampu menyediakan arus gate yang jauh lebih besar melalui impedansi keluaran yang sangat rendah, sehingga muatan Miller dapat dipindahkan lebih cepat.

- Explain how the sourcing and sinking currents of the BJTs affect the switching speed!

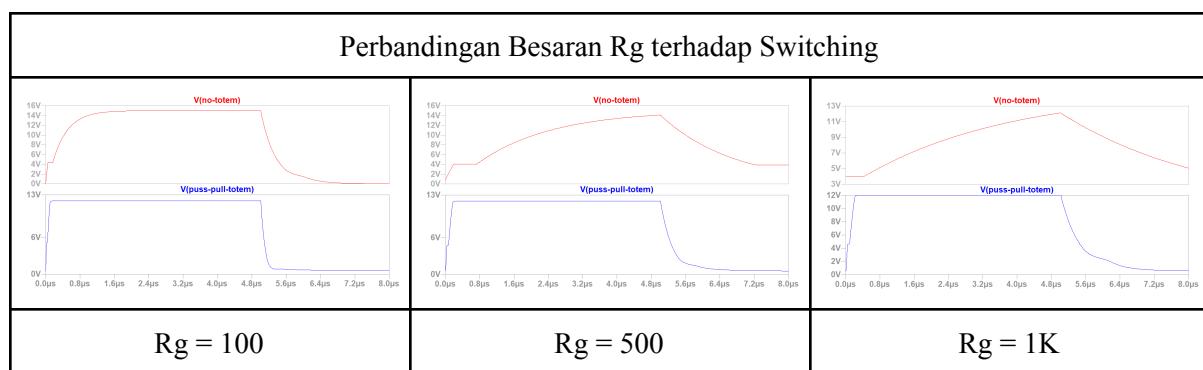


Kecepatan switching BJT sangat bergantung pada seberapa besar arus yang disuplai (sourcing) ke basis saat turn-on dan seberapa besar arus yang ditarik (sinking) dari basis saat turn-off. Saat sourcing (turn-on), arus basis menentukan seberapa cepat muatan pembawa minoritas ke daerah basis; semakin besar arus sourcing, makin cepat BJT mencapai kondisi aktif/saturasi sehingga waktu

naik (rise time) lebih pendek. Jika arus basis kecil, tegangan basis-emitor naik pelan, gain tidak langsung penuh, dan kolektor baru turun pelan ke tegangan saturasi, Hal memperlambat tepi naik dan menambah rugi switching. Hal ini dapat diamati pada grafik Turn-On di atas, Driver tanpa Pole-Totem (grafik berwarna merah) membutuhkan waktu sekitar 430ns untuk menaikkan tegangan Gate mencapai 10V (batas bawah MOSFET menyala). Sementara driver dengan Pole-Totem (grafik berwarna biru) hanya membutuhkan waktu sekitar 84ns untuk mencapai tegangan 10V. Menghasilkan angka bahwa kecepatan Turn-On driver dengan Pole-Totem lebih baik sebesar 80.5% dibandingkan driver tanpa Pole-Totem.

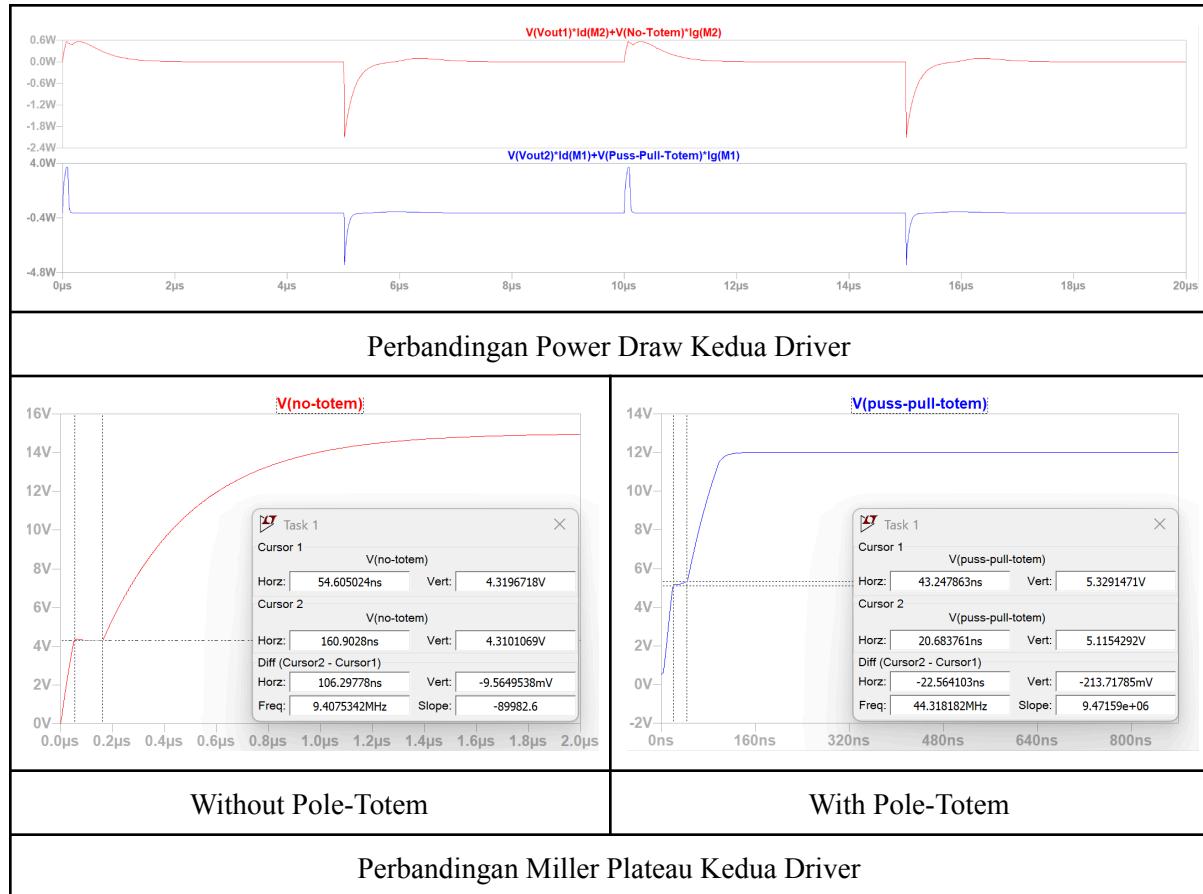
Saat sinking (turn-off), ketika BJT dalam saturasi, basis menyimpan charge storage untuk mematikannya, muatan ini harus dikeluarkan dengan menarik arus dari basis (sinking). Jika jalur sinking lemah, muatan basis keluar lambat, muncul storage time yang panjang dan fall time menjadi lambat, driver dengan kemampuan sink besar atau dengan sedikit reverse base current dapat mengurangi storage time dan mempercepat turn-off. Hal ini juga dapat diamati melalui grafik Turn-Off di atas, menunjukkan hasil yang serupa dengan kondisi saat Turn-On. Driver tanpa Pole-Totem (grafik berwarna merah) membutuhkan waktu sekitar 5150ns untuk menurunkan tegangan hingga keluar dari batas bawah operasional MOSFET. Sedikit lebih lama jika dibandingkan Driver dengan Pole-Totem yang membutuhkan waktu sekitar 5030ns. Walau hanya 2.33% lebih cepat, hasil ini tetap menunjukkan seberapa signifikan dampak arus sourcing dan sinking kepada kecepatan switching BJT.

3. Analyze the effect of gate resistance  $R_g$  on: Switching speed,  $dv/dt$  and  $di/dt$ , and Switching energy/losses!



Nilai  $R_g$  berpengaruh langsung kepada seberapa cepat driver bisa mengisi dan mengosongkan kapasitansi gate, sehingga mempengaruhi kecepatan switching,  $dv/dt$ ,  $di/dt$ , dan rugi daya switching. Tegangan gate naik/turun mengikuti konstanta waktu, sehingga semakin besar  $R_g$ , rise time dan fall time semakin lebih lambat. Sebaliknya, Nilai  $R_g$  yang kecil memperpendek waktu gate melewati

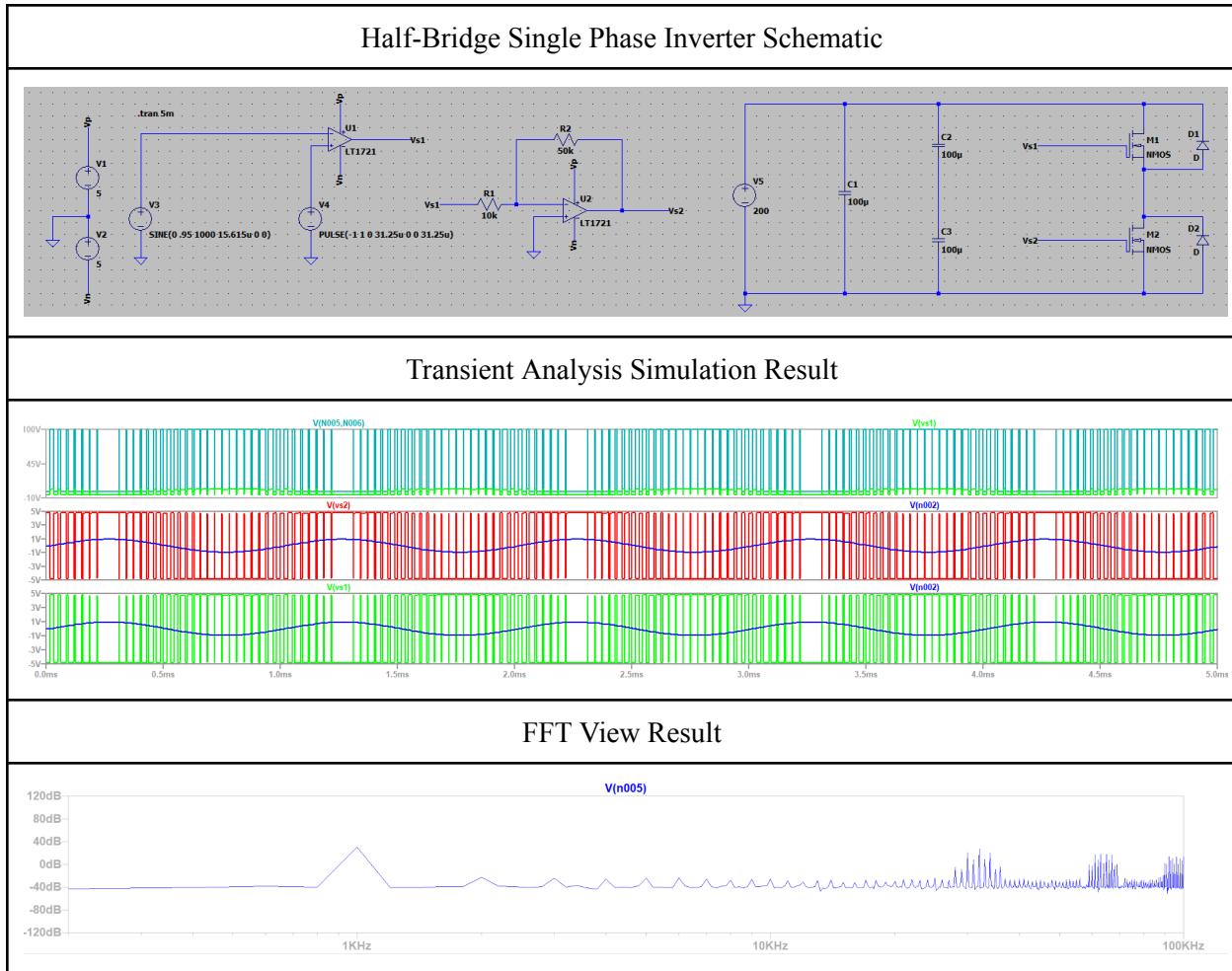
Miller Plateau, sehingga MOSFET lebih cepat switching ke on ataupun off. Hal ini dapat diamati dengan ketiga buah grafik diatas, dimana dilakukan simulasi untuk setiap nilai  $R_g$  yang berbeda, yaitu 100, 500, dan 1k. Dampaknya adalah semakin besar nilai  $R_g$ , maka grafik akan melandai pada saat switching. Hal tersebut berarti  $dv/dt$  atau perubahan tegangan terhadap waktu dan  $di/dt$  atau perubahan arus terhadap waktu telah menurun. Menandakan bahwa kecepatan switching telah menurun secara signifikan.



Pada driver tanpa totem, bentuk gunung daya akan sangat gemuk dan tinggi serta bertahan selama beberapa waktu, menandakan energi loss besar. Pada driver totem-pole, grafik dayanya hanya berupa jarum tipis pada waktu yang sangat singkat menandakan energi loss kecil. Kemudian saat turn-on, selama periode Miller Plateau, perubahan tegangan drain  $dv/dt$  sebanding dengan  $di/dt$ . Nilai  $R_g$  yang kecil menyebabkan arus yang mengalir pada gate menjadi besar, sehingga nilai  $dv/dt$  dan  $di/dt$  meningkat, dengan gradien grafik yang lebih tajam.

## TASK 2

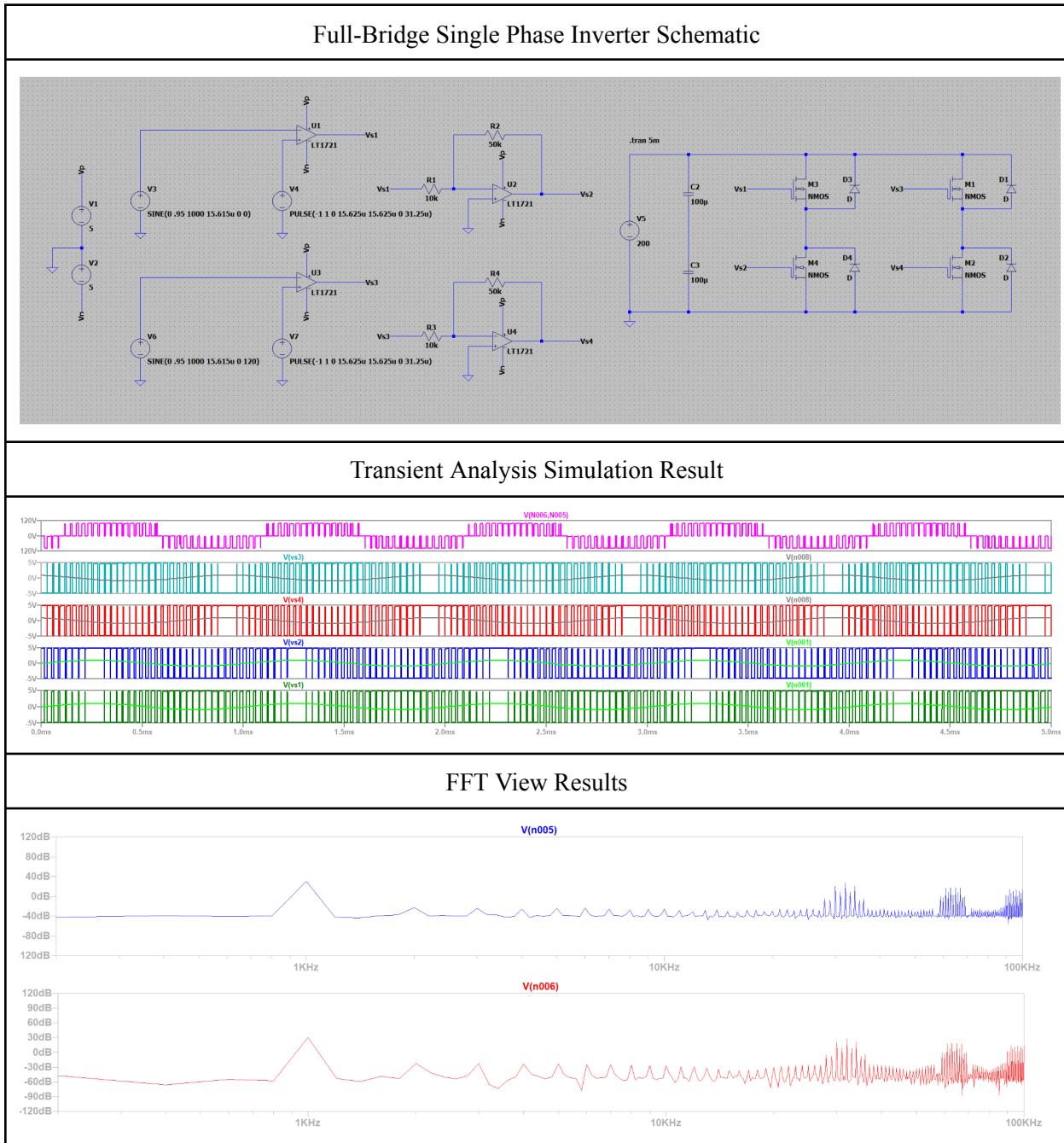
### SINGLE-PHASE AND THREE-PHASE INVERTERS



Berdasarkan hasil di atas, komponen fundamental inverter teridentifikasi berada pada frekuensi 1 kHz. Hal ini terlihat sangat jelas pada grafik FFT sebagai satu peak sinyal tertinggi dan terisolasi tepat di angka 1 kHz pada sumbu horizontal. Puncak ini merepresentasikan sinyal output utama yang diinginkan. Analisis visual ini dikonfirmasi oleh skematik rangkaian, di mana sumber tegangan referensi sinus (V3) memiliki parameter frekuensi sebesar 1000 Hz, yang menjadi acuan modulasi inverter.

Selain sinyal utama, terdapat harmonika switching dominan yang muncul di kisaran frekuensi 32 kHz. Pada grafik FFT, harmonika ini tampak sebagai sekumpulan noise atau pita sisi (sidebands) yang bergerigi tajam di area antara 10 kHz dan 100 kHz. Kemunculan harmonika frekuensi tinggi ini adalah efek samping dari metode switching PWM. Hal ini sesuai dengan parameter sumber sinyal pembawa (V4) pada skematik yang memiliki periode waktu sekitar 31.25 us. Jika dikonversikan menjadi frekuensi, nilai

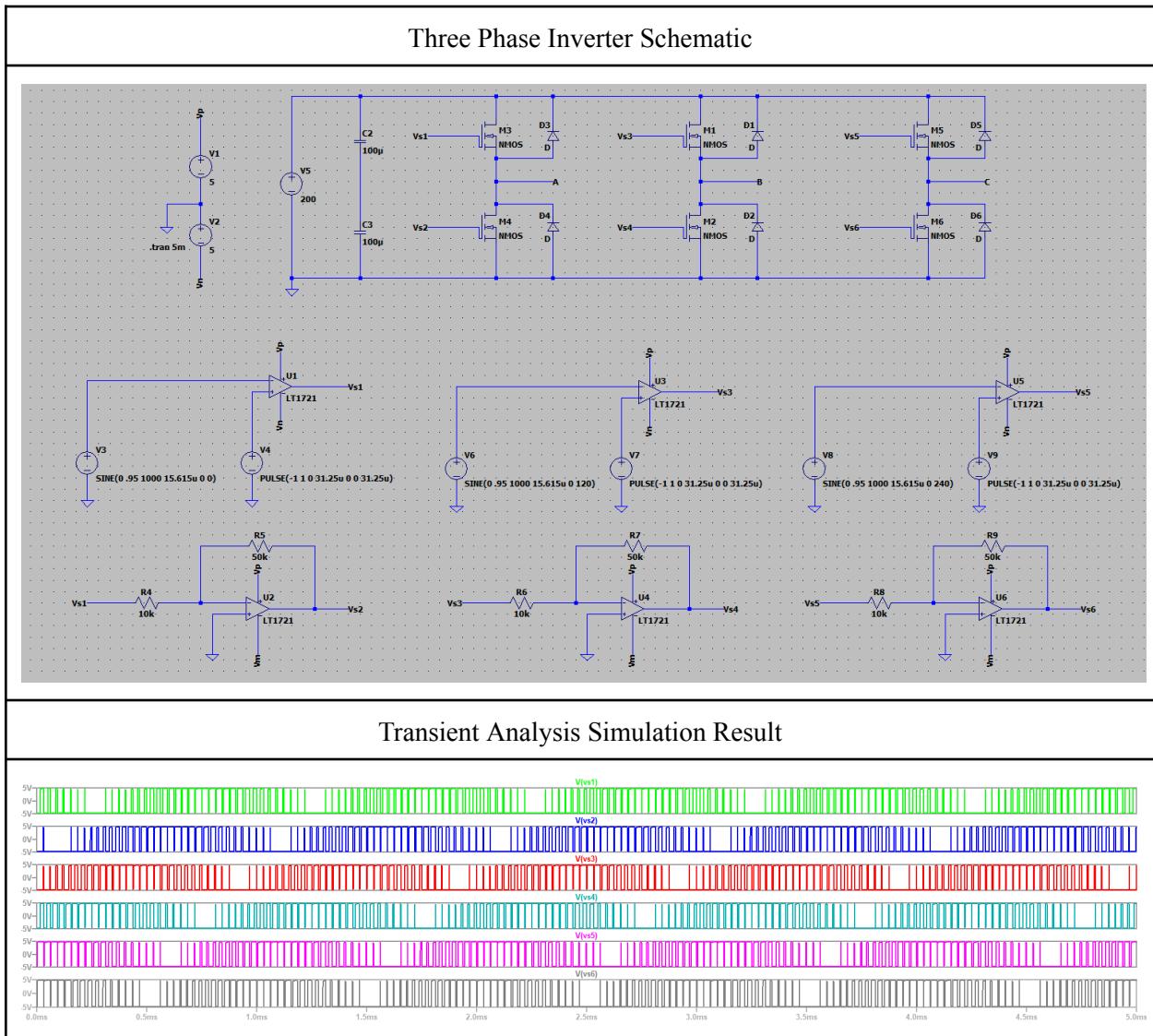
tersebut setara dengan 32.000 Hz atau 32 kHz, yang menjelaskan mengapa gugusan gangguan spektrum tersebut berpusat di frekuensi ini.

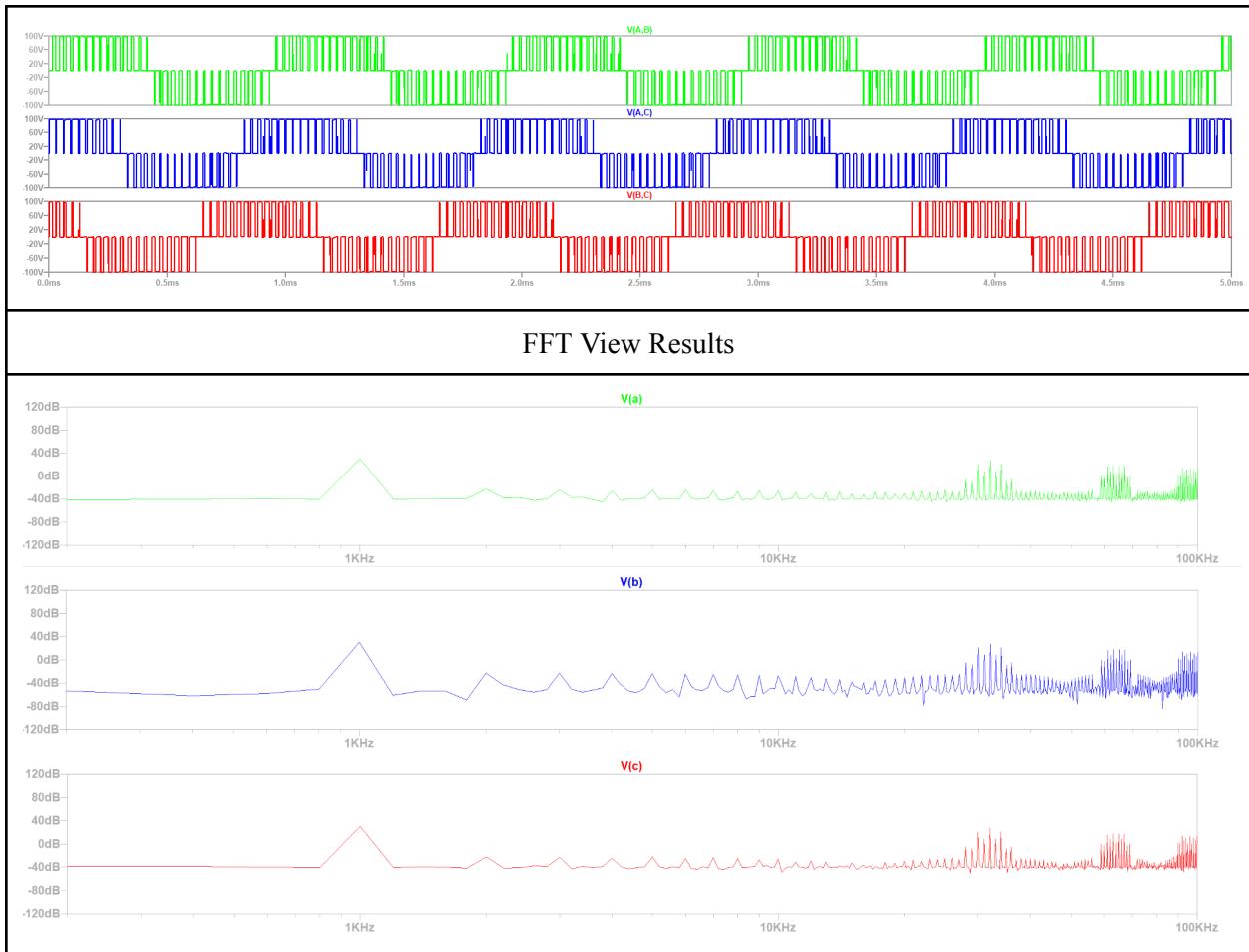


Berdasarkan hasil di atas, sama seperti pada rangkaian Half-Bridge, komponen fundamental pada rangkaian Full-Bridge juga teridentifikasi pada frekuensi 1 kHz. Hal ini ditunjukkan oleh peak sinyal yang paling tinggi dan dominan tepat di angka 1 kHz pada kedua grafik FFT (baik pada grafik biru

maupun merah). Posisi puncak ini konsisten dengan parameter sumber tegangan referensi sinus (V3 dan V6) pada skematik yang diatur pada frekuensi 1000 Hz, yang menjadi acuan frekuensi output inverter.

Tidak hanya itu, harmonika switching dominan terlihat berkumpul di kisaran frekuensi 32 kHz sama seperti pada rangkaian Half-Bridge sebelumnya. Sama seperti sebelumnya juga, pada spektrum FFT, harmonika ini muncul sebagai gugusan noise atau pita sisi (sidebands) yang rapat dan signifikan di area antara 10 kHz dan 100 kHz (secara spesifik di sekitar angka 30-an kHz dan kelipatannya). Fenomena ini disebabkan oleh sinyal pembawa (carrier) PWM; merujuk pada komponen sumber PULSE (V4 dan V7) di skematik, periode gelombang diatur sebesar 31.25 us. Nilai periode ini setara dengan frekuensi switching 32 kHz, yang menjadi penyebab utama munculnya distorsi harmonik pada area frekuensi tinggi tersebut.





Berdasarkan hasil simulasi pada ketiga fasa (grafik hijau V(a), biru V(b), dan merah V(c)), komponen fundamental teridentifikasi secara konsisten pada frekuensi 1 kHz. Hal ini terlihat dari puncak (peak) spektrum yang paling tinggi dan dominan di angka 1 kHz pada ketiga grafik tersebut. Hasil ini sesuai dengan pengaturan sumber tegangan sinus referensi (V3, V6, dan V8) pada skematik yang semuanya diatur pada frekuensi 1000 Hz. Perlu dicatat bahwa meskipun spektrum frekuensinya terlihat identik, dalam domain waktu ketiga sinyal ini memiliki pergeseran fasa masing-masing sebesar 120 derajat (sesuai parameter phase delay 0, 120, dan 240 pada sumber sinus).

Selanjutnya, harmonika switching dominan kembali ditemukan berpusat di kisaran frekuensi 32 kHz. Pada tampilan FFT, harmonika ini bermanifestasi sebagai sekumpulan noise atau pita sisi (sidebands) yang rapat di area antara 10 kHz dan 100 kHz. Penyebabnya adalah sinyal pembawa (carrier) PWM yang digunakan pada ketiga lengan inverter; komponen PULSE (V4, V7, V9) memiliki pengaturan periode 31.25 us. Nilai periode ini ekuivalen dengan frekuensi switching sebesar 32 kHz. Akibatnya, pada setiap fasa (A, B, dan C), distorsi harmonik yang signifikan muncul di sekitar frekuensi switching ini beserta kelipatannya. Sehingga secara singkat sama seperti topologi sebelumnya, inverter tiga fasa ini

beroperasi dengan frekuensi dasar 1 kHz dan memiliki frekuensi switching 32 kHz, yang terlihat jelas sebagai pola gangguan frekuensi tinggi pada hasil FFT ketiga fasanya.

Secara visual, ketiga grafik FFT menunjukkan "tanda tangan" spektrum yang sangat mirip. Hal ini terjadi karena parameter modulasi yang digunakan pada ketiga rangkaian adalah sama.

- a) Frekuensi Fundamental Sama (1 kHz): Ketiga inverter menghasilkan sinyal output utama di 1 kHz. Ini ditentukan oleh sinyal referensi sinus (V3, V6, dll.) yang semuanya diatur pada 1000 Hz. Lokasi Harmonika Switching Sama (32 kHz):
- b) Ketiga inverter menunjukkan gangguan harmonik (noise) yang berpusat di frekuensi 32 kHz. Ini ditentukan oleh sinyal pembawa segitiga/pulse (V4, V7, dll.) yang memiliki periode 31.25 us.
- c) Topologi daya (jumlah saklar MOSFET) tidak mengubah lokasi frekuensi harmonis, selama metode modulasinya (SPWM) dan frekuensi switching-nya sama.

Namun meski pola frekuensinya sama, terdapat perbedaan teoritis dan praktis terkait magnitudo (kekuatan sinyal) tergantung pada cara pengukuran. Half-Bridge Inverter memiliki karakteristik tegangan output yang berayun dari negatif ke positif dengan amplitudo setengah dari tegangan input DC. Analisis spektrum menunjukkan fundamental 1 kHz dengan amplitudo standar sesuai dengan level tegangan inputnya.

Sementara itu, Full-Bridge Inverter mampu memberikan tegangan output penuh ke beban, yaitu 2x lipat dari tipe Half-Bridge dengan tegangan input DC yang sama. Analisis spektrum FFT menunjukkan, jika FFT diambil dari beda potensial antara leg tegangan, amplitudo fundamental akan lebih tinggi sebanyak 6dB daripada Half-Bridge. Hal ini disebabkan karena terjadi pergeseran harmonika dominan menjadi 2x frekuensi switching.

Three-Phase inverter yang terdiri dari tiga lengan Half-Bridge bekerja terpisah dengan beda fasa masing-masing 120 derajat. Analisa spektrum FFT menunjukkan persamaan spektrum per fasa nya dengan spektrum Half-Bridge. Dikarenakan masing-masing spektrum tersebut menunjukkan spektrum untuk satu buah lengan. Perbedaannya terletak pada domain waktu atau perbedaan fasa.

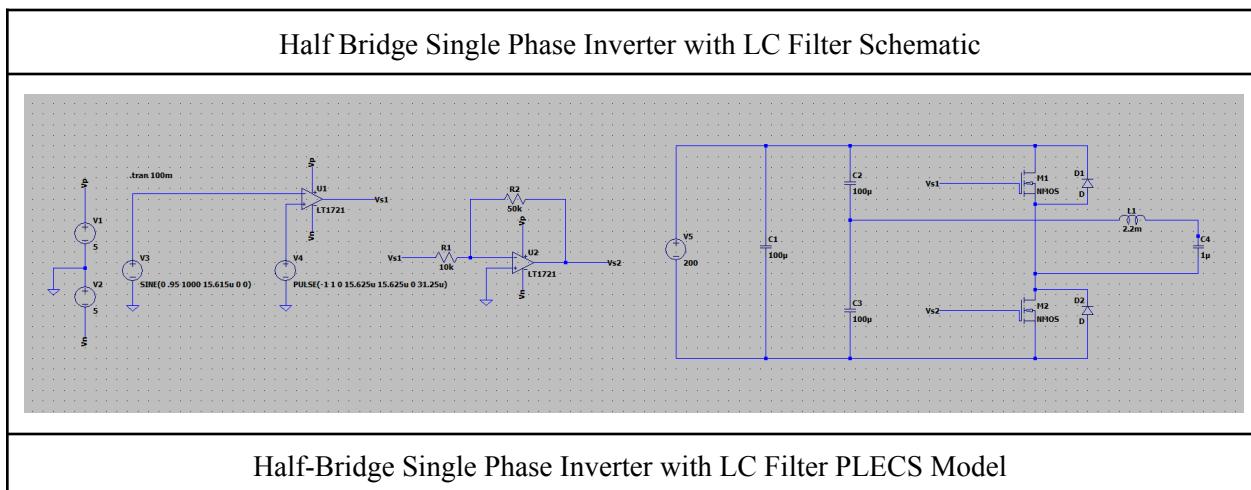
Secara keseluruhan, ketiga inverter tersebut memiliki kualitas spektral yang setara, ditunjukkan dengan lokasi noise harmonik yang sama pada 32 kHz. Hasil ini didapatkan sebab ketiga inverter tersebut menggunakan strategi switching yang identik. Perbedaannya hanya terletak pada kapasitas tegangan output dan jumlah fasa yang dihasilkan.

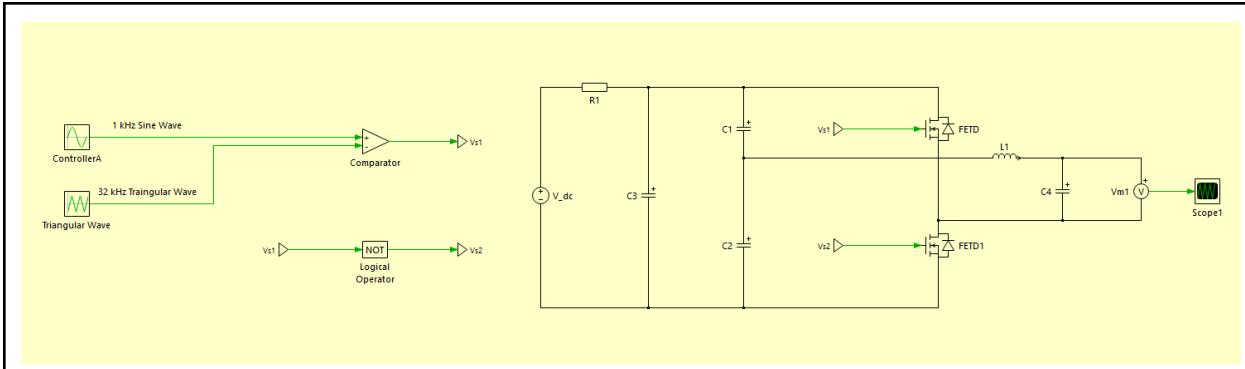
*Pada Tahapan ini, saya beralih menggunakan software PLECS dikarenakan LTspice menghadapi permasalahan dalam simulasi yang saya masih belum dapat pahami dan tangani. Maka dari itu, saya membuat ulang rangkaian Half-Bridge Single Phase Inverter dengan LC Filter yang sudah saya buat menggunakan LTspice ke dalam PLECS. Saya membuat ulang keseluruhan*

*rangkaian dengan nilai-nilai masing komponen yang sama dengan rangkaian saya di LTspice, termasuk dengan frekuensi sine wave dan triangular wave untuk switching PWM. Maka sebelum melakukan perangkaian, kita perlu mendesain terlebih dahulu nilai komponen L dan C yang tepat untuk rangkaian Half-Bridge yang akan difilter.*

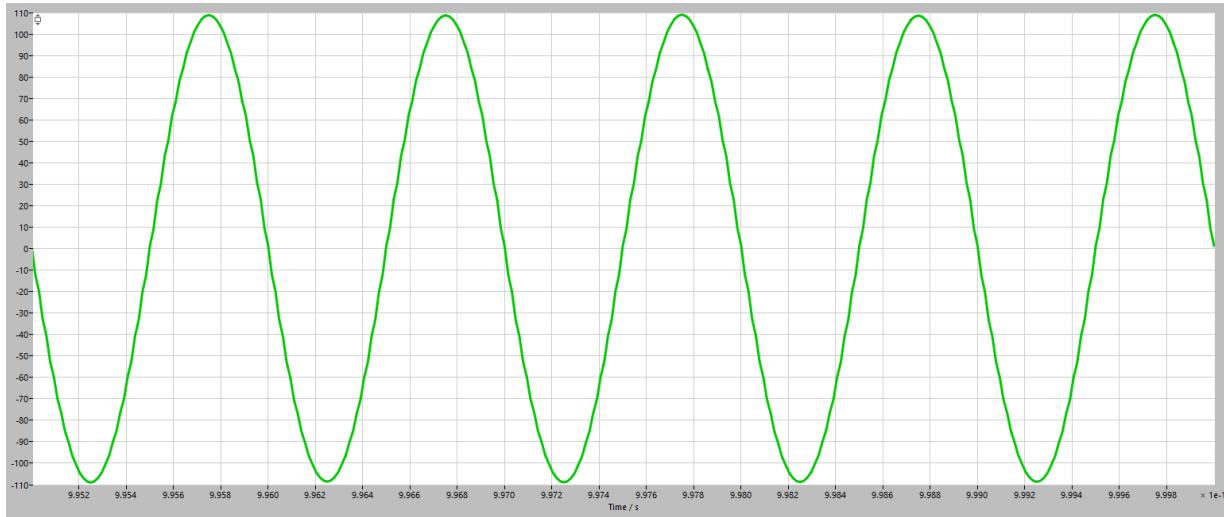
Filter ini nantinya digunakan untuk meloloskan frekuensi fundamental 1 kHz dan memblokir frekuensi switching 32 kHz. Target yang baik untuk didefinisikan sebagai frekuensi cutoff biasanya berada jauh dibawah frekuensi switching, namun harus diberi jarak berada di atas frekuensi fundamental. Maka dari itu akan ditargetkan frekuensi cutoff pada 3,5 kHz. Cutoff pada frekuensi ini akan meloloskan sinyal 1 kHz dengan pergeseran phase atau atenuasi yang minimal serta memblokir keseluruhan sinyal noise/gangguan 32 kHz.

Komponen Induktor (L)			Komponen Kapasitor (C)		
$f_{sw}$	=	$\frac{V_{bus}}{8 \times L \times \Delta I_{ripple}}$	C	=	$\frac{1}{L \times (2\pi f_c)^2}$
L	=	$\frac{V_{bus}}{8 \times f_{sw} \times \Delta I_{ripple}}$	C	=	$\frac{1}{2.2 \text{ mH} \times (2\pi \times 3500 \text{ Hz})^2}$
L	=	$\frac{200 \text{ V}}{8 \times 32000 \text{ Hz} \times 0.3 \text{ A}}$	C	=	0.94 $\mu\text{F}$
L	$\approx$	2.2 mH	C	$\approx$	1 $\mu\text{F}$



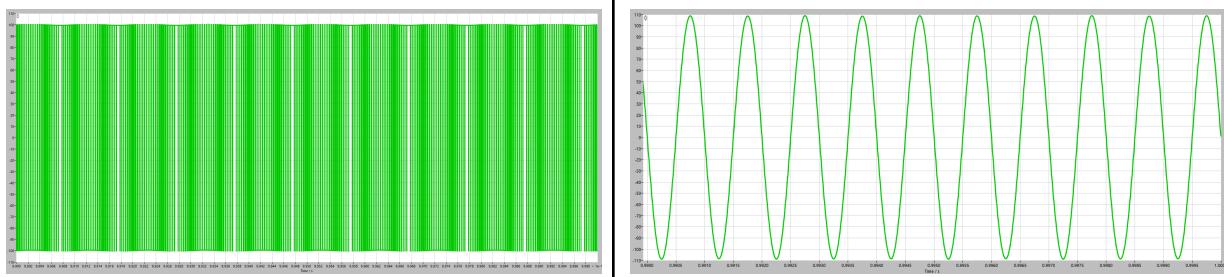


### Output Results

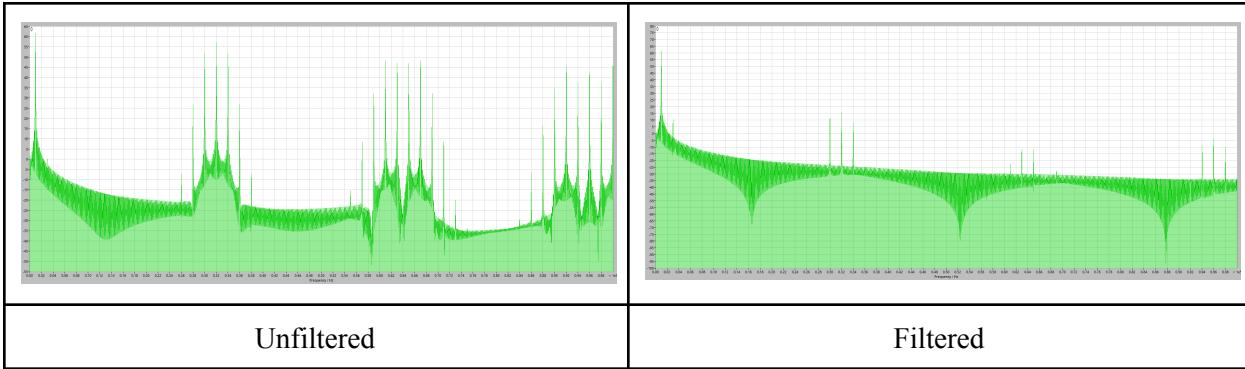


### Results Comparison

#### Transient Analysis



#### FFT View



Hasil simulasi menunjukkan efektivitas Low-Pass Filter LC orde-2 ( $L=2.2\text{ mH}$ ,  $C=1\text{ uF}$ ) dalam merekonstruksi sinyal keluaran inverter SPWM Half-Bridge. Analisis komparatif pada domain waktu (Transient Analysis) memperlihatkan transformasi sinyal dari bentuk gelombang SPWM mentah yang berupa pulsa diskrit frekuensi tinggi menjadi gelombang sinus kontinu yang halus, mengindikasikan bahwa induktor dan kapasitor berhasil mengintegrasikan tegangan rata-rata pulsa sekaligus meminimalisir current ripple. Validitas proses ini diperkuat oleh analisis spektral (FFT View), di mana terlihat atenuasi signifikan pada komponen harmonika di sekitar frekuensi switching  $32\text{ kHz}$  akibat respons frekuensi filter yang bersifat roll-off setelah titik cutoff  $1\text{ kHz}$ , sehingga hanya menyisakan komponen fundamental  $1\text{ kHz}$  yang dominan dengan distorsi harmonik total (THD) yang rendah.