



华侨大学
HUAQIAO UNIVERSITY



信息科学与工程学院
College of Information Science & Engineering

电子设计自动化 (EDA)

彭盛亮

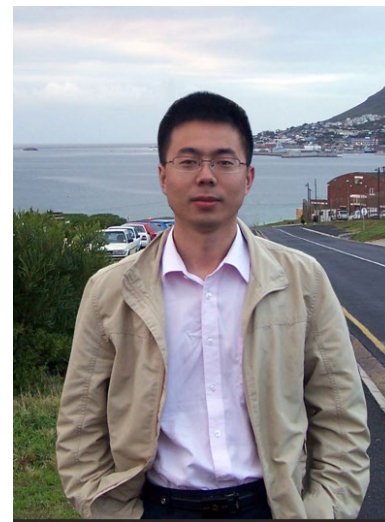
华侨大学 · 信息科学与工程学院 · 通信工程系

任课老师简介



• 彭盛亮

- 工学博士，副教授，硕士生导师
- QQ: 1471880063
- 办公室: 机电大楼A629
- 手机: 15980903014
- 邮箱: peng.shengliang@hqu.edu.cn
- 2011.11毕业于东南大学移动通信国家重点实验室，同年入职华侨大学
- 本科课程：面向对象程序设计.....
- 研究方向：无线通信、物联网、人工智能.....
- 优秀班主任、厦门市高校创新创新金牌导师.....



课程重要性



- 在校学习：学分，绩点，评优，毕业.....
- 日后工作
 - 智联招聘搜索结果

工作地点: 全国(283) 北京(205) 江苏(137) 广东(100) 四川(99) 成都(91) 陕西(85) 西安(83) 上海(78) 山东(77) 南京(71) 安徽(62) 湖北(59)

职位类型: 通信及硬件研发(582) 电子/电器/半导体(255) 软件研发(173) 科研/学术研究(72) 测试工程师(38) 人工智能(32) 管培生/储备干部(15) 机械设计/制造(11)

行业类型: 互联网/IT/电子/通信(922) 电子/半导体/集成电路(658) 制造业(503) 计算机软件(270) 通信/网络设备(215) 船舶/航空/航天/火车制造(202) 仪器仪表制造(198)

公司性质: 民营(596) 国企(236) 事业单位(148) 股份制企业(100) 其它(52) 上市公司(39) 外商独资(25) 合资(23) 国家机关(2) 港澳台公司(2)

职位来源: 社招职位(1067) 校招职位(162)

首发日期: 一天内(70) 三天内(171) 一周内(275) 两周内(470)

课程重要性



■ BOSS直聘搜索结果

FPGA工程师 [北京·海淀区·知春路]
15-25K·14薪 在校/应届 本科 [立即沟通](#)

Verilog

FPGA开发工程师 [北京·海淀区·学院路]
18-21K 在校/应届 硕士 [席先生 HR](#)

VHDL | Verilog | FPGA开发/验证经验

FPGA工程师 [北京·朝阳区·北沙滩]
15-20K·16薪 在校/应届 本科 [宋女士 HR](#)

Verilog | VHDL | MATLAB | FPGA开发/验证经验 | DSP

机械, 光学, FPGA-9... [北京]
15-30K 在校/应届 本科 [王女士 人事](#)

FPGA

嵌入式FPGA工程师 (... [北京·海淀区·五棵松]
16-22K 在校/应届 硕士 [陈宇翔 人事主管](#)

猎头
fpga工程师 [北京]
30-45K·14薪 3-5年 本科 [李梦 猎头顾问](#) ● 在线

以太网 | TSN协议

fpga工程师 [北京]
20-35K 3-5年 硕士 [许鑫 人事专员](#) ● 在线

Verilog | FPGA开发/验证经验 | PCIe开发经验

猎头
FPGA工程师 [北京]
30-50K 3-5年 本科 [朱先生 猎头顾问](#) ● 在线

Verilog | Xilinx

FPGA工程师(J10013) [北京·海淀区·西三旗]
25-45K 3-5年 本科 [王女士 HRBP](#) ● 在线

Verilog | 微电子/电子工程相关专业 | FPGA开发/验证经验

猎头
高级FPGA工程师 [北京]
40-50K 3-5年 硕士 [刘先生 猎头顾问](#) ● 在线

猎头
FPGA工程师 [厦门]
30-60K·14薪 3-5年 本科 [立即沟通](#)

FPGA

猎头
集成电路设计 [厦门]
30-35K·14薪 经验不限 本科 [赵先生 猎头顾问](#) ● 在线

Verilog | IC验证 | 电路设计 | 芯片设计 | PCIE | USB

fpga [厦门·湖里区·东渡]
20-30K·15薪 5-10年 本科 [李树玲 人力资源经理](#)

FPGA

FPGA研发工程师 [厦门·湖里区·禾山]
15-30K·13薪 3-5年 本科 [李女士 hr](#)

电路设计

FPGA工程师 [厦门·思明区·观音山]
15-25K 3-5年 本科 [田志鹏 招聘者](#)

课程重要性

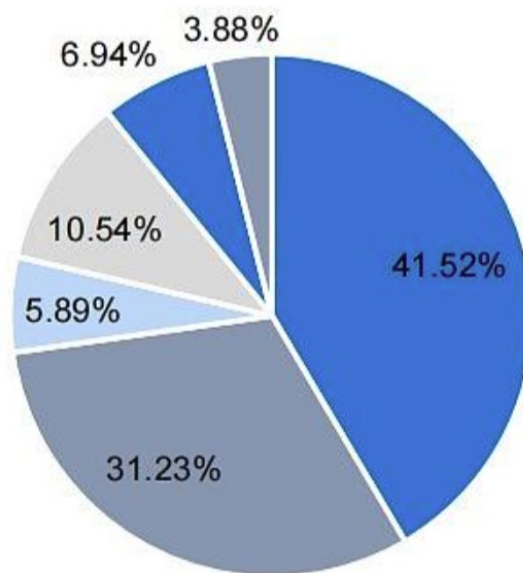


- 通信相关

- 通信设备研发：**FPGA**+ARM+DSP是核心器件



2022 年国内 FPGA 应用占比



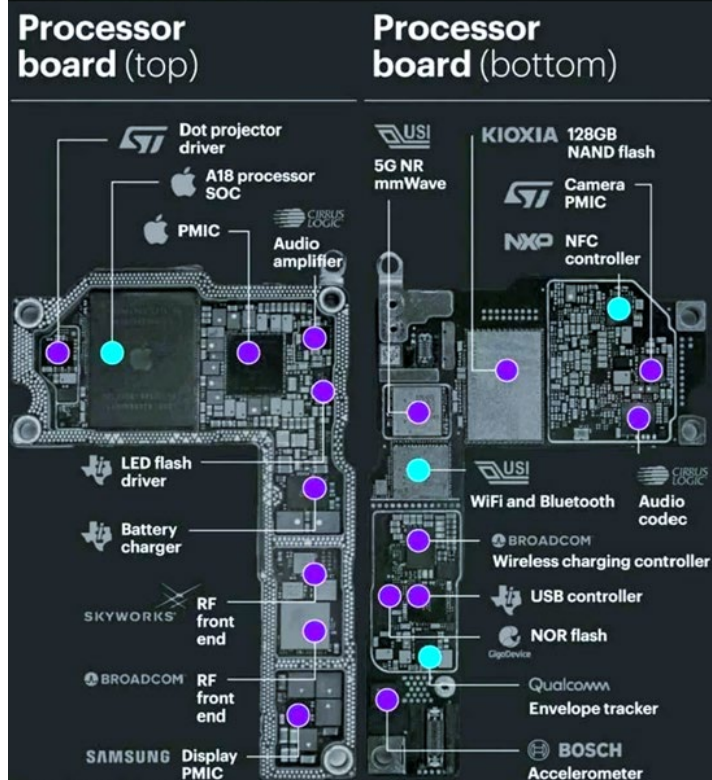
■ 通信 ■ 工业 ■ 消费电子
■ 数据中心 ■ 汽车 ■ 人工智能

课程重要性



■ 通信芯片设计：通信毕业生的热门就业方向

Major chip suppliers for iPhone 16



2023 Ranking of Top Ten IC Design Houses (Million USD)

2023	2022	Company	Revenue	
			2023	2022
1	2	NVIDIA	55,268	27,014
2	1	Qualcomm	30,913	36,722
3	3	Broadcom	28,445	26,640
4	4	AMD	22,680	23,601
5	5	MediaTek	13,888	18,421
6	6	Marvell	5,505	5,895
7	8	Novatek	3,544	3,708
8	7	Realtek	3,053	3,753
9	9	Will Semiconductor	2,525	2,462
10	-	MPS	1,821	1,754
-	10	Cirrus Logic	1,790	2,015
Total Revenue			167,642	150,231

技术内容及课程目标



- EDA技术内容

- 初级内容：Altium Designer、立创EDA等
- 中级内容：利用HDL完成CPLD/FPGA开发
- 高级内容：ASIC设计

- 本课程目标

- 了解EDA的基本概念与原理
- 掌握Verilog HDL语言的基本语法
- 学习Quartus II软件的使用
- 设计出满足功能需求的数字电路

考核形式



• 以考查为主

■ 平时成绩（50%）

- ◆ 出勤10%
- ◆ 课堂实验20%
- ◆ 课后作业20%

■ 课程设计（50%）

- ◆ 实物验收30%
- ◆ 设计报告20%

14. WiFi 解扰及帧头检测电路，难度系数 1.1

要求：将接收比特流首先进行解扰处理，然后再根据 WiFi(802.11)帧的同步码 SYNC (128 个连续的 1)、定界符 SFD(start frame delimiter, 0,0,0,0,0,1,0,1,1,1,0,0,1,1,1,1)和 SINGAI (0,1,0,1,0,0,0,0), 判断解扰后的比特流中是否有 WiFi 帧；如果有，从帧中的 MAC 部分提取出源地址 SA (Source Address, 6 字节 MAC 地址)，并通过 UART 串口输出；题中解扰算法及 WiFi 帧格式如下列图所示：输入比特流测试时提供。

Descrambler Polynomial: $G(z) = Z^7 + Z^4 + 1$

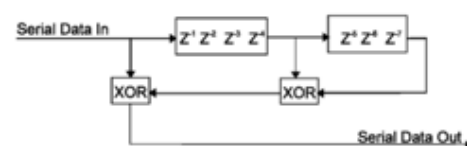


图 2 序列解扰原理

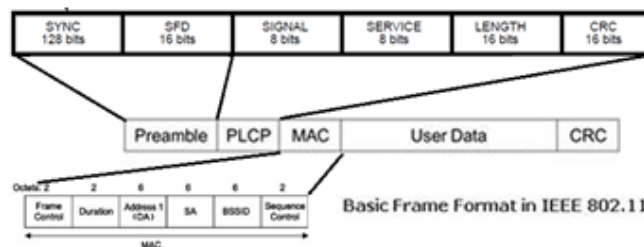


图 3 WiFi 帧结构图

15. 汉明码编码交织/解交织译码电路，难度系数 1.1

要求：已知(7,4)汉明码的编码和译码电路原理图如下，完成相应编码及译码模块的开发，并在编译码的基础上完成 7*7 的块交织。

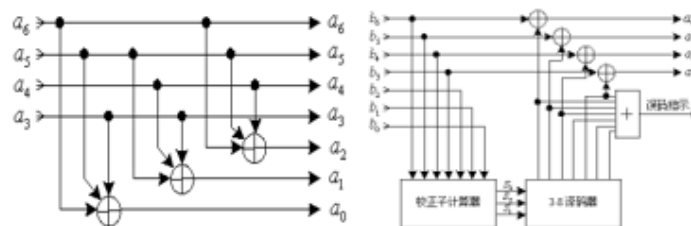


图 4 (7,4)汉明码示意图



華僑大學
HUAQIAO UNIVERSITY



信息科學與工程學院
College of Information Science & Engineering

第1讲 感受EDA

彭盛亮

华侨大学 · 信息科学与工程学院 · 通信工程系

什么是EDA



- EDA : Electronic Design Automation
- 教科书定义:
 - EDA技术就是依赖功能强大的计算机，在EDA工具软件平台上，对以硬件描述语言HDL (Hardware Description Language)为系统逻辑描述手段完成的设计文件，自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试，直至实现既定的电子线路系统功能。

《数字电路》设计方法



- 设计任务

- 利用基本的门电路实现一个两路数据选择器
- 输入两路数据，根据片选信号选择其中一路作出输出

- 具体流程

- 功能描述
 - ◆ 数据输入 a 、 b ，片选输入 s ，输出 y
 - ◆ 如果 $s=0$ ，则 $y=a$ ；否则 $y=b$

《数字电路》设计方法



■ 真值表

a	b	s	y
0	0	0	0
1	0	0	1
0	1	0	0
1	1	0	1
0	0	1	0
1	0	1	0
0	1	1	1
1	1	1	1

《数字电路》设计方法

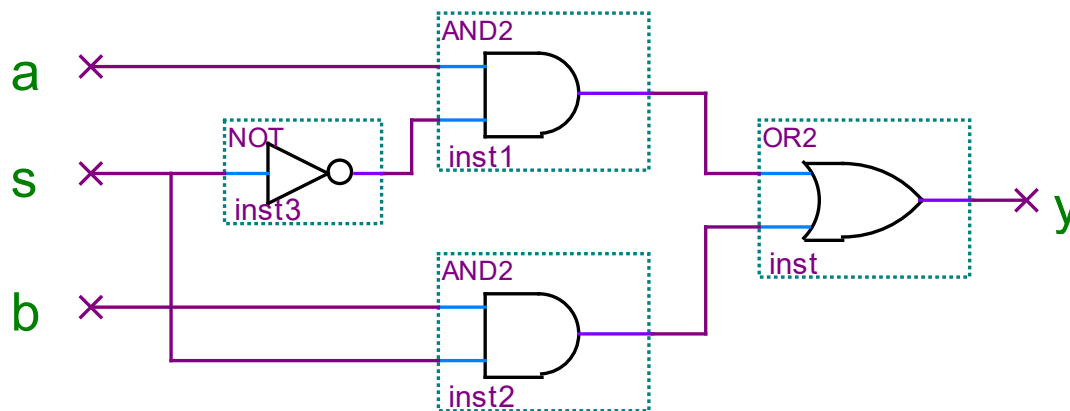


■ 逻辑表达式

		ab			
s	y	00	01	10	11
	0	0	0	1	1
	1	0	1	0	1

$$y = \bar{s} \cdot a + s \cdot b$$

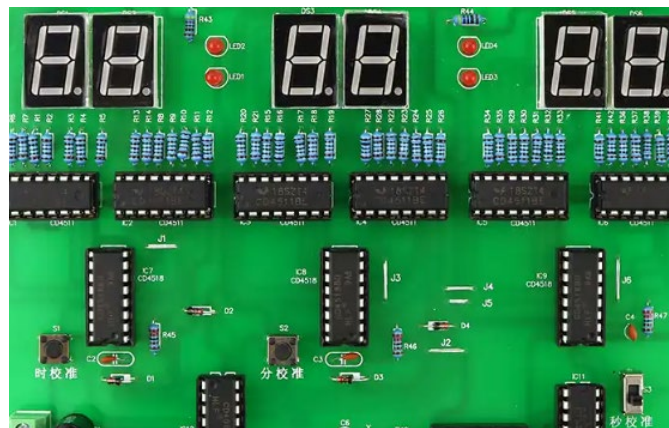
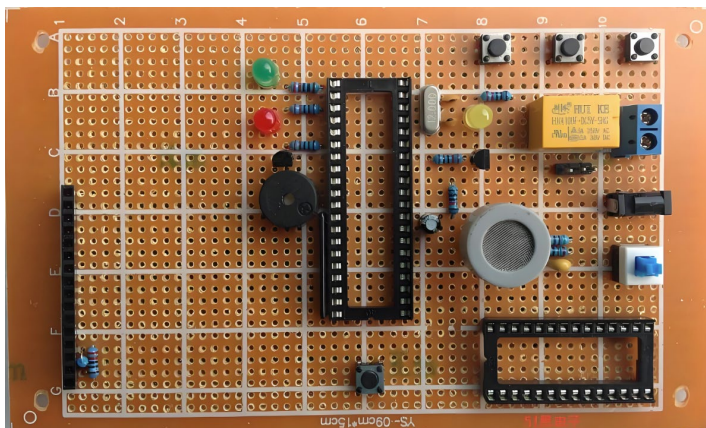
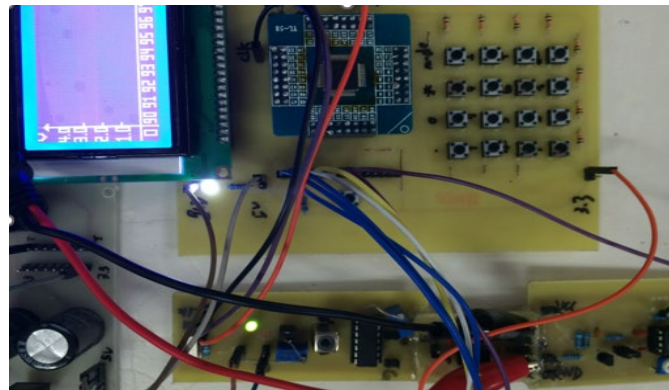
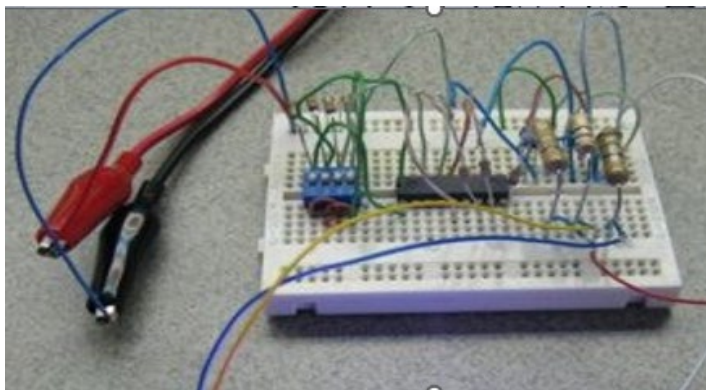
■ 逻辑电路图



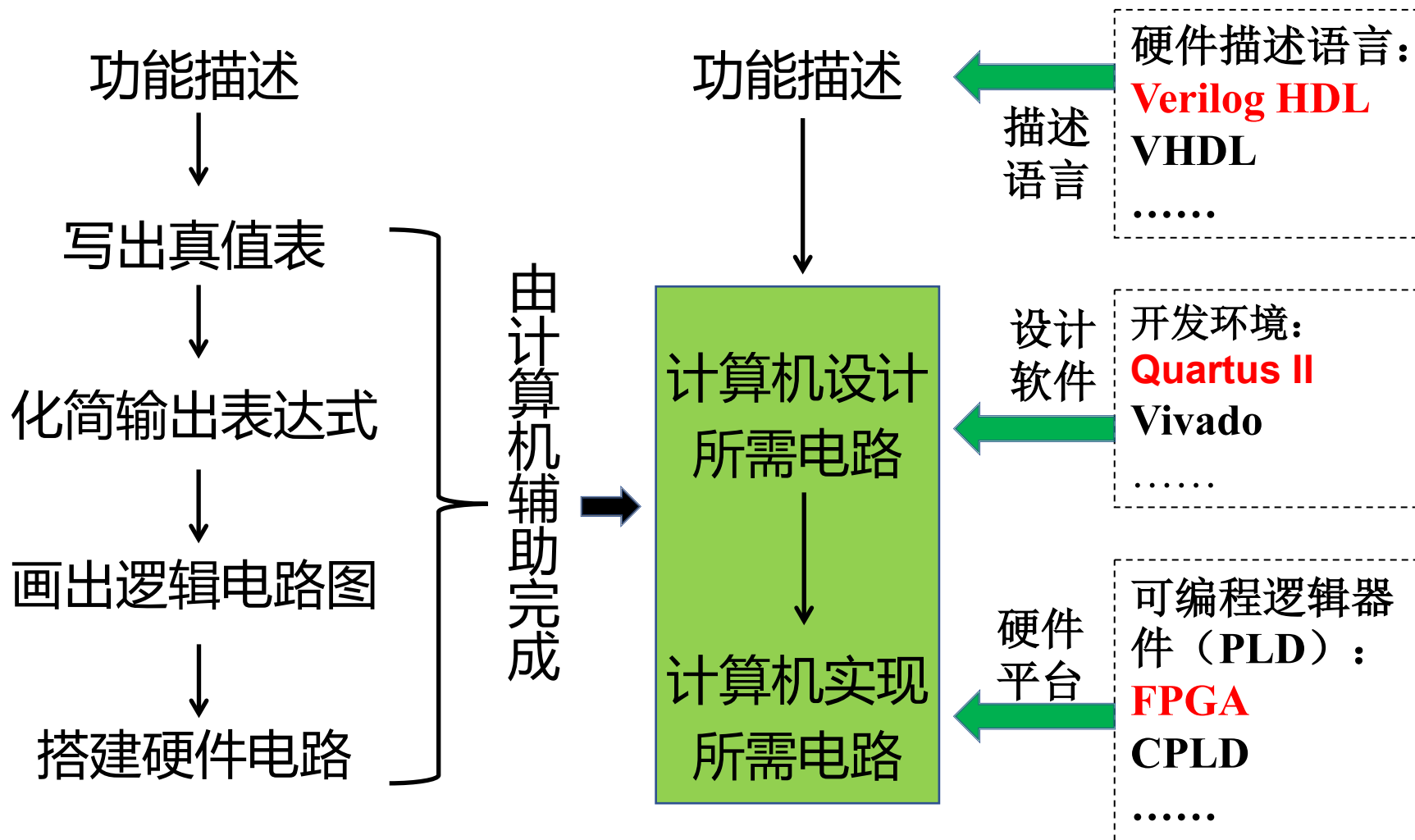
《数字电路》设计方法



■ 硬件实现所需电路



EDA技术



• 基于EDA技术实现两路数据选择器

■ 功能描述

- ◆ 基于Verilog HDL
- ◆ 1983年由Gateway创立
- ◆ 1990年被Cadence收购
- ◆ 1995年被确定为IEEE标准
IEEE 1364-1995
- ◆ 2001和2005年修订
- ◆ 最新版IEEE 1800-2009
- ◆ 继承了C语言多种操作符和结构

```
module MUX21(a, b, s, y);  
input a, b, s;  
output reg y;  
  
//功能描述  
always@(a, b, s)  
begin  
    if (s==0)  
        y = a;  
    else  
        y = b;  
end  
  
endmodule
```

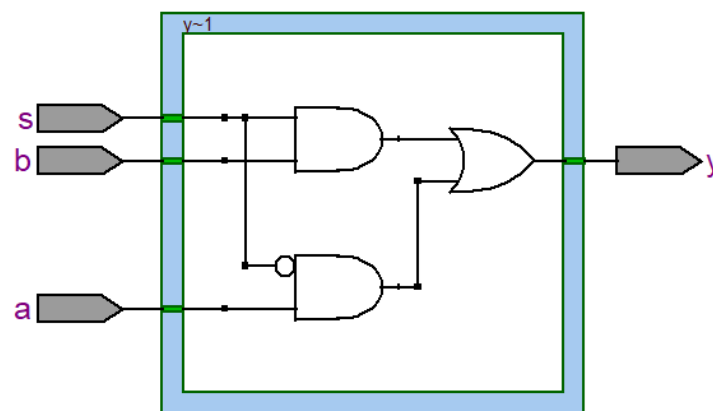
EDA实例



- 计算机设计所需电路
 - ◆ 基于EDA软件：Quartus II
 - ◆ 综合/编译、验证



Full Compilation was successful



- 计算机实现所需电路
 - ◆ 基于可编程逻辑器件PLD: FPGA
 - ◆ 分配管脚、下载编程

本课程选用: **EP 2C 5 T 144 C 8** 的FPGA

EP: 厂家型号, Altera的典型器件, XC为Xilinx;

2C: 系列号, 代表Cyclone 2系列, 还有1C、3C等;

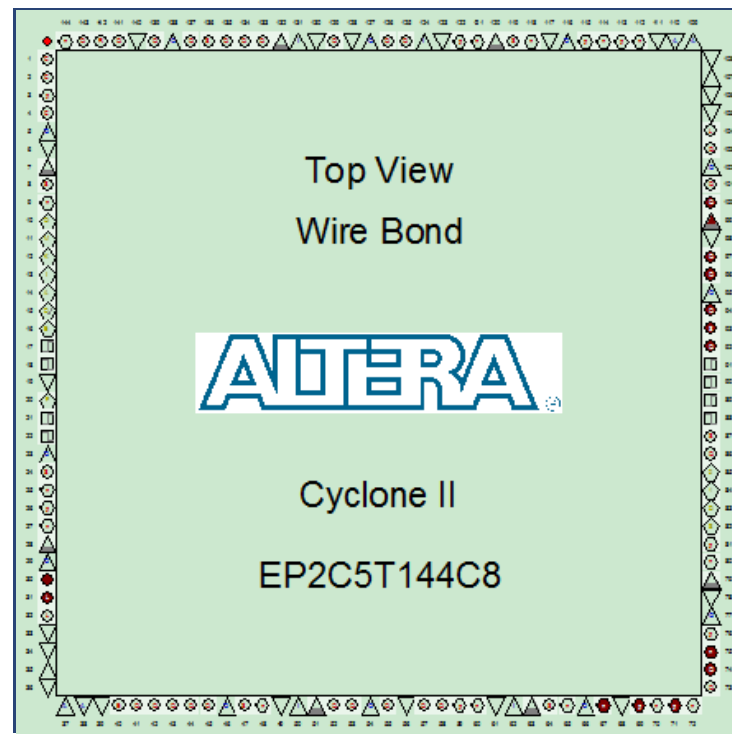
5: 容量, 逻辑单元数5k;

T: 封装形式, 薄型J行引线芯片载体;

144: 管脚数量;

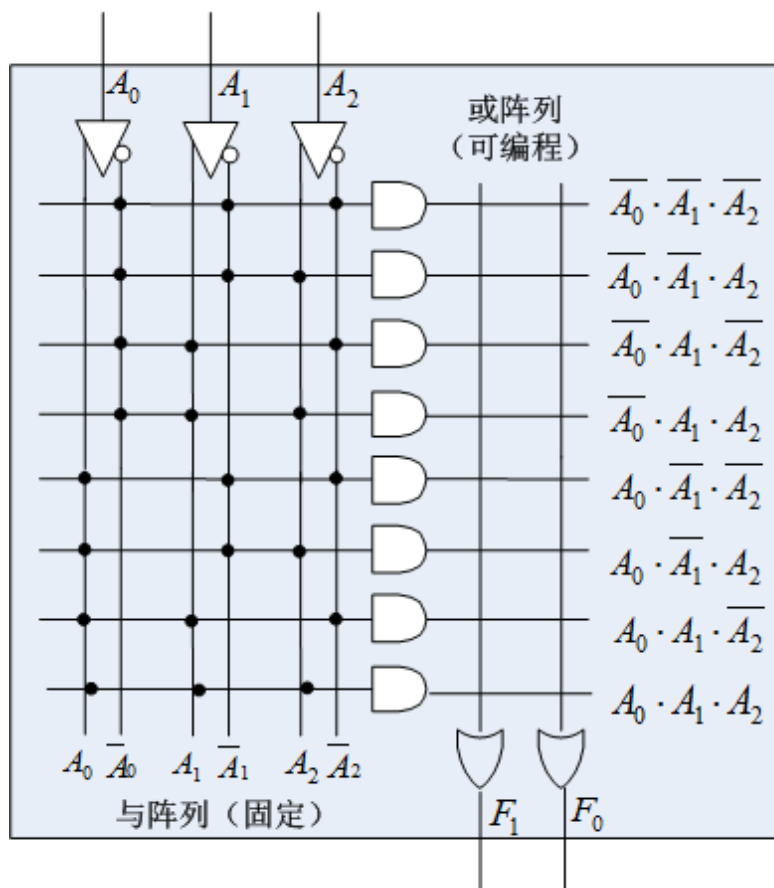
C: 温度级别, 有三类C为商业级别0~70℃, I为工业级别-40~85℃, M为军用级别-55~125℃;

8: 速度级别, 还有7、6等, 越小代表速度越快即门与门之间的延时小。



PLD原理

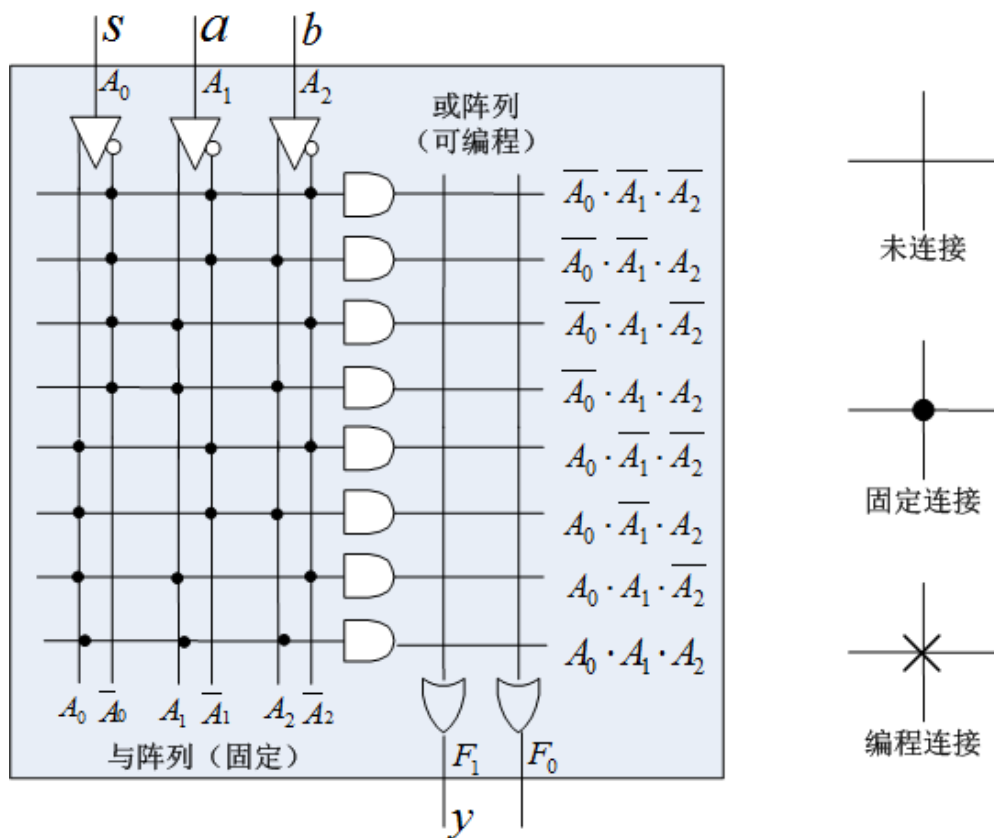
• 内部结构



PLD原理

• 如何利用PLD实现两路数据选择器

- 确定管脚：输入s、a、b，输出y



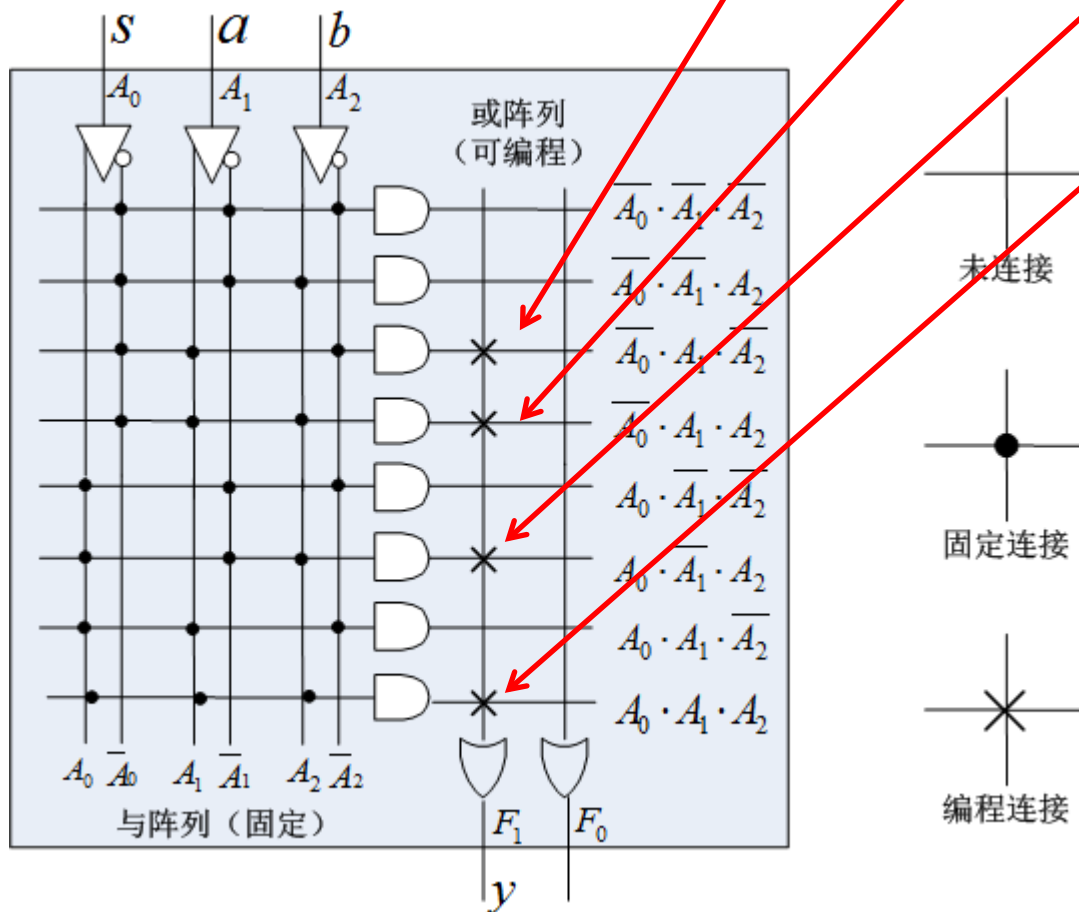
如何通过编程连接，实现逻辑关系：

$$y \stackrel{?}{=} \bar{s} \cdot a + s \cdot b$$

PLD原理

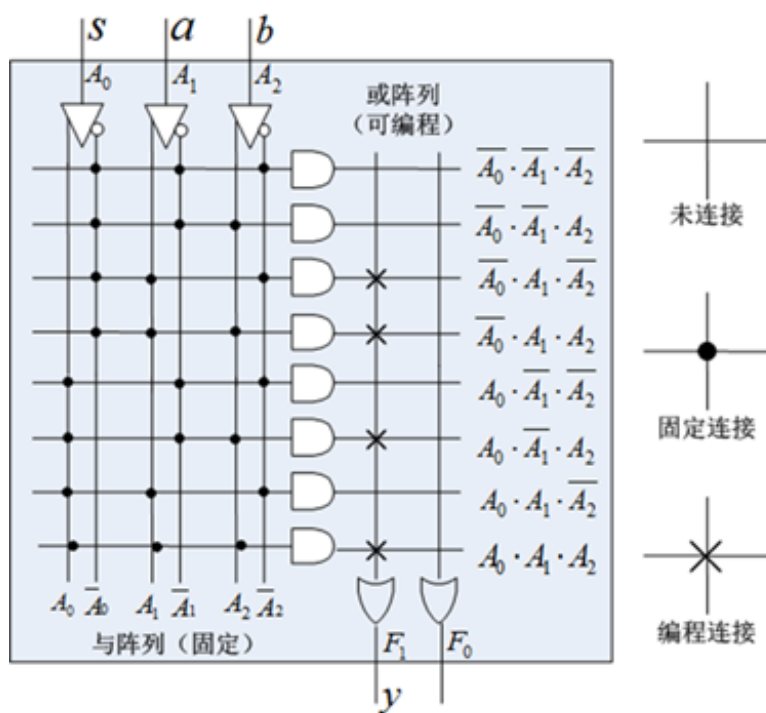
- 构建逻辑表达式:
$$y = \bar{s} \cdot a \cdot \bar{b} + \bar{s} \cdot a \cdot b + s \cdot \bar{a} \cdot b + s \cdot a \cdot b$$

$$= \bar{s} \cdot a + s \cdot b$$



Verilog HDL与C语言的区别

• 并行语言 vs 顺序语言



各点的通断状态
没有顺序性

Address	Bytes	Opcode
0058BA24	85 c0	test eax, eax
0058BA26	75 14	jne 0058ba3c
0058BA28	8a 91 1a 28 00 00	mov dl, [ecx+0000281a]
0058BA2E	80 fa 06	cmp dl, 06
0058BA31	74 4a	je 0058ba7d
0058BA33	85 c0	test eax, eax
0058BA35	75 05	jne 0058ba3c
0058BA37	80 fa 07	cmp dl, 07
0058BA3A	74 41	je 0058ba7d
0058BA3C	83 f8 03	cmp eax, 03
0058BA3F	75 15	jne 0058ba56
0058BA41	8a 91 1a 28 00 00	mov dl, [ecx+0000281a]
0058BA47	80 fa 02	cmp dl, 02
0058BA4A	74 31	je 0058ba7d
0058BA4C	3b c0	cmp eax, eax
0058BA4E	75 06	jne 0058ba56
0058BA50	8a c2	mov al, dl
0058BA52	3c 04	cmp al, 04

地址+机器码
按照地址顺序执行

• 两路数据选择器

- 编写Verilog 代码
- 波形仿真验证
- 下载测试

```
module MUX21(a, b, s, y);  
input a, b, s;  
output reg y;  
  
//功能描述  
always@(a, b, s)  
begin  
    if (s==0)  
        y = a;  
    else  
        y = b;  
end  
  
endmodule
```

EDA开发流程:

1. 新建文件夹
2. 打开Quartus II软件, 使用New Project Wizard建立工程
3. New新建Design Files → Verilog HDL File, 写程序, 保存(注意文件名/实体名/工程名一致)
4. 编译, 提示有错误返回修改
5. New新建Verification/Debugging Files → Vector Waveform File, 右键插入管脚, 设置输入波形, 保存(文件名与工程名一致), 点击仿真按键, 观看仿真结果
6. Assignment → Pins分配管脚, 再编译
7. Tools → Programmer下载程序
8. 硬件测试